

# EDUKATIVNI UREĐAJI ZA MIKROPROCESOR PICOBLAZE

---

**Džoić, Antonio**

**Undergraduate thesis / Završni rad**

**2021**

*Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj:* **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

*Permanent link / Trajna poveznica:* <https://um.nsk.hr/um:nbn:hr:200:130651>

*Rights / Prava:* [In copyright](#) / [Zaštićeno autorskim pravom.](#)

*Download date / Datum preuzimanja:* **2025-02-23**

*Repository / Repozitorij:*

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU  
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I  
INFORMACIJSKIH TEHNOLOGIJA**

**Sveučilišni studij**

**EDUKATIVNI UREĐAJI ZA MIKROPROCESOR  
PICOBLAZE**

**Završni rad**

**Antonio Džoić**

**Osijek, 2021.**

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA  
I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**Obrazac ZIP - Obrazac za ocjenu završnog rada na preddiplomskom sveučilišnom studiju**

Osijek, 18.09.2021.

Odboru za završne i diplomske ispite

**Prijedlog ocjene završnog rada na preddiplomskom sveučilišnom studiju**

<b>Ime i prezime studenta:</b>	Antonio Džoić
<b>Studij, smjer:</b>	Preddiplomski sveučilišni studij Računarstvo
<b>Mat. br. studenta, godina upisa:</b>	R4194, 24.07.2018.
<b>OIB studenta:</b>	01526217278
<b>Mentor:</b>	Izv. prof. dr. sc. Ivan Aleksi
<b>Sumentor:</b>	
<b>Sumentor iz tvrtke:</b>	
<b>Naslov završnog rada:</b>	Edukativni uređaji za mikroprocesor PicoBlaze
<b>Znanstvena grana rada:</b>	<b>Arhitektura računalnih sustava (zn. polje računarstvo)</b>
<b>Predložena ocjena završnog rada:</b>	Izvrstan (5)
<b>Kratko obrazloženje ocjene prema Kriterijima za ocjenjivanje završnih i diplomskih radova:</b>	Primjena znanja stečenih na fakultetu: 3 bod/boda Postignuti rezultati u odnosu na složenost zadatka: 3 bod/boda Jasnoća pismenog izražavanja: 3 bod/boda Razina samostalnosti: 3 razina
<b>Datum prijedloga ocjene mentora:</b>	18.09.2021.
<b>Datum potvrde ocjene Odbora:</b>	22.09.2021.
Potpis mentora za predaju konačne verzije rada u Studentsku službu pri završetku studija:	Potpis:
	Datum:

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA  
I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**IZJAVA O ORIGINALNOSTI RADA**

Osijek, 28.09.2021.

<b>Ime i prezime studenta:</b>	Antonio Džoić
<b>Studij:</b>	Preddiplomski sveučilišni studij Računarstvo
<b>Mat. br. studenta, godina upisa:</b>	R4194, 24.07.2018.
<b>Turnitin podudaranje [%]:</b>	6

Ovom izjavom izjavljujem da je rad pod nazivom: **Edukativni uređaji za mikroprocesor PicoBlaze**

izrađen pod vodstvom mentora Izv. prof. dr. sc. Ivan Aleksi

i sumentora

moj vlastiti rad i prema mom najboljem znanju ne sadrži prethodno objavljene ili neobjavljene pisane materijale drugih osoba, osim onih koji su izričito priznati navođenjem literature i drugih izvora informacija. Izjavljujem da je intelektualni sadržaj navedenog rada proizvod mog vlastitog rada, osim u onom dijelu za koji mi je bila potrebna pomoć mentora, sumentora i drugih osoba, a što je izričito navedeno u radu.

Potpis studenta:

**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU  
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**

**IZJAVA**

**o odobrenju za pohranu i objavu ocjenskog rada**

kojom ja Antonio Džoić, OIB: 01526217278, student/ica Fakulteta elektrotehnike, računarstva i informacijskih tehnologija Osijek na studiju Preddiplomski sveučilišni studij Računarstvo, kao autor/ica ocjenskog rada pod naslovom: Edukativni uređaji za mikroprocesor PicoBlaze,

dajem odobrenje da se, bez naknade, trajno pohrani moj ocjenski rad u javno dostupnom digitalnom repozitoriju ustanove Fakulteta elektrotehnike, računarstva i informacijskih tehnologija Osijek i Sveučilišta te u javnoj internetskoj bazi radova Nacionalne i sveučilišne knjižnice u Zagrebu, sukladno obvezi iz odredbe članka 83. stavka 11. *Zakona o znanstvenoj djelatnosti i visokom obrazovanju* (NN 123/03, 198/03, 105/04, 174/04, 02/07, 46/07, 45/09, 63/11, 94/13, 139/13, 101/14, 60/15).

Potvrđujem da je za pohranu dostavljena završna verzija obranjenog i dovršenog ocjenskog rada. Ovom izjavom, kao autor/ica ocjenskog rada dajem odobrenje i da se moj ocjenski rad, bez naknade, trajno javno objavi i besplatno učini dostupnim:

- a) široj javnosti
- b) studentima/icama i djelatnicima/ama ustanove
- c) široj javnosti, ali nakon proteka 6 / 12 / 24 mjeseci (zaokružite odgovarajući broj mjeseci).

*\*U slučaju potrebe dodatnog ograničavanja pristupa Vašem ocjenskom radu, podnosi se obrazloženi zahtjev nadležnom tijelu Ustanove.*

Osijek, 28.09.2021.

(mjesto i datum)

\_\_\_\_\_  
(vlastoručni potpis studenta/ice)

# SADRŽAJ

<b>1. UVOD .....</b>	<b>2</b>
<b>1.1. Zadatak završnog rada.....</b>	<b>2</b>
<b>2. KORIŠTENI SKLOPOVLJE.....</b>	<b>3</b>
<b>2.1. FPGA.....</b>	<b>3</b>
<b>2.2. PicoBlaze – KCPSM6.....</b>	<b>5</b>
<b>2.3. Nexys A7 .....</b>	<b>6</b>
<b>3. VHDL .....</b>	<b>13</b>
<b>4. IMPLEMENTACIJA.....</b>	<b>15</b>
<b>4.1. ADT7420 Senzor temperature .....</b>	<b>16</b>
4.1.1. I <sup>2</sup> C sabirnica .....	20
<b>4.2. ADXL362 MEMS akcelerometar .....</b>	<b>24</b>
4.2.1. SPI Komunikacija.....	27
<b>5. REZULTATI .....</b>	<b>32</b>
<b>6. ZAKLJUČAK.....</b>	<b>35</b>
<b>LITERATURA .....</b>	<b>36</b>
<b>SAŽETAK.....</b>	<b>38</b>
<b>ABSTRACT .....</b>	<b>39</b>
<b>ŽIVOTOPIS.....</b>	<b>40</b>
<b>PRILOZI .....</b>	<b>41</b>

# 1. UVOD

Cilj ovog završnog rada je dodati funkcionalnosti za već postojeće module na maketi Nexys A7-100T. U radu je korišteno VHDL proširenje za akcelerometar i za senzor temperature zato što koriste dvije različite vrste serijske komunikacije, SPI i I<sup>2</sup>C komunikaciju. Kako bi rezultati akcelerometra i senzora temperature bili vidljivi koriste se LE diode, za mjerenja akcelerometra, i 7-segmentni zaslon za prikaz temperature. Za implementaciju funkcionalnosti za senzor temperature korištena je I<sup>2</sup>C serijska komunikacija. Nexys A7-100T ima ugrađen ADT7420 senzor temperature. Za akcelerometar je korištena SPI serijska komunikacija. Nexys A7-100T ima ugrađen ADXL362 akcelerometar. Za implementaciju funkcionalnosti koristi se VHDL jezik za opis sklopovlja te Xilinx ISE za sintezu i analizu VHDL dizajna.

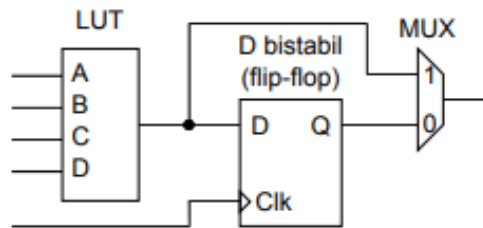
## 1.1. Zadatak završnog rada

U ovom završnom radu treba napraviti VHDL proširenje za FPGA čip na Nexys A7 maketi. Potrebno je u VHDL opisu okoline mikroprocesora PicoBlaze dodati funkcionalnost za već postojeće module na maketi. Neki od modula su akcelerometar, zvučnik, AD pretvornik...

## 2. KORIŠTENNO SKLOPOVLJE

### 2.1. FPGA

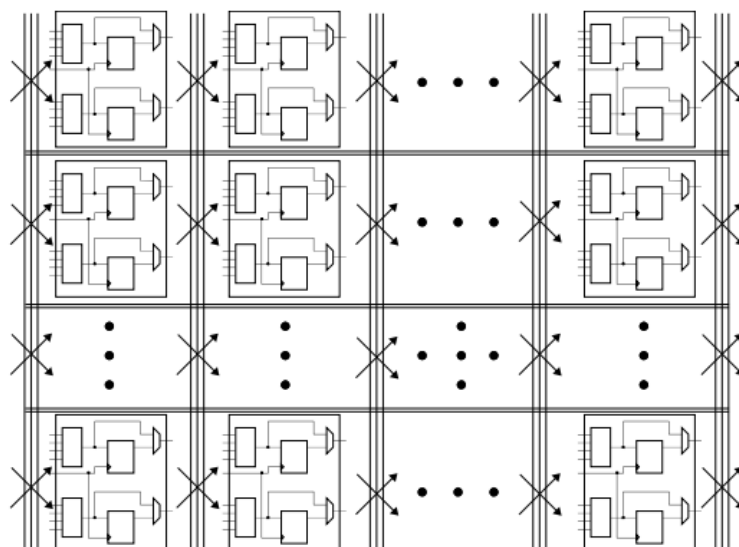
FPGA (engl. *Field programmable gate arrays*) je integrirani digitalni sklop koji se sastoji od programabilnih logičkih blokova koji su međusobno povezani programabilnim vezama. Moguće ih je programirati da obavljaju različite zadatke, najčešće ih se može programirati neograničen broj puta, ali postoje i izvedbe koje se mogu programirati samo jednom [1]. Logički blokovi se sastoje od više logičkih elemenata, a pojednostavljeni model temeljnog logičkog elementa modernog FPGA sklopa je prikazan na slici 2.1.. Sastoji se od sinkronog bridom okidanog D bistabila i pregledne tablice (engl. *lookup table*). Pregledna tablica omogućava izvedbu proizvoljne logičke funkcije od N varijabli, gdje je N broj ulaza.



Slika 2.1. Struktura programabilnog logičkog elementa.

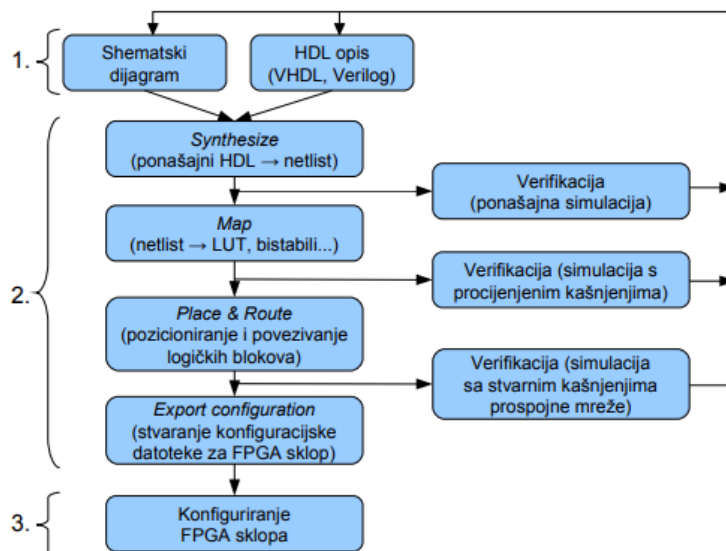
Moguće je povezati bilo koji izlaz bilo kojeg logičkog bloka s bilo kojim ulazom bilo kojeg logičkog bloka, a to je moguće zato što FPGA sklopovi imaju programabilnu mrežu prospojnih vodova. Sinkrono dovođenje signala takta do svakog logičkog bloka se vrši pomoću posebnog dijela mreže. Na slici 2.2 je prikazana pojednostavljena struktura tipičnog FPGA sklopa. Sastoji se od polja logičkih blokova i prospojne mreže te se unutar logičkih blokova nalaze logički elementi.





Slika 2.2. Pojednostavljena struktura FPGA.

Potrebno je opisati sklop kako bi se mogla generirati konfiguracija FPGA sklopa strojno pomoću programskog alata sintetizatora (engl. *synthesis tools*). Sklop je moguće opisati shematski ili korištenjem jezika za opis sklopovlja (engl. *hardware description language – HDL*). Česti HDL jezici su Verilog, SystemVerilog i VHDL. U ovom završnom radu se koristi VHDL i o njemu će biti više govora u kasnijem dijelu rada. Interna struktura FPGA sklopova se razlikuje od proizvođača do proizvođača zbog čega se razlikuju i alati za sintezu. Proces sinteze konfiguracije FPGA sklopa se može podijeliti u više cjelina i prikazano je na slici 2.3..



Slika 2.3. Koraci pri procesu sinteze konfiguracije FPGA.

U koraku "*Synthesize*" vrši se analiza opisa sklopa, shematskog ili HDL opisa, te se ponašajno opisani blokovi zamjenjuju funkcijski ekvivalentnim strukturnim modelima izgrađenim od primitiva specifičnih za ciljanu FPGA platformu, pritom se provodi i automatizirana optimizacija kombinacijske i sekvencijske logike. "*netlist*" je naziv za rezultirajuću mrežu primitiva koja se može analizirati i funkcijski verificirati.

Sljedeći korak se naziva "*Map*", sintetizator primitive zamjenjuje mrežom preglednih tablica (LUT), memorijskih elemenata te ostalih specijaliziranih logičkih blokova koji odgovaraju ciljanoj FPGA platformi.

U koraku nazvanom "*Place and Route*" vrši se raspored logičkih blokova na FPGA sklopu te ih se povezuje kako bi sklop radio ispravno na najvišoj mogućoj frekvenciji takta.

Na kraju procesa sinteze stvorena je konfiguracijska datoteka (engl. *configuration bitstream*) koja se može koristiti kako bi se programirao FPGA sklop [2].

## **2.2. PicoBlaze – KCPSM6**

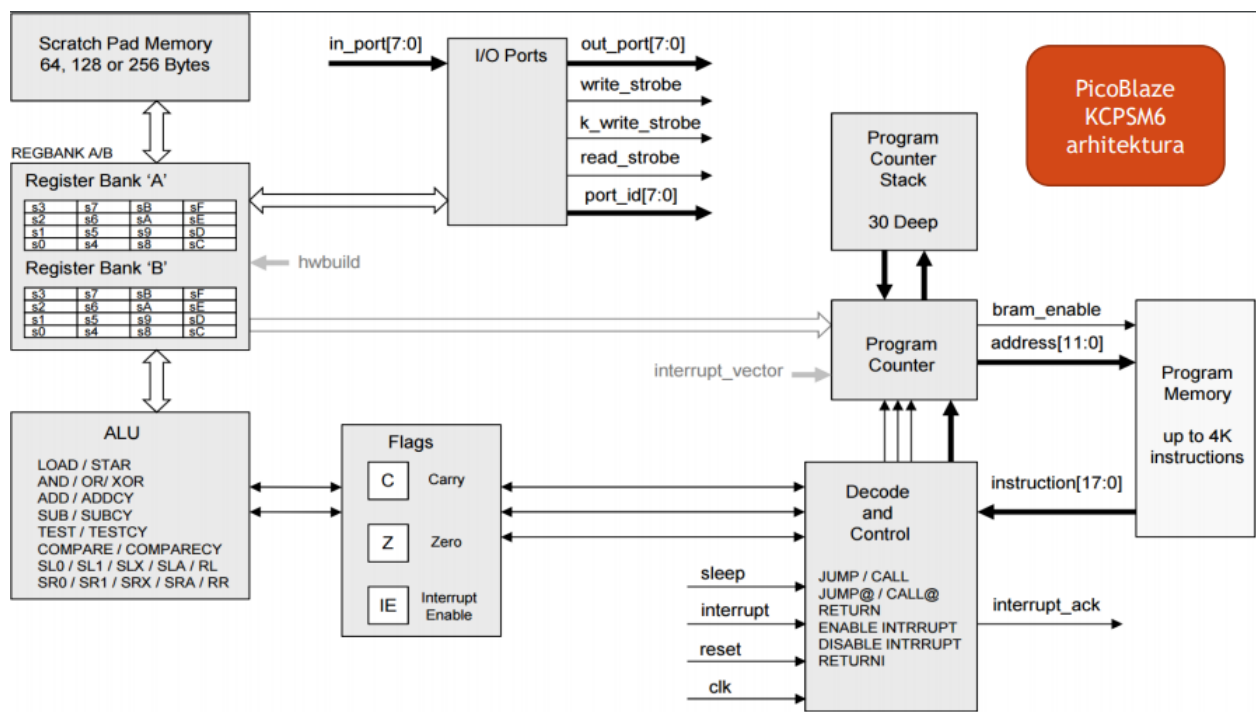
PicoBlaze je naziv za meke (engl. soft) procesore tvrtke Xilinx koji se koriste u njihovim FPGA i CPLD proizvodima. KCPSM6 je verzija PicoBlaze procesora koja je optimizirana za serije Spartan-6, Virtex<sup>®</sup>-6 i 7 seriju FPGA čipa [3]. Moguće je definirati jedan ili više KCPSM6 procesora. KCPSM6 je zamijenio, stariji, KCPSM3 PicoBlaze zbog čega su vrlo slični. Napravljene su sitna unaprjeđenja na priključcima sklopovlja te je popis naredbi proširen [4]. KCPSM6 je softverski definiran 8-bitni procesor koji može izvršiti program do 4K (4096) naredbi, a sve naredbe se izvršavaju u dva takta. Maksimalna frekvencija takta je do 105MHz na Spartan-6 i do 238MHz na Kintex-7 što znači da je brzina izvođenja između 52 do 119 milijuna naredbi po sekundi.

Sadrži 8-bitne registre opće namjene (S0, S1, ..., SF) koji su definirani u dvije banke (A, B) po 16 registara. Ne sadrži registre posebne namjene što znači da se sve operacije mogu izvršiti koristeći bilo koje registre.

Aritmetičko logička jedinica (ALU) implementira opsežan komplet naredbi uključujući operacije s bitovima pomoću logičkih naredbi poput I, ILI i XILI, sadrži aritmetičke naredbe zbrajanja i oduzimanja. Također sadrži naredbe za pomicanje ili rotiranje bitova u lijevo ili desno te naredbu za uspoređivanje "COMPARE"; Sve se operacije izvode koristeći sadržaje registara i/ili konstante. Sadrži dvije zastavice Z (nula) i C (zastavica prijenosa binarne znamenke na težinski

više mjesto) čije je stanje rezultat ALU operacije. Korištenjem zastavica se može mijenjati tok izvedbe programa te se mogu implementirati operacije sa podacima od 16, 24, 32-bitna ili više.

Program uvijek počinje u nultoj adresi, a programsko brojiilo dohvaća svaku naredbu iz memorije programa. Program se izvodi sekvencijalno te se pomoću naredbe "JUMP" može prijeći na drugi dio koda što omogućava implementaciju petlji i grananje unutar programa. Kombinacijom zastavica i "JUMP" naredbe moguće je vršiti određeni dio programa samo ako je uvjet zadovoljen, na primjer ako je rezultat bio nula skoči na drugi dio programa ("JUMP Z, aaa "). Potpuno automatski stog za programsko brojiilo omogućava gniježđenje i do 30 potprograma koji se izvršavaju kao odgovor na uvjetne i bezuvjetne "CALL" i "RETURN" naredbe [5]. Na slici 2.4. je prikazana arhitektura PicoBlaze KCPSM6 [6].

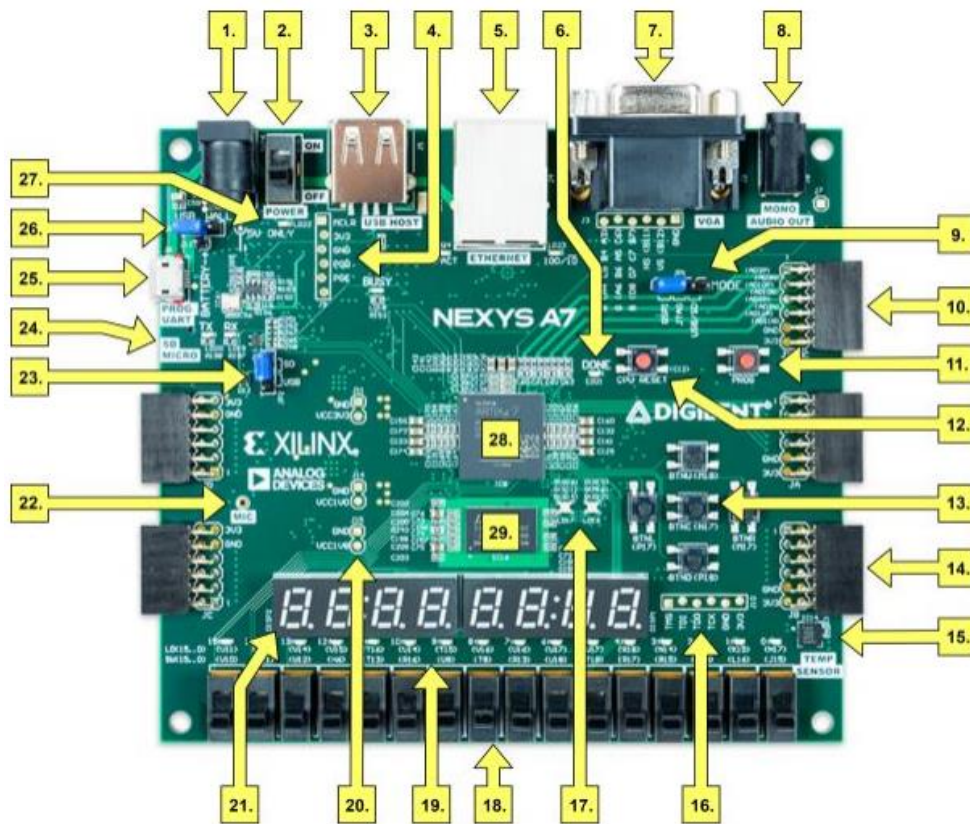


Slika 2.4. Arhitektura PicoBlaze KCPSM6.

### 2.3. Nexys A7

Ploča Nexys A7 je platforma za razvoj digitalnih krugova temeljena na Artix-7 FPGA tvrtke Xilinx. Posjeduje priključke za razne uređaje te posjeduje i ugrađene periferne uređaje poput akcelerometra, senzora temperature, mikrofona i slično što omogućava široku upotrebu bez potrebe za dodatnim komponentama. Xilinx pruža i besplatnu WebPACK verziju ovih alata kako bi se dizajn mogao implementirati bez dodatnih troškova. Nexys A7 dolazi u dvije varijante,

XC7A100T ( Nexys A7-100T) i XC7A50T ( Nexys A7-50T). U ovom završnom radu je korištena varijanta Nexys A7-100T te se sve u nastavku odnosi na Nexys A7-100T varijantu.



Slika 2.5. Nexys A7 ploča.

Tablica 2.1. Popis i opis komponenti Nexys A7 ploče.

BROJ	OPIS KOMPONENTE	BROJ	OPIS KOMPONENTE
1	Utor za napajanje	16	JTAG utor za vanjski kabel
2	Prekidač napajanja	17	RGB LED diode
3	USB utor (domaćin)	18	16 kliznih prekidača
4	PIC24 utor za programiranje (tvornička uporaba)	19	16 LED dioda
5	RJ-45 ethernet utor	20	Točke za test napajanja
6	LED dioda indikator	21	7-segmentni zaslon s

	završenog FPGA programiranja		osam znamenki
7	VGA utor	22	Mikrofon
8	Audio utor	23	Kratkospojnik vanjske konfiguracije (SD/USB)
9	Kratkospojnik programskog načina rada	24	MicroSD utor
10	Pmod utor za analogni signal (XADC)	25	Zajednički UART/JTAG USB utor
11	Tipka za reset FPGA konfiguracije	26	Kratkospojnik za odabir napajanja i spajanje baterije
12	Tipka za reset središnje jedinice za obradu	27	LED dioda indikator ispravnog napajanja
13	5 tipki	28	Xilinx Artix 7 FPGA
14	Pmod utori	29	DDR2 memorija
15	Senzor za mjerenje temperature		

Postoje dva načina na koji se napaja Nexys A7 ploča, prvi način je da se napaja iz Digilent USB-JTAG priključka (J6), a drugi je da se napaja iz vanjskog izvora napajanja. Koji će se izvor napajanja koristiti određuje kratkospojnik JP3 koji se nalazi u blizini utora za napajanje. USB priključak može dati dovoljno snage za većinu primjena. Nekoliko zahtjevnih aplikacija, uključujući i one koje pokreću više perifernih ploča, može zahtijevati više snage nego što USB priključak može pružiti. Isto tako, neke će se aplikacije možda morati pokrenuti bez povezivanja na USB priključak računala. U tim se slučajevima može koristiti vanjsko napajanje ili baterija. Vanjski izvor napajanja može se koristiti priključivanjem na utor za napajanje (J13) i postavljanjem kratkospojnika JP3 na "WALL".

Nexys A7 ima prenaponsku i strujnu zaštitu na napojnoj sabirnici. Osigurač od 3,5 A (R287) i Zener dioda od 5 V (D16) pružaju zaštitu za druge integrirane krugove na ploči. Nexys A7 sadrži kristalni oscilator od 100 MHz spojen na kontakt E3.

Nakon uključivanja, Artix-7 FPGA mora biti konfiguriran (ili programiran) prije nego što može obavljati bilo koje funkcije. FPGA je moguće konfigurirati na jedan od četiri načina:

1. Računalo može koristiti Digilent USB-JTAG sklop (utor J6, označen s "*PROG*") za programiranje FPGA svaki put kada je napajanje uključeno.
2. Datoteka pohranjena u memorijskom uređaju sa stalnom serijskom (SPI) memorijom može se prenijeti na FPGA pomoću SPI priključka.
3. Datoteka za programiranje može se prenijeti na FPGA s mikro SD kartice.
4. Datoteka za programiranje može se prenijeti s USB *flash* memorije priključenog na USB HID priključak.

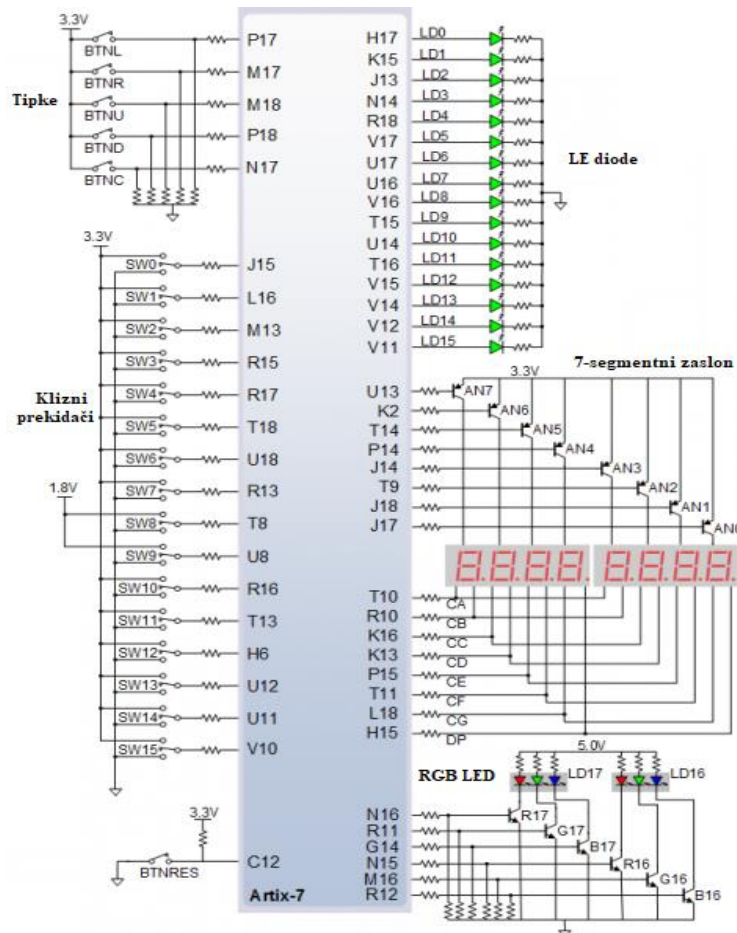
FPGA se oslanja na *Quad-SPI* brzu memoriju kako bi spremio konfiguraciju između ciklusa napajanja. Ovaj način konfiguracije se naziva upravljač SPI (engl. *master SPI*). Prazni FPGA ima ulogu upravljača te čita konfiguracijsku datoteku iz *flash* uređaja prilikom uključivanja. Prvo je potrebno preuzeti konfiguracijsku datoteku u *flash* memoriju. Konfiguracijska datoteka Artix-7 100T zahtijeva manje od 4 MB memorije, ostavljajući oko 77 posto *flash* uređaja dostupnim za korisničke podatke. Ako se FPGA konfigurira iz drugog izvora, cijela se memorija može koristiti za prilagođene podatke. Sadržajem memorije može se manipulirati izdavanjem određenih naredbi na SPI sabirnici. Svi signali na SPI sabirnici osim SCK-a su korisnički ulaz/izlaz kontakti opće namjene nakon FPGA konfiguracije. SCK je iznimka jer ostaje namjenski kontakt čak i nakon konfiguracije.

Nexys A7 sadrži FTDI FT2232HQ USB-UART most (priključen na priključak J6) što omogućuje korištenje računalnih aplikacija za komunikaciju s pločom pomoću standardnih naredbi za Windows COM priključak. Upravljački programi USB-COM priključka pretvaraju USB pakete u podatke UART/serijskog utora. Podaci serijskog utora razmjenjuju se s FPGA-om pomoću dvožilnog serijskog utora (TXD/RXD) i dodatne sklopovske kontrole protoka (RTS/CTS). Nakon instaliranja upravljačkih programa, ulazno/izlazne naredbe se mogu slati s računala usmjerene na COM priključak za proizvodnju serijskog podatkovnog prometa na C4 i D4 FPGA kontaktima.

Nexys A7 sadrži nekoliko ulazno/izlaznih uređaja, a to su:

1. dvije RGB LE diode,
2. šesnaest kliznih prekidača,
3. šest tipki,
4. šesnaest pojedinačnih LE dioda i
5. 7-segmentni pokazivač s osam znamenki.

Na slici 2.6. je prikazana shema osnovnih ulazno/izlaznih uređaja.



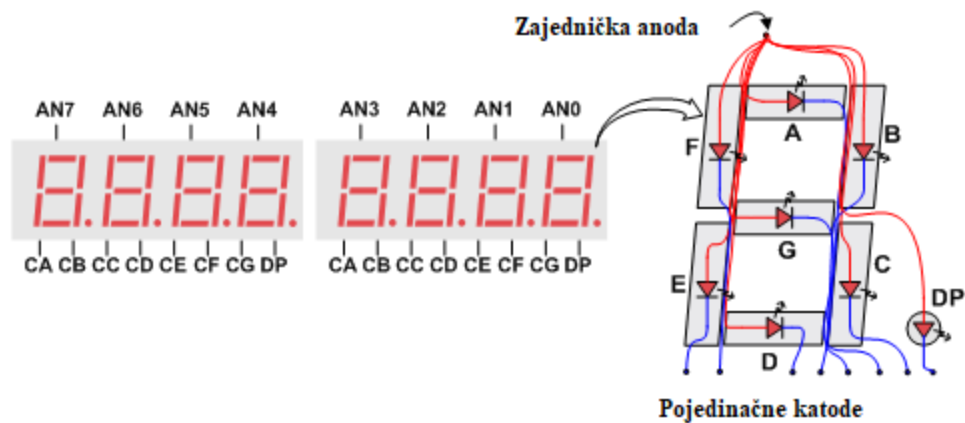
Slika 2.6. Shema osnovnih ulazno/izlaznih uređaja.

Tipke i klizni prekidači spojeni su na FPGA putem serijskih otpornika kako bi se spriječilo oštećenje nenamjernog kratkog spoja (kratki spoj bi mogao nastati ako je FPGA kontakt slučajno dodijeljen tipki ili kliznom prekidaču koji su definirani kao izlaz). Pet tipki su prekidači koji obično stvaraju nizak izlaz kada su u mirovanju, a visoki izlaz samo kada su pritisnuti.

Klizni prekidači stvaraju konstantne visoke ili niske ulaze ovisno o njihovom položaju. Šesnaest pojedinačnih LE dioda anodno su spojene na FPGA preko otpornika od  $330\Omega$ , uključuju se kada

se na odgovarajući ulazno-izlazni kontakt priključi napon. Dodatne LE diode koje nisu dostupne korisniku ukazuju na uključivanje, status programiranja FPGA te status USB i ethernet utora.

Nexys A7 ima i dva četveroznamenkasta sedmo-segmentna LED zaslona sa zajedničkom anodom, konfigurirana da se ponašaju kao jedan osmeroznamenkasti zaslon. Svaka od osam znamenki sastavljena je od sedam segmenata raspoređenih u uzorku broja "8", s LE diodom ugrađenom u svaki segment. Segmentne LE diode je moguće pojedinačno osvijetliti, što omogućava 128 mogućih uzoraka. U ovom završnom radu su korišteni uzorci koji predstavljaju brojeve od 0 do 9, uzorak koji predstavlja minus te uzorak koji predstavlja decimalnu točku. Anode sedam LE dioda koje tvore svaku znamenku povezane su zajedno u jedan čvor kruga "zajedničke anode", ali LED katode ostaju odvojene, kao što je prikazano na slici 2.7..

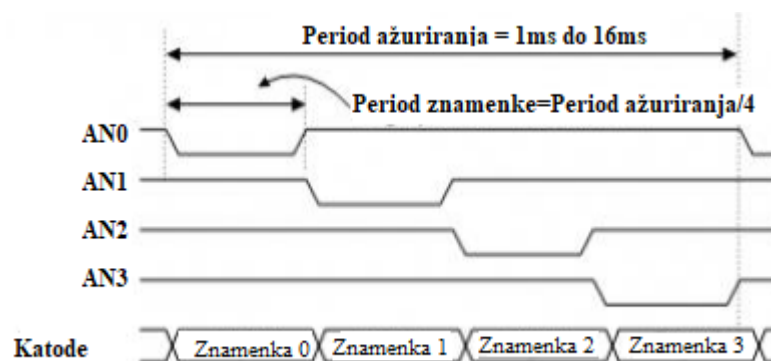


Slika 2.7. 7-segmentni zaslon.

Zajednički anodni signali dostupni su kao osam ulaznih signala za omogućavanje znamenki na osmeroznamenkasti zaslon. Katode su na sva četiri zaslona povezane u sedam čvorova sklopa označenih CA kroz CG. Na primjer, osam "D" katoda iz osam znamenki grupirane su zajedno u jedan čvor sklopa koji se naziva "CD". Tih sedam katodnih signala dostupno je kao ulaz na 8-znamenkasti zaslon. Takva shema povezivanja signala stvara multipleksirani prikaz, gdje su katodni signali zajednički svim znamenkama, ali mogu osvijetliti samo segmente znamenke čiji je odgovarajući anodni signal potvrđen. Da bi se osvijetlio segment, anodu treba postaviti na visoku logičku razinu, a katodu na nisku logičku razinu. No, budući da Nexys A7 koristi tranzistore za dovođenje dovoljne količine struje u točku zajedničke anode, omogućavanje anode je obrnuto. Stoga su i AN0..7 i CA..G/DP signali postavljeni u nisku logičku razinu kada su aktivni.



Kako bi se prikazao dvoznamenkasti broj ili neki drugi broj od dvije do osam znamenki može se koristiti krug upravljača koji skenira zaslon. Ovaj krug pokreće anodne signale i odgovarajuće katodne uzorke svake znamenke ponavljajućom, kontinuiranom sukcesijom brzinom ažuriranja koja je brža nego što ljudsko oko može primijetiti. U slučaju osmeroznamenkastog broja svaka je znamenka osvijetljena samo jednu osminu vremena, ali budući da oko ne može uočiti zatamnjene znamenke prije nego što se ponovno osvijetli, čini se da je znamenka neprestano osvijetljena. Ako se brzina ažuriranja uspori na oko 45Hz, ljudsko oko može primijetiti treperenje na zaslonu. Da bi svaka znamenka izgledala svijetla i neprestano osvijetljena, svih osam znamenki treba prikazati svakih 1 do 16 ms uz frekvenciju osvježavanja od oko 1 KHz do 60Hz. Na primjer ako se AN0 postavi u nisku logičku razinu odabire se zaslon za prvu znamenku na zaslonu te ako se CB i CC također postave u nisku logičku razinu, tada će se na zaslonu na prvoj znamenci "1". Zatim, ako se AN1, CA, CB i CC postave u nisku logičku razinu, na položaju druge znamenke na zaslonu će biti prikazana znamenka "7". Ako se AN0, CB i CC napajaju 4 ms, a zatim se AN1, CA, CB i CC napajaju 4 ms, a zatim opet iz početka u beskonačnoj petlji, na zaslonu će se u prve dvije znamenke prikazati „71“. Primjer vremenskog dijagrama za četveroznamenkasti upravljač prikazan je na slici 2.8. [7].



Slika 2.8. Primjer vremenskog dijagrama za četveroznamenkasti upravljač.

### 3. VHDL

Digitalni sklop je moguće opisati shematski ili korištenjem jezika za opis sklopovlja (engl. *hardware description language – HDL*). Što sklop postaje kompleksniji shematski opis postaje nepregledan pa ih je potrebno uređivati, a to može dovesti do dodatnih pogreški i oduzima vrijeme. Iz tih razloga se kao bolja alternativa koriste jezici za opis sklopovlja. U ovom završnom radu se koristi VHDL za opis sklopovlja. VHDL je skraćenica od "*VHSIC Hardware Description Language*" gdje je VHSIC kratica od integrirani krugovi vrlo velike brzine (engl. *Very High Speed Integrated Circuits*). VHDL je prvi jezik za opis sklopovlja koji je standardiziran od strane "*Institute of Electrical and Electronics Engineers*" IEEE 1076 standardom. Namijenjen je za sintezu sklopova kao i za simulaciju sklopova [8].

Dvije glavne primjene su u području programabilnih logičkih uređaja ( uključujući i FPGA) i u području integriranih krugova posebne namjene (engl. *Application-specific integrated circuits – ASIC*). Kada je napisan, VHDL kod se može koristiti za implementaciju sklopa u programabilni uređaj ili se može poslati tvornici za proizvodnju ASIC čipa.

VHDL kodom se opisuje struktura sklopa tako što se instanciraju manje komponente koje se međusobno povezuju što oformljuje hijerarhijsku strukturu. Fizički ulazi i izlazi FPGA sklopa se povezuju sa modulom koji je na vrhu hijerarhijske strukture (engl. *Top module*). Korištenjem logičkih i aritmetičkih izraza te ponašajnih blokova moguće je ponašajno opisati funkcioniranje pojedinih dijelova sklopa.

Tri su osnovna dijela VHDL koda su:

1. Deklaracije biblioteka (engl. *Library*) – popis svih biblioteka koje se koriste.
2. Entitet (engl. *Entity*) – u ovom dijelu se navode ulazno izlazni pinovi sklopa.
3. Arhitektura (engl. *Architecture*) – sadrži VHDL kod koji opisuje kako bi se sklop trebao ponašati.

Biblioteka je zbirka često korištenih dijelova koda. Korištenjem biblioteka omogućava dijeljenje i ponovno korištenje koda. Biblioteka se sastoji od paketa (engl. *Package*) koji sadrže funkcije, procedure ili komponente.

Biblioteka se deklarira u dvije linije koda. Prva linija započinje ključnom riječju "LIBRARY" iza koje slijedi ime biblioteke te točka sa zarezom (";"), a druga linija započinje ključnom riječju "USE", a zatim slijedi ime biblioteke iza koje slijedi točka iza koje slijedi ime paketa te ponovno točka iza koje se navodi dio paketa koji će se koristiti ( moguće je odabrati i cijeli paket, u tom slučaju se koristi riječ "all ") iza čega slijedi točka sa zarezom.

Primjer deklaracije biblioteke je dan u nastavku:

**Tablica 3.1. Deklaracija biblioteke.**

<i>Linija</i>	<i>Kod</i>
1:	LIBRARY ieee; --"iee" ime biblioteke,
2:	USE ieee.std_logic_1164.all; --"std_logic_1164" ime paketa
3:	--"all" odabrani dio paketa

Entitet sadrži popis svih ulaznih i izlaznih pinova sklopa te i njihove specifikacije. Signali mogu biti "IN" (ulaz), "OUT" (izlaz), "INOUT" (ulazno/izlazni) ili "BUFFER" (međuspremnik). "IN" označava ulazni signal, "OUT" označava izlazni signal, "INOUT" označava ulazno/izlazni signal te "BUFFER" predstavlja izlazni signal koji se mora pročitati interno. Ima više vrsta signala a neki od njih su:

- "BIT" i "BIT\_VECTOR" – jedan bit ili višebitna vrijednost u slučaju "BIT\_VECTOR".
- "INTEGER" – 32-bitni cijeli brojevi.
- "BOOLEAN" – može imati vrijednost istina (engl. *true*) ili laž (engl. *false*).

Primjer entiteta je prikazan u tablici 3.2.:

**Tablica 3.2. Primjer entiteta.**

<i>Linija</i>	<i>Kod</i>
1:	ENTITY ime_entiteta IS
2:	PORT (
3:	ime_porta : "IN" STD_LOGIC;
4:	ime_porta2: "OUT" STD_LOGIC;
5:	...);
6:	END ime_entiteta;

Arhitektura opisuje kako bi se sklop trebao ponašati. Sintaksa za pisanje arhitekture je prikazana u tablici 3.3.;

Tablica 3.3. Sintaksa za pisanje arhitekture.

<i>Linija</i>	<i>Kod</i>
1:	ARCHITECTURE ime_arhitekture OF ime_entiteta IS
2:	(deklaracije)
3:	BEGIN
4:	(kod)
5:	END ime_arhitekture;

Arhitekturu se može podijeliti na dva dijela:

1. Dio sa deklaracijama – dio arhitekture u kojem deklariraju dodatni signali i konstante, može biti i prazan u slučaju kada nisu potrebni dodatni signali i konstante.
2. Dio s kodom – počinje od riječi "*BEGIN*" prema dolje i u tom dijelu se piše kod koji će odrediti ponašanje sklopa.

#### 4. IMPLEMENTACIJA

Prije dodavanja funkcionalnosti bilo je potrebno preuzeti datoteku koja sadrži VHDL opis okoline mikroprocesora PicoBlaze KCPSM6 [9]. Nakon što je definirano koje točno funkcionalnosti treba dodati za već postojeće module, potrebno je napraviti plan kako pristupiti problemu. Zadatak se može podijeliti na tri dijela:

1. Dodati funkcionalnost već ugrađenom senzoru temperature.
2. Dodati funkcionalnost već ugrađenom akcelerometru.
3. Vizualno prikazati rezultate senzora temperature i akcelerometra korisniku.

Rezultati mjerenja temperature će biti prikazani na 7-segmentnom zaslonu, a rezultati akcelerometra će biti prikazani na LE diodama. Kako bi se vrijednosti prikazale na 7-segmentnom zaslonu potrebno je napraviti modul za pretvaranje binarne vrijednosti u binarno kodirani decimalni broj (BCD) te je korišten gotovi modul za prikaz znamenki na 7-segmentnom zaslonu koji se nalazi u preuzetoj datoteci [9].

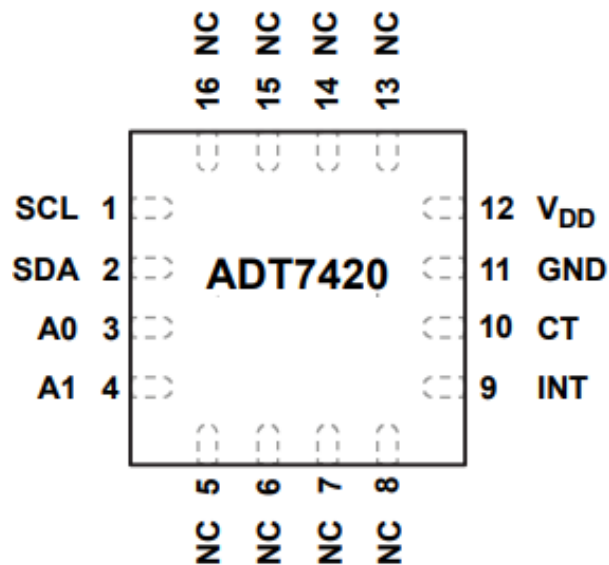
BCD je potreban zbog toga što je u BCD kodu pojedini znak dekadskog brojevnog sustava kodiran nizom od 4 binarne znamenke [10]. Na primjer broj 18 će u binarnom obliku biti "0001 0010", a kada se pretvori u BCD dobije se "0001 1000". Modul šalje rezultat pretvorbe na ulaz modula za prikaz vrijednosti na 7-segmentnom zaslonu. Prvi korak je prepoznati sve znamenke broja što se postiže uspoređivanjem po četiri bita sa ulaza sa znamenkama od 0 do 9. Kada je

rezultat usporedbe četiri bita ulaza sa nekom od znamenki istinit, uzorak te znamenke se sprema u signal. To se ponovi za sve znamenke. Kako bi se prikazale znamenke potrebno je dobivene katodne uzorke svake znamenke kontinuirano i ponavljajući ažurirati frekvencijom koja je brža nego što ljudsko oko može primijetiti.

Kako bi se implementirale funkcionalnosti senzora temperature potrebno je koristiti I<sup>2</sup>C serijsku komunikaciju, a za funkcionalnost akcelerometra potrebno je koristiti SPI serijsku komunikaciju.

#### 4.1. ADT7420 Senzor temperature

Nexys A7 sadrži ADT7420 senzor temperature. Rezolucija analogno digitalne pretvorbe (ADC) je, prema zadanim postavkama, postavljena na 13 bita (0.0625 °C). ADC rezoluciju je moguće promijeniti, a senzor radi pri naponu od 2.7 V do 5.5 V. Predviđen je za rad pri temperaturi u rasponu od -40 °C do 150 °C. Na slici 4.1. je prikazan raspored kontakta te je u tablici 4.1. opisana njihova funkcija [11].



Slika 4.1. Raspored kontakta senzora ADT7420.

Tablica 4.1. Oznaka i kratak opis kontakta senzora ADT7420.

BROJ KONTAKTA	OZNAKA	OPIS
1	SCL	I <sup>2</sup> C serijski ulaz takta. Potreban je pritezni (engl. <i>pull-up</i> ) otpornik, najčešće od 10 kΩ.
2	SDA	I <sup>2</sup> C serijski ulaz/izlaz podataka. Serijski podaci se šalju i primaju preko ovog kontakta. Potreban je pritezni otpornik, najčešće od 10

		k $\Omega$ .
3	A0	I <sup>2</sup> C kontakt za odabir serijske sabirnice.
4	A1	I <sup>2</sup> C kontakt za odabir serijske sabirnice
5	NC	Nije spojen
6	NC	Nije spojen
7	NC	Nije spojen
8	NC	Nije spojen
9	INT	Pokazatelj prekomjerne temperature i preniske temperature. Logički izlaz, aktivno stanje je niska logička razina. Izlaz otvorenog odvoda (engl. <i>drain</i> ), potreban je pritezni otpornik, najčešće od 10 k $\Omega$ .
10	CT	Pokazatelj kritične visoke temperature. Logički izlaz, aktivno stanje je niska logička razina. Izlaz otvorenog odvoda ,potreban je pritezni otpornik, najčešće od 10 k $\Omega$ .
11	GND	Analogno i digitalno uzemljenje
12	V <sub>DD</sub>	Napajanje (2.7 V do 5.5 V)
13	NC	Nije spojen
14	NC	Nije spojen
15	NC	Nije spojen
16	NC	Nije spojen

Senzor temperature generira napon proporcionalan apsolutnoj temperaturi, koji se uspoređuje s referentnim naponom i predaje kao ulaz digitalnom modulatoru. Zbog visoke točnosti i linearnosti u cijelom rasponu nazivnih temperatura nema potrebe za korigiranjem ili kalibracijom od strane korisnika.

Izlaz senzora je digitaliziran pomoću sigma-delta ( $\Sigma$ - $\Delta$ ) modulatora kod kojeg se kvantizira promjena amplitude između dva uzorka [12].

ADT7420 ima 4 načina rada:

1. normalni način rada
2. jednokratni način rada
3. 1SPS način rada
4. Isključeni (engl. *shutdown*) način rada.

Normalni način rada neprestano vrši pretvorbu temperature što znači da čim se završi jedna pretvorba temperature, započinje sljedeća pretvorba. Za jednu pretvorbu mu je tipično potrebno 240 milisekundi. Rezultati svake pretvorbe se spremaju u registar za vrijednosti temperature i može im se pristupiti preko I<sup>2</sup>C sučelja. Prilikom uključivanja, prva pretvorba je brza pretvorba, koja traje obično 6 milisekundi. Ako temperatura prelazi 147 ° C, CT pin prelazi u nisku logičku razinu. Ako temperatura pređe 64 ° C, INT kontakt prelazi u nisku logičku razinu. Točnost temperature pretvorbe obično je unutar  $\pm 5$  ° C. Takt se generira interno za operaciju pretvorbe temperature dok je za čitanje iz i pisanje u serijski utor potreban vanjski generator takta. Pretvorena vrijednost temperature uspoređuje se s kritičnim temperaturnim ograničenjem (pohranjeno u 16-bitnom T<sub>CRIT</sub> registru zadanih vrijednosti za čitanje i pisanje), sa zadanim ograničenjem visoke temperature (pohranjeno u 16-bitnom T<sub>HIGH</sub> registru zadanih vrijednosti za čitanje i pisanje) i sa zadanim ograničenjem niske temperature (pohranjeno u 16-bitnom T<sub>LOW</sub> registru zadanih vrijednosti za čitanje i pisanje). Ako izmjerena vrijednost prelazi ove granice, INT kontakt prelazi u nisku logičku razinu; a ako prelazi kritično temperaturno ograničenje T<sub>CRIT</sub>, CT kontakt prelazi u nisku logičku razinu.

Postavljanje bita 6 na '0' i bita 5 na '1' konfiguracijskog registra (adresa registra 0x03) omogućuje jednokratni način rada. Kada je ovaj način rada omogućen, ADT7420 vrši mjerenje, a zatim prelazi u način isključivanja. Ovaj način rada je koristan kada je prioritet smanjenje potrošnje energije.

U 1SPS načinu rada izvodi se jedna pretvorba u sekundi. Pretvorba obično traje samo 60 milisekundi i ostaje u stanju mirovanja preostalih 940 milisekundi. Ovaj način se omogućava upisivanjem '1' u bit 6 i '0' u bit 5 konfiguracijskog registra (adresa registra 0x03).

ADT7420 se može staviti u isključeni način rada postavljanjem bita 6 u '1' i bita 5 u '1' konfiguracijskog registra, u tom slučaju se senzor isključuje i daljnje se pretvorbe ne započinju dok senzor ne prijeđe u drugi način rada. Prijelaz u drugi način rada traje 1 milisekundu (s kondenzatorom za razdvajanje od 0,1  $\mu$ F). Rezultat posljednje pretvorbe prije isključivanja se može pročitati i kad je u isključenom načinu rada.

Najmanje značajni bit AD pretvarača odgovara 0,0625 ° C kod 13-bitne rezolucije ili 0,0078 ° C kod 16-bitne rezolucije. Rezultat mjerenja temperature se pohranjuje u 16-bitni registar za vrijednosti temperature i uspoređuje se s granicama visokih temperatura pohranjenim u T<sub>CRIT</sub> i T<sub>HIGH</sub> registar zadanih vrijednosti. Također se uspoređuje s granicom niske temperature pohranjenom u T<sub>LOW</sub> registar zadanih vrijednosti. Podaci o temperaturi u registru vrijednosti

temperature, te u  $T_{CRIT}$ ,  $T_{HIGH}$  i  $T_{LOW}$  registrima zadanih vrijednosti su predstavljeni 13-bitnim dvojnim komplementom. Najznačajniji bit predstavlja predznak. Tri najmanje značajna bita, bit 0 do bit 2, nisu dio rezultata mjerenja temperature nego predstavljaju bitove zastavice za  $T_{CRIT}$ ,  $T_{HIGH}$  i  $T_{LOW}$ . U tablici 4.2. je prikazan 13-bitni format podataka o temperaturi bez bita 0 do bita 2.

**Tablica 4.2. Prikaz temperature u binarnom zapisu.**

Temperatura	Rezultat u binarnom zapisu bit[15:3]
-40°C	1 1101 1000 0000
-0.0625°C	1 1111 1111 1111
0°C	0 0000 0000 0000
0.0625°C	0 0000 0000 0001
25°C	0 0001 1001 0000
125°C	0 0111 1101 0000

Broj bitova rezerviranih za vrijednost temperature može se proširiti na 16 bita. U tom slučaju bit 0 do bit 2 se ne koriste kao bitovi zastavice nego se koriste kao najmanje značajni bitovi vrijednosti temperature. Prema zadanim postavkama vrijednost temperature je 13-bitna.

ADT7420 sadrži 17 registara:

- Devet registara vrijednosti temperature
- Statusni registar
- ID registar
- Konfiguracijski registar
- Registar pokazivača adrese
- Registar ponovnog pokretanja programske podrške (engl. *Software reset*)
- Tri rezervirana registra.

Svi su registri 8-bitni pri čemu su registri vrijednosti temperature, statusni registar te ID registar isključivo za čitanje, a registar ponovnog pokretanja programske podrške je isključivo za pisanje. Pri pokretanju, registar pokazivača adrese učitava '0x00' čime pokazuje na registar sa adresom '0x00' što je u ovom slučaju registar sa vrijednosti temperature sa najznačajnijim bajtom.

U tablici 4.3. je prikazan popis svih registara sa kratkim opisom i adresom registra [10].



Tablica 4.3. Popis svih registara ADT7420 senzora temperature.

ADRESA REGISTRA	OPIS
0x00	Najznačajniji bajt vrijednosti temperature
0x01	Najmanje značajan bajt vrijednosti temperature
0x02	Status
0x03	Konfiguracija
0x04	Najznačajniji bajt $T_{HIGH}$ zadane vrijednosti
0x05	Najmanje značajan bajt $T_{HIGH}$ zadane vrijednosti
0x06	Najznačajniji bajt $T_{LOW}$ zadane vrijednosti
0x07	Najmanje značajan bajt $T_{LOW}$ zadane vrijednosti
0x08	Najznačajniji bajt $T_{CRIT}$ zadane vrijednosti
0x09	Najmanje značajan bajt $T_{CRIT}$ zadane vrijednosti
0x0A	$T_{HYST}$ zadana vrijednost
0x0B	ID
0x0C	Rezervirano
0x0D	Rezervirano
0x2E	Rezervirano
0x2F	Registar ponovnog pokretanja programske podrške

Registar pokazivača adrese je uvijek prvi registar u koji se piše tijekom pisanja u ADT7420.

Treba sadržavati adresu registra u koji se želi pisati ili čitati.

Vrijednost temperature se sastoji od dva bajta, najznačajnijeg bajta i najmanje značajnog bajta. Te vrijednosti se mogu pročitati u dva odvojena čitanja po jedan bajt ili u jednom čitanju po dva bajta. Za čitanje po dva bajta potrebno je da samo adresa najznačajnijeg bajta bude učitana u registar pokazivača adrese. Nakon što je najznačajniji bajt pročitao, pokazivač adrese se automatski inkrementira kako bi se mogao pročitati najmanje značajni bajt.

#### 4.1.1. I<sup>2</sup>C sabirnica

I<sup>2</sup>C je sinkrona sabirnica za serijsku komunikaciju izmišljena 1982. godine. I<sup>2</sup>C sabirnica koristi dvije linije, a to su:

1. SCL – serijski takt (engl. *serial clock*)
2. SDA – serijski podaci (engl. *serial data*).

SCL i SDA signali su spojeni sa priteznim otpornicima na napajanje sabirnice. Kada se na sabirnici ne odvija komunikacija oba signala su u visokoj naponskoj razini. Standardni dizajn ima 7-bitne adrese, ali ih je moguće proširiti na 10-bitne adrese. Najčešće brzine sabirnice su 100 kbit/s u standardnom načinu rada i 400 kbit/s u brzom načinu rada. Postoji i spori način rada od 10 kbit/s, a također postoje i brži načini rada do ultra brzog načina rada brzine 5 Mbit/s.

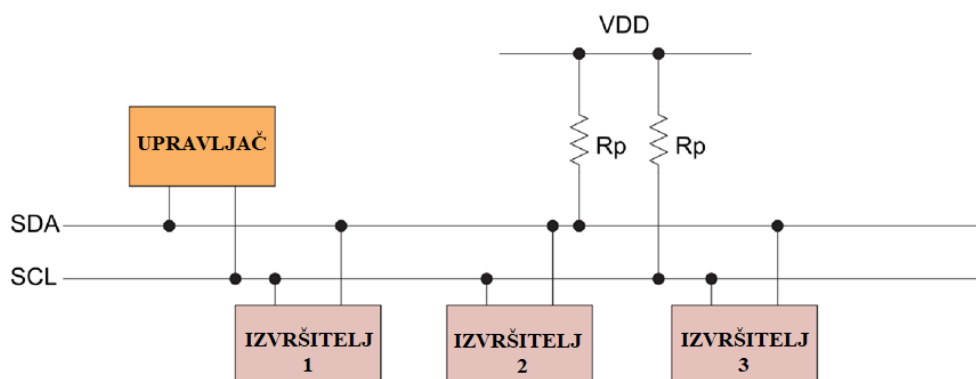
Komponente kod I<sup>2</sup>C komunikacije mogu imati jednu od dvije uloge:

1. upravljač (engl. *master*)
2. izvršitelj (engl. *slave*).

Uređaj koji započinje komunikaciju i generira takt na sabirnici naziva se upravljač, a uređaj koji odgovara na naredbu naziva se izvršitelj. Može biti više upravljača i više izvršitelja, a uloge upravljača i izvršitelja se mogu mijenjati između poruka. Moguće su 4 situacije.

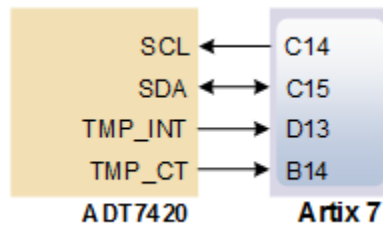
1. Upravljač šalje podatke izvršitelju.
2. Upravljač prima podatke iz izvršitelja.
3. Izvršitelj šalje podatke upravljaču.
4. Izvršitelj prima podatke od upravljača.

Ako je više upravljača na sabirnici može se dogoditi da dva ili više upravljača u istom trenutku započnu prijenos što će dovesti do sudaranja podataka. Kako bi se spriječilo sudaranje koristi se postupak arbitriranja koji dodjeljuje pravo za upravljanje sabirnicom samo jednom upravljaču [13].



Slika 4.2. I<sup>2</sup>C sabirnica.

Na slici 4.3. je prikazano sučelje između senzora temperature ADT7420 i FPGA na Nexys A7 ploči [7].



**Slika 4.3. Sučelje između senzora temperature i FPGA na Nexys A7 ploči.**

SCL – I<sup>2</sup>C serijski takt

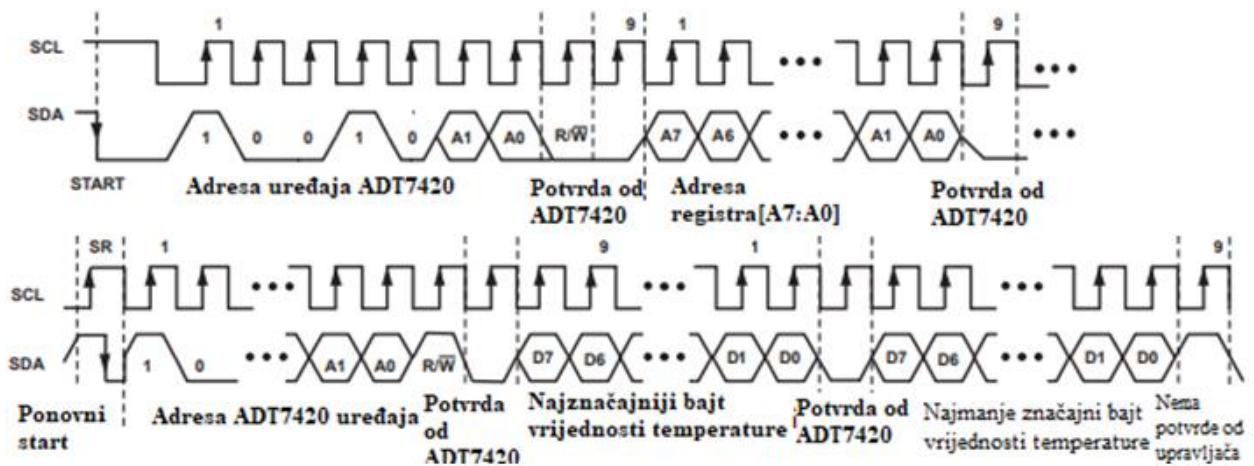
SDA - I<sup>2</sup>C serijski podaci

TMP\_INT – indikator previsoke ili preniske temperature

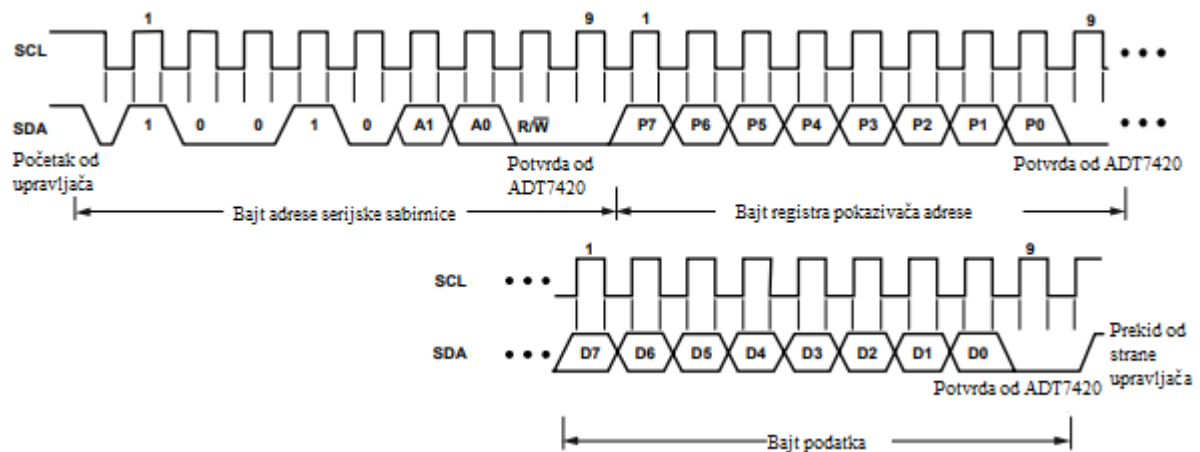
TMP\_CT – indikator kritične previsoke temperature

Proces prijenosa podataka I<sup>2</sup>C serijskom sabirnicom se može opisati u 4 koraka:

1. Upravljač započinje prijenos podataka tako što uspostavlja uvjet za početak prijenosa podataka to jest start stanje. Start stanje definirano je prijelazom SDA signala iz visoke u nisku razinu dok SCL signal ostaje u visokoj razini čime se daje do znanja da slijedi prijenos. Svi izvršitelji spojeni na sabirnicu odgovaraju na start stanje, a upravljač šalje 7-bitnu adresu željenog izvršitelja i još jedan bit za čitanje/pisanje koji određuje hoće li se podaci čitati iz ili pisati u izvršitelja.
2. Samo onaj izvršitelj, čija je adresa jednaka adresi koju je upravljač poslao, će odgovoriti prebacivanjem SDA signala u nisku razinu i zadržati ga u niskoj razini cijeli sljedeći period takta, taj bit se naziva potvrdni bit. Kada se ne odazove niti jedan uređaj upravljač šalje stop bit za prekid prijenosa. Upravljač podatke s odabranog izvršitelja čita ako je bit za čitanje/pisanje 0, a ako je bit 1 onda upravljač piše podatke na izvršitelja.
3. Nakon toga se šalje 8-bitni podatak popraćen potvrdnim bitom od primatelja podataka, može biti nekoliko parova podatak-potvrda.
4. Stanje zaustavljanja se uspostavlja kada su svi podaci pročitani ili upisani i označava prekid komunikacije. Kako će se stanje zaustavljanja uspostaviti ovisi o tome radi li se o pisanju ili čitanju podataka. Kod pisanja podataka, upravljač postavlja SDA signal u visoku razinu tijekom desetog takta kako bi uspostavio stanje zaustavljanja. Kod čitanja podataka, upravljač postavlja SDA signal u visoku razinu tijekom perioda niske razine prije devetog takta, to znači da nema potvrde. Upravljač zatim postavlja SDA signal u nisku razinu tijekom perioda niske razine prije desetog takta, a zatim u visoku razinu za vrijeme desetog takta kako bi uspostavio stanje zaustavljanja.



Slika 4.4. Čitanje iz registra vrijednosti temperature.

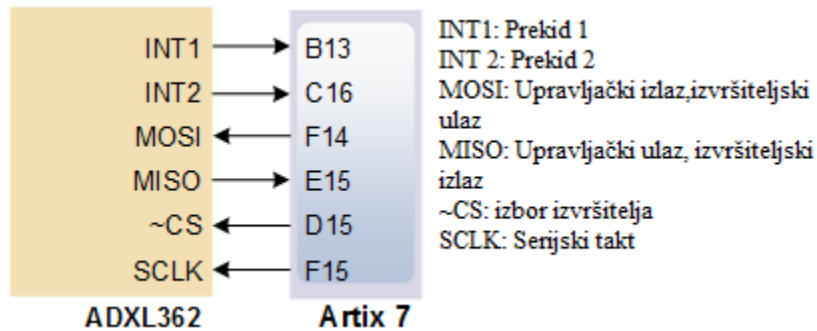


Slika 4.5. Pisanje jednog bajta u registar.

Kada je vrijednost temperature dohvaćena iz registra potrebno je dohvaćenu vrijednost pomnožiti sa 0.0078 kako bi se dobila vrijednost u Celzijevim stupnjevima (°C). Zatim se ta vrijednost zaokruži na jedno decimalno mjesto i pomnoži sa 10 kako bi se dobio cijeli broj. Cijeli broj u binarnom obliku se predaje modulu koji binarni broj pretvara u BCD kod. Rezultat pretvorbe se predaje modulu koji uspoređuje po četiri bita BCD koda s brojevima od 0 do 9, a zatim dobivene brojeve prikazuje na 7-segmentnom zaslonu.

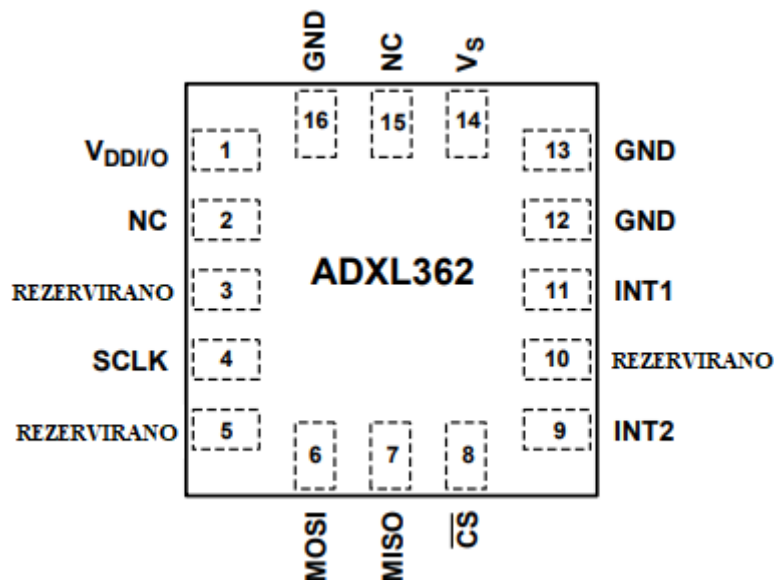
## 4.2. ADXL362 MEMS akcelerometar

Nexys A7 koristi ADXL362 MEMS akcelerometar. ADXL362 vrši mjerenja u tri ravnine, a komunicira pomoću SPI komunikacije. Ima 12-bitnu izlaznu rezoluciju, ali su mogući i 8-bitni formatirani podaci za učinkovitije jednobajtno prijenose kada je dovoljna niža rezolucija. U mjernom načinu rada, akcelerometar neprekidno vrši mjerenje i sprema rezultate u registre. Sučelje između FPGA i akcelerometra je prikazano na slici 4.6. [7].



Slika 4.6. Sučelje između FPGA i akcelerometra.

Na slici 4.7. je prikazan raspored kontakta akcelerometra [14].



Slika 4.7. Raspored kontakta ADXL362 akcelerometra.

Tablica 4.4. Popis kontakta ADXL362 sa kratkim opisom.

BROJ	OZNAKA	OPIS
------	--------	------

KONTAKTA		
1	V <sub>DD I/O</sub>	Napajanje za digitalni ulaz/izlaz
2	NC	Nije spojen u unutrašnjosti
3	Rezervirano	Rezerviran, može ostati nespojen ili spojen na GND
4	SCLK	Generator takta SPI komunikacije
5	Rezervirano	Rezerviran, može ostati nespojen ili spojen na GND
6	MOSI	Upravljački izlaz, izvršiteljski ulaz, SPI serijski podatkovni ulaz
7	MISO	Upravljački ulaz, izvršiteljski izlaz, SPI serijski podatkovni izlaz
8	CS	Odabir SPI čipa, aktivan u logičkoj niskoj razini. Mora biti u niskom stanju za vrijeme SPI komunikacije
9	INT2	Prekid 2 izlaz, INT2 se još koristi i za sinkronizirana uzorkovanja
10	Rezervirano	Rezerviran, može ostati nespojen ili spojen na GND
11	INT1	Prekid 1 izlaz, INT1 se još koristi i za ulaz vanjskog takta
12	GND	Uzemljenje, kontakt se mora uzemljiti.
13	GND	Uzemljenje, kontakt se mora uzemljiti.
14	V <sub>s</sub>	Napajanje
15	NC	Nije spojen u unutrašnjosti
16	GND	Uzemljenje, kontakt se mora uzemljiti.

ADXL362 ima dva načina rada:

1. mjerni način za kontinuirano mjerenje
2. način buđenja za otkrivanje ograničene propusnosti.

Osim toga, mjerenje se može potpuno obustaviti stavljanjem uređaja u stanje mirovanja.

Način mjerenja je normalni način rada ADXL362. U tom načinu rada podaci o ubrzanju se kontinuirano čitaju i akcelerometar troši manje od 3  $\mu$ A koristeći napajanje od 2,0 V. ADXL362 ima tri moguća mjerna raspona  $\pm 2$  g,  $\pm 4$  g, i  $\pm 8$  g, gdje se osjetljivost mijenja s obzirom na odabrani mjerni raspon.

Način buđenja primjeren je za jednostavno otkrivanje prisutnosti ili odsutnosti pokreta pri iznimno niskoj potrošnji energije (270 nA pri naponu 2,0 V). Koristan je za implementaciju prekidača aktiviranog na pokret i omogućava da se ostatak sustava isključi dok se ne otkrije aktivnost.

Način buđenja smanjuje potrošnju struje tako što vrši mjerenje šest puta u sekundi kako bi se utvrdilo je li prisutno kretanje. Ako se detektira kretanje, akcelerometar može reagirati na sljedeće načine:

- Prebaciti se u način mjerenja
- Signalizirati prekid mikrokontroleru
- Aktivirati određeni sklop, ovisno o konfiguraciji.

U načinu buđenja može se pristupiti svim registrima, a podaci u stvarnom vremenu mogu se čitati i/ili pohranjivati u međuspremnik.

Postavljanje ADXL362 u stanje mirovanja obustavlja mjerenje i smanjuje potrošnju struje na 10nA.

Rezultati mjerenja se pretvaraju u 12-bitne vrijednosti i prenose putem SPI komunikacije pomoću dva registra po mjerenju. Za čitanje cijelog uzorka skupa podataka o ubrzanju na tri osi mora se pročitati šest registara. Registri sa najznačajnijim bajtom XDATA, YDATA i ZDATA sadrže osam najznačajnijih bitova podataka o ubrzanju na osi x, y i z. To je korisno kod aplikacija koje ne zahtijevaju točnost koju 12-bitni podaci pružaju, već radije štede energiju na razini sustava. Samo se tri (uzastopna) registra moraju pročitati da bi se dohvatilo cijeli skup podataka, čime se značajno skraćuje vrijeme tijekom kojeg je SPI sabirnica aktivna i crpi struju. 12-bitni i 8-bitni podaci dostupni su istovremeno tako da se oba formata podataka mogu koristiti u jednoj aplikaciji, ovisno o potrebama aplikacije u određenom trenutku. Na primjer, procesor može čitati 12-bitne podatke kada je potrebna veća razlučivost, te se prebaciti na 8-bitne podatke (jednostavno čitanjem različitog skupa registara) kada se zahtjevi aplikacije promjene.

U tablici 4.5. je popis svih registara koji sadrže rezultate mjerenja sa kratkim opisom registara i njihovim adresama [14].

**Tablica 4.5. Registri koji sadrže rezultate mjerenja akcelerometra.**

IME REGISTRA	ADRESA REGISTRA	OPIS
XDATA	0x08	Sadrži 8 najznačajnijih bitova vrijednosti ubrzanja u x osi

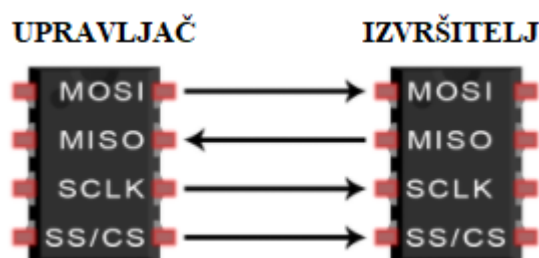
YDATA	0x09	Sadrži 8 najznačajnijih bitova vrijednosti ubrzanja u y osi
ZDATA	0x0A	Sadrži 8 najznačajnijih bitova vrijednosti ubrzanja u z osi
XDATA_L	0x0E	Sadrži 8 najmanje značajnih bitova vrijednosti ubrzanja u x osi
XDATA_H	0x0F	Sadrži 4 najznačajnija bita vrijednosti ubrzanja u x osi. Preostala 4 bita imaju jednaku vrijednost kao i najznačajniji bit
YDATA_L	0x10	Sadrži 8 najmanje značajnih bitova vrijednosti ubrzanja u y osi
YDATA_H	0x11	Sadrži 4 najznačajnija bita vrijednosti ubrzanja u y osi. Preostala 4 bita imaju jednaku vrijednost kao i najznačajniji bit
ZDATA_L	0x12	Sadrži 8 najmanje značajnih bitova vrijednosti ubrzanja u z osi
ZDATA_H	0x13	Sadrži 4 najznačajnija bita vrijednosti ubrzanja u z osi. Preostala 4 bita imaju jednaku vrijednost kao i najznačajniji bit

#### 4.2.1. SPI Komunikacija

Serijsko periferno sučelje (SPI) je sinkroni protokol za serijsku komunikaciju. Bitna značajka SPI komunikacije je ta da može vršiti prijenos podataka bez prekida. Bilo koji broj bitova se može poslati ili primiti u neprekidnom prijenosu za razliku od I<sup>2</sup>C komunikacije gdje se podaci šalju u paketima i postoje uvjeti za početak i prekid prijenosa.

Uređaji koji komuniciraju preko SPI su u odnosu upravljač-izvršitelj. Upravljač upravlja uređajem dok izvršitelj prima naredbe od upravljača. Upravljač može upravljati sa jednim ili više izvršitelja. Primjer sučelja SPI komunikacije je prikazan na slici 4.8.[14].





Slika 4.8. Sučelje SPI komunikacije.

MOSI – linija preko koje upravljač prenosi podatke izvršitelju

MISO – linija preko koje izvršitelj prenosi podatke upravljaču

SCLK – linija za signal takta

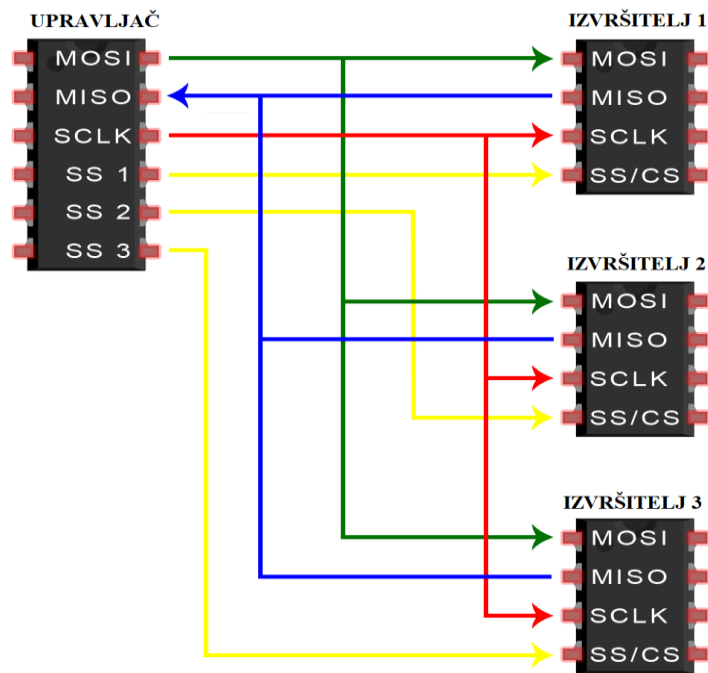
SS/CS – linija preko koje upravljač bira kojem izvršitelju će poslati podatke.

Signal takta sinkronizira izlaz podatkovnih bitova od upravljača do uzorkovanja bitova od strane izvršitelja. Brzina prijenosa podataka određena je frekvencijom signala takta. SPI komunikaciju uvijek započinje upravljač jer on konfigurira i generira signal takta. Signal takta se može izmijeniti koristeći svojstva polariteta takta (engl. *clock polarity*) i faze takta (engl. *clock phase*).

Polaritet takta (CPOL) određuje hoće li se podaci slati i biti uzorkovani na pojavu rastućeg ili padajućeg brida signala takta.

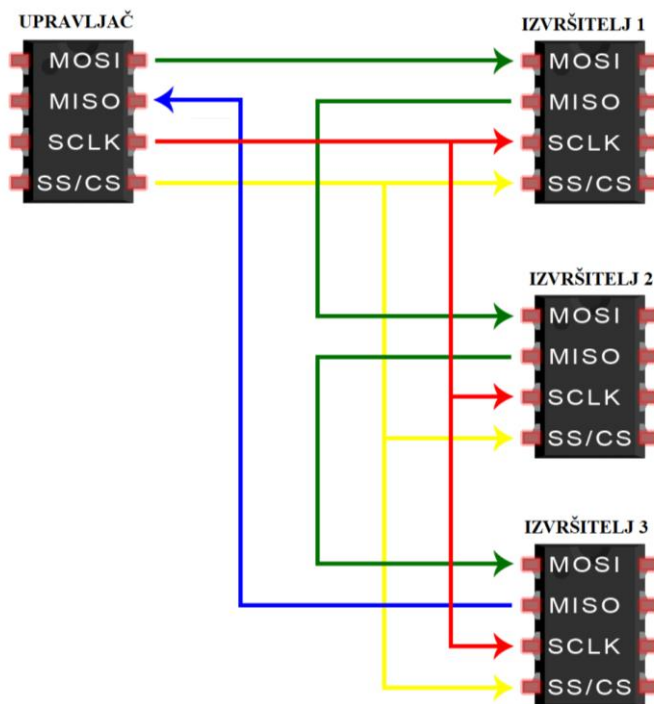
Faza takta (CPHA) određuje hoće li se podaci slati i biti uzorkovani pojavom prvog ili drugog brida signala takta, bez obzira je li rastući ili padajući.

U mirnom stanju, bez prijenosa podataka, CS/SS linija je u visokoj logičkoj razini. Postavljanjem linije u nisku razinu, upravljač odabire izvršitelja s kojim želi komunicirati. Na upravljaču može biti više CS/SS kontakta što omogućava spajanje u paralelu što je prikazano na slici 4.9..



Slika 4.9. Paralelno spajanje upravljača sa više izvršitelja.

Ako je na upravljaču jedan CS/SS kontakt potrebno je ulančano spojiti upravljač s izvršiteljima što je prikazano na slici 4.10. [15].



Slika 4.10. Ulančano spajanje upravljača s izvršiteljima.

Prednosti SPI komunikacije su:

- Nema startni i stop bitova zbog čega se prijenos može vršiti neprekidno.
- Nema kompliciran sustav adresiranja.
- Veća brzina prijenosa podataka u odnosu na I<sup>2</sup>C.
- Odvojene MISO i MOSI linije što omogućava da se podaci šalju i primaju istovremeno.

Nedostaci SPI komunikacije su:

- Koristi četiri linije za razliku od I<sup>2</sup>C koji koristi dvije.
- Za razliku od I<sup>2</sup>C nema potvrde da su podaci uspješno primljeni.
- Može biti samo jedan upravljač.

ADXL362 komunicira putem 4-žičnog SPI-a i radi kao izvršitelj. Zanemaruju se podaci koji se prenose s ADXL362 na upravljački uređaj tijekom pisanja na ADXL362. MISO kontakt je u stanju visoke impedancije, osim kada ADXL362 šalje podatke za čitanje (radi očuvanja snage sabirnice). Preporučene brzine takta SPI -a su od 1 MHz do 8 MHz, s maksimalnim opterećenjem od 12 pF. Kod ADXL362 CPOL i CPHA su u niskoj logičkoj razini.

SPI protokol koristi višebajtnu strukturu u kojoj je prvi bajt naredba. Skup naredbi ADXL362 su:

- 0x0A: pisanje u registar
- 0x0B: čitanje registra
- 0x0D: čitanje međuspremnika

Struktura naredbi za naredbe čitanja registra i upisa u registar je sljedeća:

**</CS u logički nisku razinu> <bajt naredbe (0x0A ili 0x0B)> <adresni bajt> <bajt podataka> <dodatni bajtovi podataka za višebajtni prijenos>...</CS u logički visoku razinu>**

Naredbe registra za čitanje i pisanje podržavaju višebajtni (engl. burst) pristup za čitanje/pisanje.

Čitanje iz međuspremnika je naredbena struktura koja nema adresu, a struktura je sljedeća:

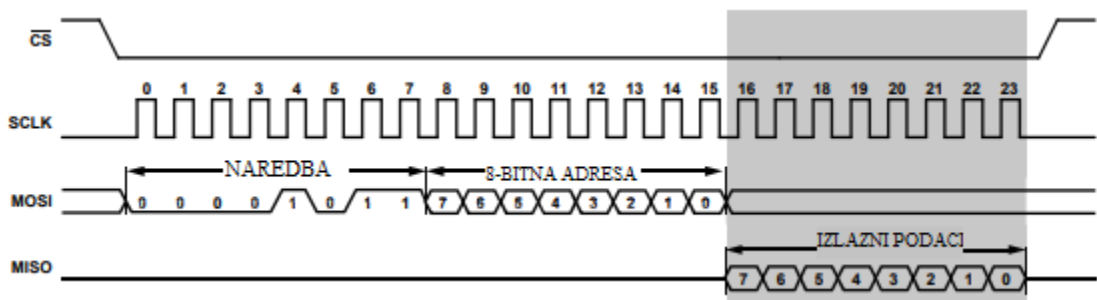
**</CS u logički nisku razinu > <bajt naredbe (0x0D)> <bajt podataka> <bajt podataka> ... </CS u logički visoku razinu >**

Preporučeno je čitanje parnog broja bajtova jer se svaki uzorak sastoji od dva bajta: 2 bita informacija o osi i 14 bita podataka. Ako se čita neparan broj bajtova, pretpostavlja se da su

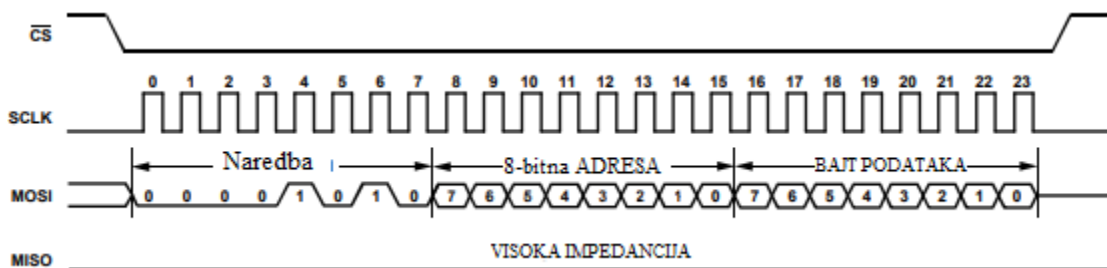
pročitani željeni podaci; stoga se druga polovica posljednjeg uzorka odbacuje pa čitanje iz međuspremnika uvijek počinje na poravnatoj granici parnih bajta. Podaci se prvo prikazuju najmanje značajnim bajtom, a zatim najznačajnijim bajtom.

Višebajtni prijenosi, poznati i kao *burst* prijenosi, podržani su za sve naredbe SPI, a to su naredbe za čitanje registra, naredbe za upisivanje u registar i naredbe za čitanje međuspremnika.

Naredba za čitanje ili pisanje registra započinje adresom navedenom u naredbi i automatskim inkrementalnim povećanjem za svaki dodatni bajt u prijenosu. Kako bi se izbjeglo čitanje registara više puta, automatsko inkrementalno povećanje zaustavlja se na nevažećoj adresi registra 63 (0x3F) [14].



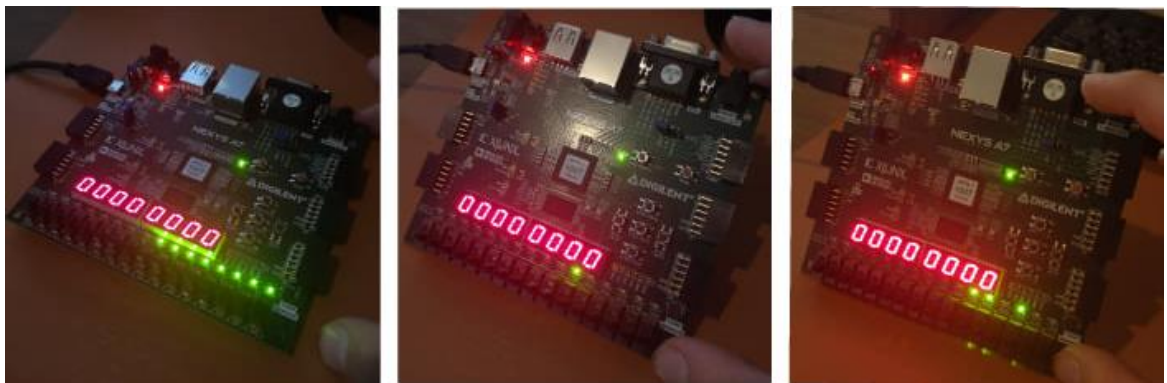
Slika 4.11. Čitanje iz registra.



Slika 4.12. Pisanje u registar.

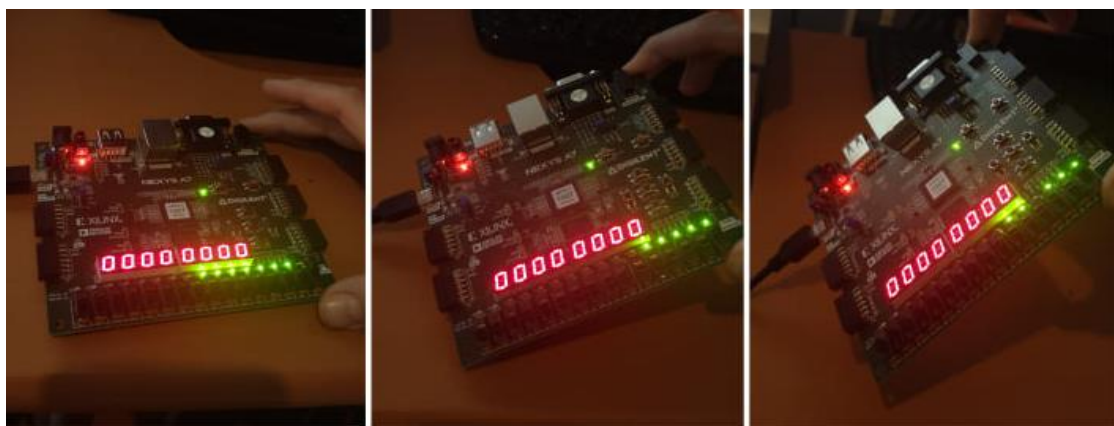
## 5. REZULTATI

Kako bi se akcelerometar mogao implementirati bilo je potrebno koristiti SPI komunikaciju. Akcelerometar je implementiran tako da se pomoću kliznih prekidača bira iz kojeg registra će biti prikazani rezultati akcelerometra na LE diodama. Pri vrijednosti kliznih prekidača "00" podaci se čitaju iz registra za rezultate u x osi, pri "01" iz registra za rezultate u y osi, a pri "10" iz registra za rezultate u z osi. Kada je vrijednost kliznih prekidača "11" čita se vrijednost iz statusnog registra. LE diode služe za pokazivanje vrijednosti mjerenja akcelerometra. Vrijednost prikazana na LE diodama predstavlja vrijednost iz registra akcelerometra koja nije pretvorena u  $m/s^2$ . Stoga vrijednost registra "01111111" je jednaka  $9.8 m/s^2$ . Na slici 5.1. je prikazano očitavanje akcelerometra za x os.

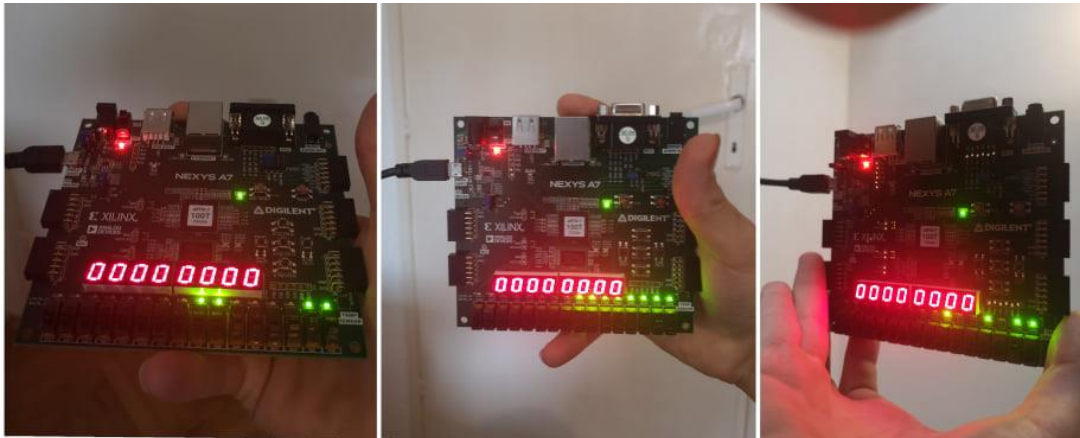


Slika 5.1. Prikaz rezultata akcelerometra u x osi.

Na slici 5.2. je prikazan rezultat akcelerometra u y osi dok je na slici 5.3. prikazan rezultat akcelerometra u z osi. Na slici 5.3. maketa je okrenuta licem prema gore, zatim licem u lijevo te licem prema dolje kako bi se vidjela razlika u očitavanju.

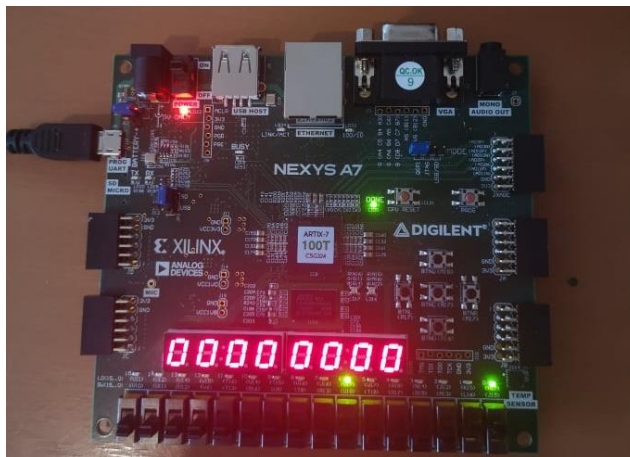


Slika 5.2. Prikaz rezultata akcelerometra u y osi.



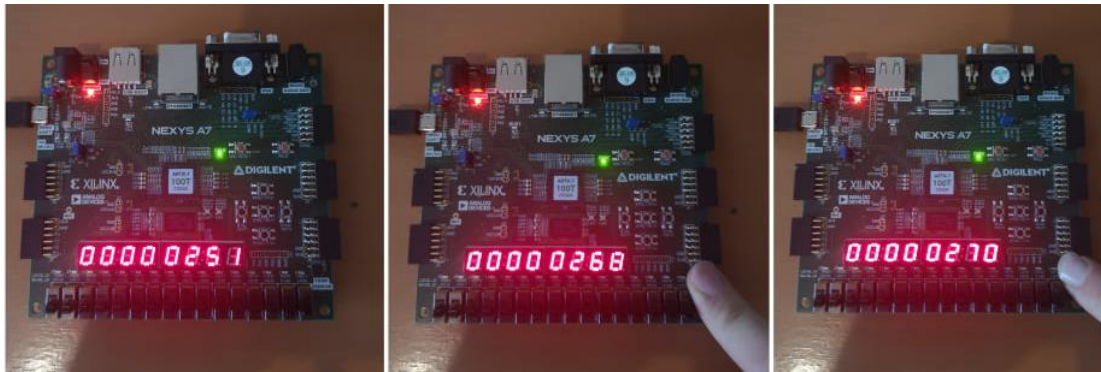
Slika 5.3. Prikaz rezultata akcelerometra u z osi.

Na slici 5.4. je prikazan sadržaj statusnog registra. Bit 0 označava da su novi podaci spremni za čitanje, a bit 6 označava da je akcelerometar aktivan.



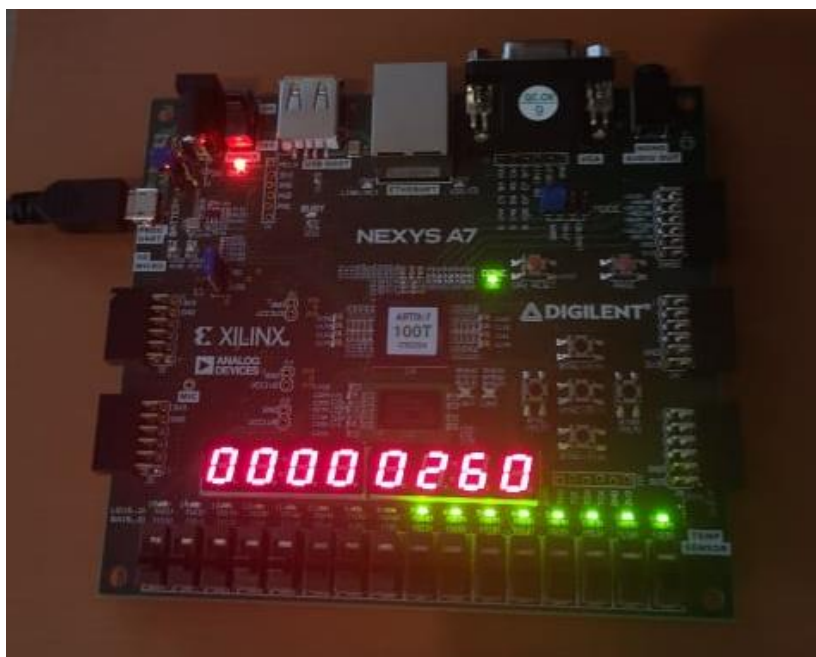
Slika 5.4 Prikaz sadržaja statusnog registra.

Kako bi se senzor temperature prikazao potrebno je koristiti I<sup>2</sup>C komunikaciju. Na 7-segmentnom zaslonu je prikazan rezultat senzora temperature pomnožen s konstantom 0.0078 koja je navedena u specifikacijama senzora [11]. Zadnja znamenka vrijednosti na zaslonu predstavlja prvu decimalu što znači da je na slici 5.5. početna temperatura 25,1°C. Na slici 5.5. senzor očitava temperaturu okoline, a zatim nakon stavljanja prsta na senzor vidljiv je porast temperature.



Slika 5.5. Prikaz rezultata senzora temperature.

Na slici 5.6. je prikazan cijeli sustav nakon implementacije svih potrebnih funkcionalnosti. Na 7-segmentnom zaslonu je prikazana temperatura, a na LE diodama je prikazano mjerenje akcelerometra.



Slika 5.6. Nexys A7 s implementiranim senzorom temperature i akcelerometrom.

## 6. ZAKLJUČAK

U ovom završnom radu uspješno su dodane funkcionalnosti senzoru temperature i akcelerometru na maketi Nexys A7-100T u VHDL jeziku za opis sklopovlja. U radu je opisano što je FPGA, PicoBlaze KCPSM6 procesor te je opisana Nexys A7-100T maketa i njene komponente. Također je opisan i VHDL jezik za opis sklopovlja koji je korišten za implementaciju funkcionalnosti. Kod opisa senzora temperature i akcelerometra su također i opisani komunikacijski protokoli koji se koriste za ostvarenje prijenosa podataka između FPGA i senzora. Kako bi se prikazali rezultati senzora temperature korišten je 7-segmentni zaslon. Za vrijednost senzora temperature je korišteno 16 bitova koje je bilo potrebno pomnožiti s 0.0078 kako bi se dobila vrijednost u stupnjevima celzija. Zatim je bilo potrebno tu vrijednost predati modulu koji će tu vrijednost pretvoriti u BCD kod, a zatim taj kod se predaje modulu koji je zadužen za prikaz znamenki na 7-segmentnom zaslonu. Akcelerometar vrši mjerenja u tri osi, x os, y os i z os. Zbog toga je dodana funkcionalnost da se preko kliznih prekidača odabire za koju os će se prikazivati rezultati mjerenja. Rezultati mjerenja se prikazuju na LE diodama, a ne na 7-segmentnom zaslonu kako bi bilo moguće u istom trenutku pratiti mjerenja oba senzora. Moguće je proširiti funkcionalnost senzora temperature tako da obavijesti korisnika u slučaju prevelike ili preniske temperature. Na primjer korisnik odredi željeni raspon temperature, a kada temperatura premaši granice temperature aktivira se RGB LE dioda ili se aktivira zvučna obavijest preko zvučnika s obzirom da Nexys A7-100T ima utor za zvučnike. Funkcionalnost akcelerometra je moguće proširiti tako da služi kao senzor udarca ili kretnje. U slučaju da akcelerometar očita vrijednost u određenoj osi, aktivira se zvučna obavijest ili se aktivira neki drugi modul. Nexys A7-100T ima velik broj modula zbog čega je moguće implementirati različite funkcionalnosti.



## LITERATURA

- [1] C. Maxfield, The Design Warrior's Guide to FPGAs 2nd edition, Elsevier Science, Burlington, 2004.
- [2] M. Zec, Upute za rad s FPGA razvojnom pločicom ULX2S, Sveučilište u Zagrebu, Zagreb, 2017.
- [3] K. Chapman, PicoBlaze 8-Bit Microcontroller for Virtex-E and Spartan-II/IIE Devices, Xilinx, 2003., dostupno na: [http://www.xilinx.com/support/documentation/application\\_notes/xapp213.pdf](http://www.xilinx.com/support/documentation/application_notes/xapp213.pdf) [13.09.2021]
- [4] PicoBlaze 8-bit Embedded Microcontroller User Guide, Xilinx, 2011., dostupno na: [https://www.xilinx.com/content/dam/xilinx/support/documentation/ip\\_documentation/ug\\_129.pdf](https://www.xilinx.com/content/dam/xilinx/support/documentation/ip_documentation/ug_129.pdf) [13.09.2021]
- [5] K. Chapman, PicoBlaze for Spartan-6, Virtex-6 and 7-Series (KCPSM6), Xilinx, 2013., dostupno na: <https://www.eng.auburn.edu/~nelsovp/courses/elec4200/PicoBlaze/kcpsm6.pdf> [13.09.2021]
- [6] I. Aleksi, PicoBlaze 8-bitni procesor, dostupno na: [https://moodle.srce.hr/2020-2021/pluginfile.php/4382203/mod\\_resource/content/0/PicoBlaze%20procesor.pdf](https://moodle.srce.hr/2020-2021/pluginfile.php/4382203/mod_resource/content/0/PicoBlaze%20procesor.pdf) [13.09.2021]
- [7] Nexys A7™ FPGA Board Reference Manual, Pullman, Digilent, 2019., dostupno na: [https://digilent.com/reference/\\_media/reference/programmable-logic/nexys-a7/nexys-a7\\_rm.pdf](https://digilent.com/reference/_media/reference/programmable-logic/nexys-a7/nexys-a7_rm.pdf) [15.09.2021]
- [8] V. A. Pedroni, Circuit Design and Simulation with VHDL, Second Edition (2nd. ed.). The MIT Press, 2010.
- [9] VHDL Nexys-A7-100T datoteka sa Merlin stranice kolegija Arhitektura računala, dostupno na: <https://moodle.srce.hr/2020-2021/course/view.php?id=80388> [14.09.2021]
- [10] Binarno kodirani decimalni brojevi, dostupno na: <https://www.fpz.unizg.hr/hgold/es/de/bcd.htm> [14.05.2021]
- [11] ADT7420, Analog Devices, 2012., dostupno na: <https://www.analog.com/media/en/technical-documentation/data-sheets/adt7420.pdf> [11.09.2021]

- [12] D. Jarman, A Brief Introduction to Sigma Delta Conversion, Intersil, 1995.,  
dostupno na: <https://silo.tips/download/a-brief-introduction-to-sigma-delta-conversion#>  
[11.09.2021]
- [13] J. VALDEZ, J. BECKER, Understanding the I2C bus, TEXAS INSTRUMENTS,  
2015., dostupno na:  
[https://www.ti.com/lit/an/slva704/slva704.pdf?ts=1630997277021&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/an/slva704/slva704.pdf?ts=1630997277021&ref_url=https%253A%252F%252Fwww.google.com%252F) [11.09.2021]
- [14] ADXL362, Analog Devices, 2012., dostupno na:  
<https://www.analog.com/media/en/technical-documentation/data-sheets/ADXL362.pdf>  
[15.09.2021]
- [15] S. Campbell, Basics of the spi communication protocol, Circuit Basics, 2016.,  
dostupno na: <https://www.circuitbasics.com/basics-of-the-spi-communication-protocol/>  
[15.09.2012]

## SAŽETAK

Naslov: Edukativni uređaji za mikroprocesor PicoBlaze

Cilj ovog završnog rada je bilo dodavanje funkcionalnosti već postojećim modulima na maketi Nexys A7. Moduli kojima će se dodati funkcionalnosti su senzor temperature ADT7420 i akcelerometar ADXL362. Senzor temperature komunicira sa FPGA preko I<sup>2</sup>C serijske komunikacije, a rezultati mjerenja temperature su prikazani na 7-segmentnom zaslonu. Akcelerometar komunicira sa FPGA preko SPI serijske komunikacije, a rezultati mjerenja su prikazani na LE diodama. Budući da akcelerometar vrši mjerenja u tri osi (x, y, z), korisnik može odabrati za koju os će se prikazati rezultati preko kliznih prekidača. U radu je objašnjeno što je FPGA, komponente i specifikacije Nexys A7-100T makete, KCPSM6 PicoBlaze te VHDL jezik za opis sklopovlja.

**Ključne riječi:** Akcelerometar, FPGA, PicoBlaze, senzor temperature, VHDL

## **ABSTRACT**

Title: Educational devices for PicoBlaze microprocessor

The aim of this final paper was to add functionality to already existing modules on the Nexys A7 model. Modules that functionality was added to are ADT7420 temperature sensor and ADXL362 accelerometer. The temperature sensor communicates with the FPGA via I<sup>2</sup>C serial communication, and the temperature measurement results are displayed on 7-segment display. The accelerometer communicates with the FPGA via SPI serial communication, and the measurement results are displayed on the LEDs. Since the accelerometer performs measurements in three axes (x, y, z), the user can choose for which the results will be displayed via switches. The paper explains what the FPGA, components and specifications of the Nexys A7-100T model, the KCPSM6 PicoBlaze, and the VHDL hardware description language are.

**Keywords:** Accelerometer, FPGA, PicoBlaze, temperature sensor, VHDL

## **ŽIVOTOPIS**

Antonio Džoić je rođen 16. veljače 1999. u Orašju. Pri završetku osnovnoškolskog obrazovanja, 2014. godine, proglašen je za učenika generacije u Osnovnoj školi "Orašje" u Orašju. Nakon osnovne škole upisuje Srednju strukovnu školu Orašje u Orašju , smjer elektrotehničar. Nakon položene mature nastavlja svoje obrazovanje na Fakultetu elektrotehnike, računarstva i informacijskih tehnologija u Osijeku smjera računarstvo. Trenutno je u završetku preddiplomskog studija računarstva.

---

Potpis autora

## **PRILOZI**

**P1** CD sa rješenjem zadatka završnog rada