

# Programski model aritmetičko-logičke jedinice mikroprocesora

---

**Toth, Goran**

**Master's thesis / Diplomski rad**

**2015**

*Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj:* **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

*Permanent link / Trajna poveznica:* <https://um.nsk.hr/um:nbn:hr:200:581127>

*Rights / Prava:* [In copyright](#)/[Zaštićeno autorskim pravom.](#)

*Download date / Datum preuzimanja:* **2024-11-29**

*Repository / Repozitorij:*

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU**

**ELEKTROTEHNIČKI FAKULTET**

**Sveučilišni studij**

**PROGRAMSKI MODEL ARITMETIČKO-LOGIČKE  
JEDINICE MIKROPROCESORA**

**Diplomski rad**

**Goran Toth**

**Osijek, lipanj 2015.**

## Sadržaj

1. UVOD .....	1
2. ARITMETIČKO-LOGIČKA JEDINICA .....	3
2.1 Aritmetičke operacije .....	4
2.2 Logičke operacije .....	6
2.3 Operacije pomaka i usporedbe .....	12
2.4 Arhitekture postojećih aritmetičko-logičkih jedinica .....	14
3. PROGRAMSKI MODEL ARITMETIČKO-LOGIČKE JEDINICE .....	19
3.1 Korišteni alati .....	19
3.2 Opis dizajniranog programskog modela aritmetičko-logičke jedinice .....	23
4. VERIFIKACIJA RADA DIZAJNIRANOG PROGRAMSKOG MODELA ARITMETIČKO-LOGIČKE JEDINICE .....	30
4.1 Simulacija .....	30
4.2 Implementacija na Nexys 3 razvojni sustav .....	33
4.3 Usporedba dizajniranog programskog modela s postojećim arhitekturama aritmetičko- logičkih jedinica .....	36
5. ZAKLJUČAK .....	38
LITERATURA .....	39
SAŽETAK .....	40
PROGRAMMING MODEL OF MICROPROCESSOR ARITHMETIC-LOGIC UNIT .....	41
ABSTRACT .....	41
ŽIVOTOPIS .....	42
PRILOZI .....	43

## SAŽETAK

U ovom diplomskom radu upotrebom VHDL-a dizajniran je programski model 8-bitne aritmetičko-logičke jedinice mikroprocesora. Za dizajniranje i verifikaciju programskog modela, korišten je Xilinx ISE 14.7 programski paket te razvojni sustav Nexys 3. Realizirana je 21 različita operacija (aritmetičke operacije, logičke operacije, operacije pomaka i operacije usporedbe). Simulacija je provedena za niz testnih slučajeva koji su pokazali ispravan rad. Za potrebe testiranja modela implementiranog na razvojni sustav, dizajnirano je testno sučelje koje omogućava unos podataka putem tipkovnice i prikaz rezultata na 7-segmentnim pokaznicima. Implementirani model je testiran korištenjem istih testnih slučajeva kao za simulaciju i na taj način je dokazan ispravan rad.

Ključne riječi: 8-bitna aritmetičko-logička jedinica, VHDL, FPGA, Nexys 3

# **PROGRAMMING MODEL OF MICROPROCESSOR ARITHMETIC- LOGIC UNIT**

## **ABSTRACT**

This diploma thesis is describing a model design of a microprocessors 8-bit arithmetic-logic unit using VHDL. Xilinx ISE 14.7 software package is used for designing and verification of the program model. Nexys 3 development platform is used for implementation. 21 different operations are designed, like arithmetic operations, logic operations, shift operations and comparisons. The simulation was carried out for a number of test cases that showed proper operation. A interface that enables data entry via the keyboard was designed for testing purposes of the model implemented on the development system. The result is displayed on a 7-segment display unit. The implemented model was tested using the same test cases as the simulation and the results are showing correct model operation.

Keywords: 8-bit arithmetic logic unit, VHDL, FPGA, Nexys 3