

Nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem

Vinko, Davor

Doctoral thesis / Disertacija

2012

Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj: **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

Permanent link / Trajna poveznica: <https://um.nsk.hr/um:nbn:hr:200:830279>

Rights / Prava: [In copyright](#)/[Zaštićeno autorskim pravom.](#)

Download date / Datum preuzimanja: **2025-03-05**

Repository / Repozitorij:

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA
U OSIJEKU
ELEKTROTEHNIČKI FAKULTET

Davor Vinko

**Nova arhitektura nabojske pumpe s Fibonaccijevim
stupnjem**

Doktorska disertacija

Osijek, 2012.

Ova doktorska disertacija izrađena je na Elektrotehničkom fakultetu
Sveučilišta J. J. Strossmayera u Osijeku (Zavod za komunikacije).

Mentor: prof. dr. sc. Tomislav Švedek

Povjerenstvo za ocjenu doktorske disertacije:

1. Dr. sc. Tomislav Matić, docent Elektrotehničkog fakulteta Osijek
2. Dr. sc. Tomislav Švedek, red. prof. Elektrotehničkog fakulteta Osijek
3. Dr. sc. Adrijan Barić, red. prof. Fakulteta elektrotehnike i računarstva Zagreb

Povjerenstvo za obranu doktorske disertacije:

1. Dr. sc. Tomislav Matić, docent Elektrotehničkog fakulteta Osijek
2. Dr. sc. Tomislav Švedek, red. prof. Elektrotehničkog fakulteta Osijek
3. Dr. sc. Adrijan Barić, red. prof. Fakulteta elektrotehnike i računarstva Zagreb
4. Dr. sc. Goran Martinović, red. prof. Elektrotehničkog fakulteta Osijek
5. Dr. sc. Radoslav Galić, red. prof. Elektrotehničkog fakulteta Osijek

Datum obrane disertacije: 05. srpnja 2012. godine

Sadržaj

Popis slika	vi
Popis tablica	xi
Popis oznaka i kratica.....	xii
1. Uvod	1
2. Osnove nabojskih pumpi i množitelja napona	3
2.1 Osnovni princip rada	3
2.2 Izvedbe kondenzatora u integriranoj tehnici	5
2.3 Izvedbe sklopki u integriranoj tehnici	7
2.4 „Latch-up“ efekt	8
2.5 Generatori signala takta	11
2.6 Elektrostatska zaštita ulaznih i izlaznih priključaka.....	14
3. Dicksonova nabojska pumpa.....	17
3.1 Klasični matematički model Dicksonove nabojske pumpe	18
3.2 Novi matematički model Dicksonove nabojske pumpe	22
3.3 Klasični proračun prilikom projektiranja	39
3.4 Nova metoda određivanja parametara nabojske pumpe	41
4. Utjecaj efekta podloge na napon praga MOSFET-a	50
4.1 Poništavanje utjecaja napona praga	52
4.2 Nabojska pumpa sa četiri signala takta.....	53
4.3 Sklopke za prijenos naboja – CTS (eng. <i>Charge Transfer Switches</i>)	54
4.4 Udvostručenje amplitude signala takta.....	57
5. Nabojske pumpe s visokim dobitkom	60
5.1 Serijsko-paralelna nabojska pumpa	60
5.2 Nabojska pumpa s eksponencijalnim dobitkom	62
5.3 Fibonaccijeva nabojska pumpa.....	63

5.4 Kaskodni stupanj za pomak naponske razine - CVSL	66
6. Projektiranje testnog integriranog sklopa s novom arhitekturom nabojske pumpe s Fibonaccijevim stupnjem koja nema naponska ograničenja uvjetovana naponom praga.....	74
6.1 Tehnološka ograničenja i odabir tehnologije.....	74
6.2 Pravila pri dizajniranju topološkog nacrt.....	75
6.3 Shematski prikaz nabojskih pumpi odabranih za realizaciju na testnom integriranom sklopu.....	78
6.4 Topološki nacrt testnog integriranog sklopa	85
7. Mjerenja	98
7.1 Izlazni napon pri kapacitivnom opterećenju.....	101
7.2 Ograničenja SPICE modela MOS tranzistora	104
7.3 Izlazni napon nabojske pumpe u f - R ravnini	110
7.4 Izlazna struja nabojske pumpe u f - R ravnini	117
8. Zaključak.....	119
Literatura	121
Sažetak	126
Abstract	127
Životopis.....	128
Dodatak A	129

Popis slika

Slika 2.1. Osnovni princip rada nabojne pumpe

Slika 2.2. Kapacitivno i otporno opterećenje nabojne pumpe

Slika 2.3. Korištenje MOS-strukture FET-a kao kondenzatora

Slika 2.4. Ovisnost MOS-kapaciteta o naponu između upravljačke elektrode i podloge [24]

Slika 2.5. a) Električna shema osnovne CMOS strukture, b) električna shema parazitnih bipolarnih tranzistora koji uzrokuju tiristorski efekt i c) tehnološki presjek CMOS strukture s prikazom parazitnih bipolarnih tranzistora [24]

Slika 2.6. Prstenasti oscilator

Slika 2.7. Prstenasti oscilator sa strujnim upravljanjem kašnjenja invertora [24]

Slika 2.8. Preklapajući komplementarni signali takta

Slika 2.9. Generator nepreklapajućih signala takta

Slika 2.10. Nepreklapajući signali takta

Slika 2.11. Simetričan generator nepreklapajućih signala takta

Slika 2.12. a) Ulazno/izlazni priključak, b) priključak napona napajanja i c) priključak mase s elektrostatskom zaštitom

Slika 3.1. Dicksonova nabojna pumpa

Slika 3.2. Model Dicksonove nabojne pumpe u obliku realnog naponskog izvora

Slika 3.3. Model tranzistora korišten u analizi

Slika 3.4. Punjenje prvog stupnja Dicksonove nabojne pumpe

Slika 3.5. Punjenje drugog do N -tog stupnja za slučaj a) kada je signal takta Φ_1 u stanju logičke jedinice i slučaj b) kada je signal takta Φ_1 u stanju logičke nule

Slika 3.6. Pražnjenje N -tog i izlaznog stupnja za slučaj a) kada je signal takta Φ_N u stanju logičke jedinice i slučaj b) kada je signal takta Φ_N u stanju logičke nule

Slika 3.7. Nadomjesna shema Dicksonove nabojne pumpe

Slika 3.8. Izlazni napon Dicksonove nabojne pumpe

Slika 3.9. Izlazni napon Dicksonove nabojne pumpe za različite vrijednosti frekvencije signala takta i otpora trošila

Slika 3.10. Granice područja rada nabojne pumpe definirane pravcima 1 i 2

Slika 3.11. Nadomjesni model nabojne pumpe sa otpornim opterećenjem

- Slika 3.12. Granice područja rada Dicksonove nabojske pumpe
- Slika 3.13. Shematski prikaz Dicksonove nabojske pumpe korišten za SPICE simulaciju
- Slika 3.14. SPICE simulacija izlaznog napona Dicksonove nabojske pumpe
- Slika 3.15. SPICE simulacija izlaznog napona Dicksonove nabojske pumpe sa statičkom potrošnjom
- Slika 3.16. Granice područja rada dvo-faznih nabojskih pumpi
-
- Slika 4.1. Učinkovitost prijenosa naboja za različit broj stupnjeva nabojske pumpe
- Slika 4.2. Samopodrživa nabojska pumpa sa četiri signala takta [47]
- Slika 4.3. Nabojska pumpa sa sklopkama za prijenos naboja - CTS (eng. *Charge Transfer Switches*) [48]
- Slika 4.4. Modifikacija CTS nabojske pumpe [48]
- Slika 4.5. Učinkovitost nabojske pumpe za dvije vrijednosti amplitude signala takta
- Slika 4.6. Blokovski prikaz nabojske pumpe sa dvostrukom amplitudom signala takta
- Slika 4.7. Generator signala takta dvostruke amplitude
-
- Slika 5.1. Serijsko-paralelna nabojska pumpa [25]
- Slika 5.2. Nabojska pumpa s eksponencijalnim dobitkom [51]
- Slika 5.3. Princip rada eksponencijalne nabojske pumpe po fazama rada [51]
- Slika 5.4. Fibonaccijeva nabojska pumpa [57]
- Slika 5.5. Princip rada Fibonaccijeve nabojske pumpe
- Slika 5.6. Dobitak Dicksonove, eksponencijalne i Fibonaccijeve nabojske pumpe ovisno o broju stupnjeva
- Slika 5.7. Usporedba dobitka Dicksonove, eksponencijalne i Fibonaccijeve nabojske pumpe za različit broj kondenzatora
- Slika 5.8. Kaskodni stupanj za pomak naponske razine - CVSL
- Slika 5.9. Određivanje utjecaja CVSL sklopa na rad nabojske pumpe
- Slika 5.10. Ovisnost izlaznog napona nabojske pumpe o širini kanala W PMOS tranzistora
- Slika 5.11. Izlazni napon nabojske pumpe u ovisnosti o kapacitetu na izlazu CVSL sklopa
- Slika 5.12. Izlazni napon nabojske pumpe u ovisnosti o serijskom izlaznom otporu nabojske pumpe
- Slika 5.13. Modeliranje CVSL sklopa linearnim otporom
- Slika 5.14. Modeliranje preklapajućeg kapaciteta pomoću otpora
- Slika 5.15. Usporedba rezultata simulacije i proračuna izlaznog napona nabojske pumpe

- Slika 6.1. Parazitni otpori i kapaciteti kod nabojske pumpe [24]
- Slika 6.2. Topološki crtež dijela Dicksonove nabojske pumpe [24]
- Slika 6.3. Primjer lošeg topološkog nacrt s obzirom na parazitne otpore i kapaciteta [24]
- Slika 6.4. Primjer dobrog topološkog nacrt s obzirom na parazitne otpore i kapaciteta [24]
- Slika 6.5. Dicksonova nabojska pumpa s $N = 4$ stupnja
- Slika 6.6. Izlazni naponi Dicksonove nabojske pumpe za $N = 2$ do $N = 15$
- Slika 6.7. CTS nabojska pumpa s $N = 4$ stupnja
- Slika 6.8. Izlazni naponi CTS nabojske pumpe za $N = 2$ do $N = 15$ s prvim stupnjem spojenim na a) signal takta, odnosno na b) napon napajanja U_{DD}
- Slika 6.9. Modificirana CTS nabojska pumpa s $N = 4$ stupnja
- Slika 6.10. Izlazni naponi modificirane CTS nabojske pumpe za $N = 2$ do $N = 12$
- Slika 6.11. Nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem za $N = 4$
- Slika 6.12. Izlazni naponi nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem za $N = 3$ do $N = 6$
- Slika 6.13. a) Topološki nacrt i b) shematski prikaz sklopa tranzistora za prijenos naboja (modificirana CTS struktura)
- Slika 6.14. a) Topološki nacrt i b) shematski prikaz kaskodnog stupnja za pomak naponske razine
- Slika 6.15. Topološki nacrt nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem za $N = 4$
- Slika 6.16. Uvećani prikaz topološkog nacrt nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem
- Slika 6.17. Izlazni napon nove arhitekture nabojske pumpe – simulacija s ekstrahiranim parametrima
- Slika 6.18. Topološki nacrt Dicksonove nabojske pumpe
- Slika 6.19. Topološki nacrt Dicksonove nabojske pumpe – uvećani prikaz
- Slika 6.20. Topološki nacrt CTS nabojske pumpe
- Slika 6.21. Topološki nacrt CTS nabojske pumpe – uvećani prikaz
- Slika 6.22. Topološki prikaz modificirane CTS nabojske pumpe
- Slika 6.23. Topološki prikaz modificirane CTS nabojske pumpe – uvećani prikaz
- Slika 6.24. Topološki nacrt integriranog sklopa

Slika 6.25. Simulacija izlaznih napona nabojских pumpi topološkog nacрта integriranog sklopa sa a) ekstrahiranim parametrima i b) bez ekstrahiranih parametara

Slika 6.26. Utjecaj parazitnog kapaciteta na izlazu CVSL sklopa na izlazni napon nabojске pumpe za novu arhitekturu nabojске pumpe sa kondenzatorima od a) 15 pF i b) 60 pF

Slika 7.1. a) Mikrofotografija procesiranog integriranog sklopa i b) integrirani sklop u plastičnom DIL kućištu sa 24 nožice

Slika 7.2. Simulacija ovisnosti izlaznog napona nabojских pumpi o vremenu porasta/pada signala takta

Slika 7.3. Izlazni napon Dicksonove nabojске pumpe pri kapacitivnom opterećenju

Slika 7.4. Izlazni napon CTS nabojске pumpe pri kapacitivnom opterećenju

Slika 7.5. Izlazni napon modificirane CTS nabojске pumpe pri kapacitivnom opterećenju

Slika 7.6. Izlazni napon nove arhitekture nabojске pumpe s kondenzatorima od 15 pF pri kapacitivnom opterećenju

Slika 7.7. Izlazni napon nove arhitekture nabojске pumpe s kondenzatorima od 60 pF pri kapacitivnom opterećenju

Slika 7.8. Udvostručivač napona

Slika 7.9. Izlazni napon udvostručivača napona pri kapacitivnom opterećenju dobiven mjerenjem i simulacijom modelima 1 do 3

Slika 7.10. Izlazni napon udvostručivača napona pri opterećenju otpornikom od 100 k Ω dobiven mjerenjem i simulacijom modelima 1 do 3

Slika 7.11. Izlazni napon a) udvostručivača napona (uz $U_{in} = 5$ V) i b) Dicksonove nabojске pumpe u sklopu testnog integriranog sklopa (uz $U_{in} = 1,8$ V) za različita otporna opterećenja

Slika 7.12. Mjerenje izlaznog napona jednog stupnja Dicksonove nabojске pumpe izvedene pomoću integriranog sklopa CD4007 u statičkom režimu rada

Slika 7.13. a) Rezultati mjerenja i simulacije izlaznog napona jednog stupnja Dicksonove nabojске pumpe u statičkom režimu rada i b) razlika simuliranih i mjerenih izlaznih veličina u postocima

Slika 7.14. Izlazni napon udvostručivača napona za različite frekvencije signala takta

Slika 7.15. a) Mjerenje i b) simulacija izlaznog napona Dicksonove nabojске pumpe u f - R ravnini

Slika 7.16. a) Mjerenje i b) simulacija izlaznog napona u f - R ravnini za Dicksonovu nabojску pumpu s ulaznim otporom signala takta od 1 k Ω

Slika 7.17. Parazitni niskopropusni filter na ulazu nabojske pumpe

Slika 7.18. Mjerenje i simulacija izlaznog napona Dicksonove nabojske pumpe u f - R ravnini za različite vrijednosti serijskog otpora signala takta

Slika 7.19. a) Mjerenje i b) simulacija izlaznog napona nove arhitekture nabojske pumpe u f - R ravnini

Slika 7.20. Izlazni naponi nabojskih pumpi na testnom integriranom sklopu u f - R ravnini

Slika 7.21. Izlazna struja [μ A] nabojskih pumpi u testnom integriranom sklopu u f - R ravnini

Popis tablica

Tablica 3.1. Naponi spojnih kondenzatora u Dicksonovoj nabojskoj pumpi

Tablica 3.2. Matematički modeli Dicksonove nabojske pumpe

Popis oznaka i kratica

a_{ci}	- faktor multiplikacije naboja
B	- podloga (eng. <i>bulk, body, substrate</i>)
BJT	- bipolarni spojni tranzistor (eng. <i>Bipolar Junction Transistor</i>)
C	- kapacitet kondenzatora
C_{dep}	- kapacitet MOS-kondenzatora u stanju osiromašenja kanala
C_{inv}	- parazitni kapacitet invertora prstenastog oscilatora
clk	- signal takta općenito
CMOS	- tehnologija integriranih sklopova (eng. <i>Complementary Metal Oxide Semiconductor</i>)
$C_{MOS}(U)$	- naponski ovisan kapacitet MOS-strukture
C_{out}	- kapacitet izlaznog kondenzatora nabojske pumpe
C_{ox}	- kapacitet MOS-kondenzatora u stanju akumulacije i inverzije kanala
C_{par}	- parazitni kapacitet priključaka signala takta nabojske pumpe
CVSL	- Kaskodni stupanj za pomak naponske razine (eng. <i>Cascode Voltage Switch Logic</i>)
D	- odvod (eng. <i>Drain</i>)
EEPROM	- Električno izbrisiva programibilna ispisna memorija (eng. <i>Electrically Erasable Programmable Read-Only Memory</i>)
ESD	- Elektrostatska zaštita (eng. <i>Electrostatic Discharge</i>)
f	- frekvencija
f_g	- gornja granična frekvencija
f_{out}	- izlazna frekvencija oscilatora
FLASH	- novija i brža vrsta EEPROM memorije
G	- upravljačka elektroda (eng. <i>Gate</i>)
gnd	- masa (eng. <i>ground</i>)
IC	- integrirani sklop (eng. <i>Integrated Circuit</i>)
I_D	- struja MOS tranzistora
I_{ref}	- referentna vrijednost struja
k	- Boltzmannova konstanta
L	- duljina kanala MOS tranzistora
MOS	- metal oksid poluvodič (eng. <i>Metal Oxide Semiconductor</i>)

MOSFET	- MOS tranzistor sa efektom polja (eng. <i>Metal Oxide Semiconductor Field Effect Transistor</i>)
N	- broj stupnjeva nabojske pumpe
N_A	- koncentracija akceptorskih primjesa u poluvodiču
n_i	- intrinzična koncentracija
NMOS	- N kanalni MOSFET
PAD	- spojno mjesto na integriranom sklopu koje služi za spajanje na izvod kućišta
PLL	- fazno zatvorena petlja (eng. <i>Phase Locked Loop</i>)
PMOS	- P kanalni MOSFET
Q	- količina naboja
q	- jedinični naboj
R_C	- ekvivalentna vrijednost otpora preklapajućeg kondenzatora
R_{cvsl}	- ekvivalentna vrijednost otpora CVSL sklopa
R_D	- ekvivalentni serijski otpor propusno polariziranog diodno spojenog MOSFET-a
RF	- radio frekvencije
RFID	- radio frekvencijska identifikacija
R_{izvor}	- otpor izvora
R_{load}	- otpor trošila
R_S	- ekvivalentni serijski otpor nabojske pumpe
R_{static}	- vrijednost otpora kojim je predstavljena statička potrošnja pojedinog stupnja nabojske pumpe
S	- uvod (eng. <i>Source</i>)
SPICE	- simulacijski program sa naglaskom na integrirane sklopove (eng. <i>Simulation program with Integrated Circuit Emphasis</i>)
T	- perioda
t_{ox}	- debljina oksida
TTL	- tranzistorsko-tranzistorska logika (eng. <i>Transistor-transistor logic</i>)
U_0	- ekvivalentni napon nabojske pumpe
$u_C(t)$	- trenutna vrijednost napona kondenzatora
U_D	- pad napona na propusno polariziranom diodno spojenom tranzistoru s efektom polja koji odgovara naponu $U_{DS} = U_{GS}$
U_{DD}	- napon napajanja
U_{ESD}	- napon elektrostatske zaštite

U_{FB}	- napon ravnih pojasa (eng. <i>flat-band voltage</i>)
U_{GB}	- napon između upravljačke elektrode i podloge
U_{GS}	- napon između upravljačke elektrode i uvoda
U_{in}	- ulazni napon nabojske pumpe
U_k	- napon kondenzatora k -tog stupnja nabojske pumpe
U_{kmax}	- maksimalna vrijednost napona kondenzatora k -tog stupnja nabojske pumpe u ustaljenom stanju
U_{kmin}	- minimalna vrijednost napona kondenzatora k -tog stupnja nabojske pumpe u ustaljenom stanju
U_L	- oscilacija napona na N -tom (posljednjem) stupnju nabojske pumpe uslijed promjene amplitude signala takta u svakoj poluperiodi rada
U_{out}	- izlazni napon nabojske pumpe
U_{outmax}	- maksimalna vrijednost izlaznog napona nabojske pumpe
U_{outmin}	- minimalna vrijednost izlaznog napona nabojske pumpe
$u_{RD}(t)$	- trenutna vrijednost napona na propusno polariziranom diodno-spojenom tranzistoru
U_{ref}	- referentna vrijednost napona
U_{ripple}	- valovitost napona
U_{SB}	- napon između uvoda i podloge
U_T	- naponski ekvivalent temperature
U_{th}	- napon praga N kanalnog MOSFET-a
U_{Φ}	- amplituda signala takta (često jednaka vrijednosti napona U_{DD})
W	- širina kanala MOS tranzistora
WELL	- posebno P ili N područje poluvodiča za izradu N kanalnih, odnosno P kanalnih MOSFET-ova
x_{dep}	- širina osiromašenog područja
γ	- faktor efekta podloge
ΔQ_N	- promjena naboja N -tog stupnja nabojske pumpe
ΔQ_{out}	- promjena naboja izlaznog stupnja nabojske pumpe
Δt	- vrijeme kašnjenja
ΔU_N	- promjena napona N -tog stupnja nabojske pumpe
ϵ_{ox}	- dielektrična konstanta silicijevog dioksida (SiO_2)
ϵ_s	- dielektrična konstanta silicija
λ	- modulacija duljine kanala MOS tranzistora

μ	- pokretljivost nosilaca naboja
τ	- vremenska konstanta
Φ	- signal takta općenito
Φ_1	- signal takta nabojske pumpe
Φ_2	- protufazni signal takta Φ_1 nabojske pumpe
Φ_{H1}	- signal takta visoke amplitude
Φ_{H2}	- protufazni signal takta Φ_{H1} visoke amplitude
Φ_S	- potencijal površine (eng. <i>surface potential</i>)

1. Uvod

Razvoj modernih elektroničkih sklopova prati i trend smanjivanja napona napajanja. Sa ranije korištenih 12 V, napon napajanja se smanjio na 5 V, odnosno 3,3 V, dok je u zadnje vrijeme sve više sklopova projektirano za rad s naponima napajanja od 1,8 V. Taj trend smanjivanja napona napajanja nastavlja se i dalje. Premda se sklopovi skaliraju s obzirom na napon napajanja, postoje sklopovi za čiji su ispravni rad potrebne naponske razine značajno više od danas ustaljenih razina napona napajanja. Dobar primjer su FLASH memorije kojima su za upisivanje, odnosno brisanje, pojedinih memorijskih lokacija potrebni naponi do maksimalno 30 V. Da bi se na integriranom sklopu generirale naponske razine više od napona napajanja gotovo uvijek se koriste nabojske pumpe. Za razliku od naponskih pretvornika koji koriste induktivitet čija je implementacija u integrirani sklop nepraktična i zahtijeva značajnu površinu silicija, osnovna struktura nabojskih pumpi se sastoji od mreže dioda i kondenzatora. Nabojske pumpe su DC-DC pretvornici napona, dok se u sustavima gdje je dostupan izmjenični napon, za generiranje viših istosmjernih naponskih razina koriste množitelji napona (AC-DC pretvornici). Struktura nabojskih pumpi i naponskih množitelja je vrlo slična, jedina je razlika pobuda koja može biti istosmjerna ili izmjenična. Jednostavnije strukture nabojskih pumpi se također mogu koristiti kao množitelji napona. Primjeri sustava koji koriste naponske množitelje su različiti RF napajani sustavi [1], [2], zatim njihova specifična primjena u obliku RFID sklopova [3]-[5] te sklopova koji za napajanje koriste energiju iz neposredno okoline [6]-[9] (eng. *energy harvesting*). Nabojske pumpe, kao DC-DC pretvornici, koristili su se u početku za prilagodbu naponskih razina između CMOS i TTL integriranih sklopova, te kod RS232 komunikacije. Danas nabojske pumpe svoju primjenu nalaze kod ranije spomenutih FLASH EEPROM memorija [10]-[13], LCD zaslona [14], te u raznim sustavima koji koriste DC-DC pretvornike [15], [16]. Zbog malih dimenzija, nabojske pumpe su također našle primjenu i kod različitih prijenosnih uređaja [17], [18], te u biomedicini gdje su sastavni dio elektrostimulatora srca (eng. *pacemaker*) [19], [20]. Tijekom godina, a zajedno s razvojem i sve širom upotrebom nabojskih pumpi, razvijaju se i metode [21], [22] za poboljšanje učinkovitosti nabojskih pumpi kod pojedine primjene, što će biti detaljnije opisano u kasnijim poglavljima.

U drugom poglavlju opisano je osnovno načelo rada nabojskih pumpi i naponskih množitelja, te su opisane izvedbe kondenzatora i sklopki u integriranoj CMOS tehnici. Na

kraju ovog poglavlja dan je pregled postojećih izvedbi generatora takta za nabojske pumpe te su objašnjene njihove prednosti i mane.

U trećem je poglavlju analizirana Dicksonova nabojska pumpa, koja je najpoznatija nabojska pumpa i polazišna točka kod projektiranja većine postojećih arhitektura nabojskih pumpi. Dan je njezin matematički opis i pojednostavljeni model, te je predstavljen novi matematički model Dicksonove nabojske pumpe i nova metoda određivanja parametara nabojske pumpe koja proizlazi iz tog modela.

Četvrto poglavlje razmatra problem utjecaja efekta podloge na napon praga koji znatno utječe na radne značajke nabojskih pumpi. Analiziran je utjecaj napona praga na rad nabojskih pumpi te su predstavljene najčešće metode kojima se suzbijaju negativni utjecaji ovisni o naponu praga i efektu podloge.

U petom su poglavlju predstavljene nabojske pumpe s visokim dobitkom, čija se arhitektura i načelo rada razlikuje od Dicksonove nabojske pumpe. Opisane su najčešće korištene nabojske pumpe s visokim dobitkom i problemi koji se javljaju kod upravljanja sklopkama u takvim arhitekturama. Predstavljen je i detaljno analiziran kaskodni stupanj za pomak naponske razine kao potencijalno rješenje problema upravljanja sklopkama kod nabojskih pumpi s visokim dobitkom.

Šesto poglavlje opisuje novu arhitekturu nabojske pumpe s Fibonaccijevim stupnjem. Počevši od samog postupka projektiranja nabojske pumpe kroz unos električke sheme (eng. *schematic entry*) i početnih simulacija s pretpostavljenim tehnološkim parametrima (korištenjem programskog paketa Cadence), preko pravila za projektiranje topološkog nacrtu (eng. *layout*), do izvedbenog topološkog nacrtu nove arhitekture nabojske pumpe i simulacija koje s temelje na parazitnim i otpornim komponentama ekstrahiranim (eng. *back annotation*) iz konačnog topološkog nacrtu.

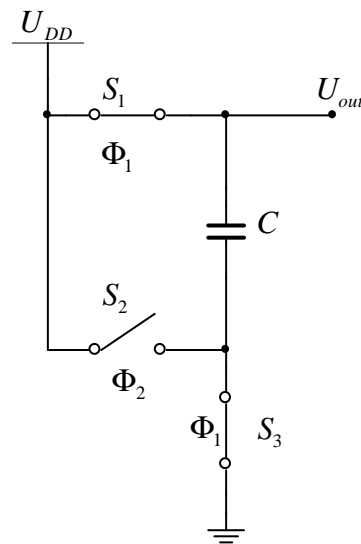
U sedmom su poglavlju opisani rezultati mjerenja na integriranom sklopu procesiranom u 0,35 μm CMOS procesu (AMS C35B4C3 proces). Projektirani integrirani sklop sadrži nekoliko nabojskih pumpi: Dicksonovu, CTS i modificiranu CTS nabojsku pumpu, te novu arhitekturu nabojske pumpe s Fibonaccijevim stupnjem, što omogućuje mjerenja i usporedbu nove arhitekture s postojećim nabojskim pumpama. Rezultati mjerenja radnih značajki navedenih nabojskih pumpi uspoređeni su s rezultatima simulacija iz šestog poglavlja, a razlike između simulacijskih i mjernih rezultata detaljno su objašnjene.

Na kraju ove doktorske disertacije dan je zaključak iza kojeg slijede literatura, sažetak na hrvatskom i engleskom jeziku, životopis te dodatak A u kojem je detaljno izveden izraz novog matematičkog modela Dicksonove nabojske pumpe.

2. Osnove nabojskih pumpi i množitelja napona

2.1 Osnovni princip rada

Nabojske pumpe su sklopovi koji generiraju naponske razine više od vlastitog napona napajanja. U cilju pojašnjenja osnovnog principa rada nabojske pumpe [23], dana je slika 2.1. Na slici se nalazi jedan kondenzator i tri sklopke. Sklopke su uključuju u fazama označenima s Φ_1 i Φ_2 . Faze Φ_1 i Φ_2 su međusobno komplementarne i nepreklapajuće, što znači da ni u jednom trenutku obje faze ne mogu biti aktivne, tj. ni u jednom trenutku nisu sve tri sklopke istovremeno zatvorene.



Slika 2.1. Osnovni princip rada nabojske pumpe

Tijekom faze Φ_1 sklopke S_1 i S_3 su zatvorene i kondenzator C se puni na napon napajanja U_{DD} . U sljedećoj fazi, Φ_2 , sklopke S_1 i S_3 su otvorene, a sklopka S_2 je zatvorena. Zbog toga, donja ploča kondenzatora poprima potencijal napona napajanja U_{DD} , dok istovremeno kondenzator zadržava naboj koji se u njemu akumulirao tijekom prethodne faze, Φ_1 :

$$Q = C \cdot U_{DD} \cdot \quad (2-1)$$

Budući da je napon na gornjoj ploči kondenzatora jednak naponu U_{out} , a napon donje ploče odgovara potencijalu U_{DD} , izraz (2-1) napisan pomoću izlaznog napona U_{out} glasi:

$$Q = C \cdot (U_{out} - U_{DD}). \quad (2-2)$$

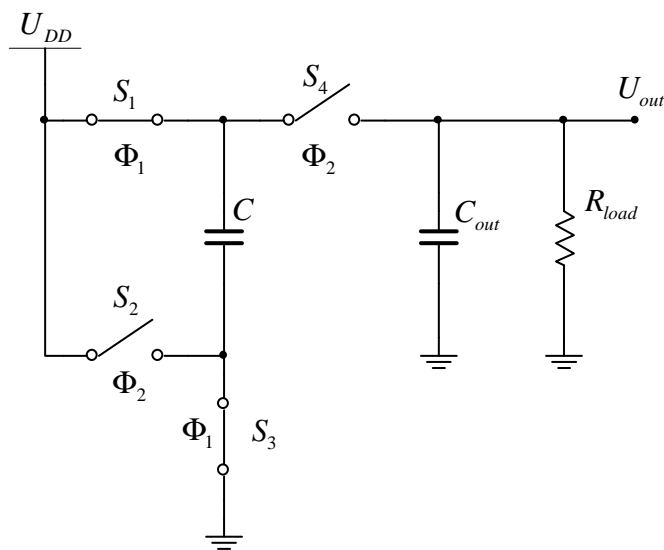
Izjednačavanjem gornja dva izraza proizlazi da je izlazni napon jednak:

$$C \cdot U_{DD} = C \cdot (U_{out} - U_{DD}), \quad (2-3)$$

$$U_{DD} = U_{out} - U_{DD}, \quad (2-4)$$

$$U_{out} = 2 \cdot U_{DD}. \quad (2-5)$$

Bez trošila spojenog na izlaz, izlazni napon U_{out} je dvostruko veći od napona napajanja U_{DD} . Nakon faze Φ_2 ponovno postaje aktivna faza Φ_1 u kojoj je kondenzator paralelno spojen na izvor U_{DD} te se isti puni na napon napajanja U_{DD} . U fazi, Φ_1 , izlazni je napon jednak naponu U_{DD} , nije dvostruko veći kao što je slučaj u fazi Φ_2 . Da bi se ovakav sklop mogao primjenjivati u praksi, kada postoji trošilo spojeno na njegov izlaz, potrebno je dodati izlazni kondenzator C_{out} i još jednu sklopku S_4 . Novi shematski prikaz dan je slikom 2.2. Trošilo je prikazano pomoću otpornika R_{load} .



Slika 2.2. Kapacitivno i otporno opterećenje nabojne pumpe

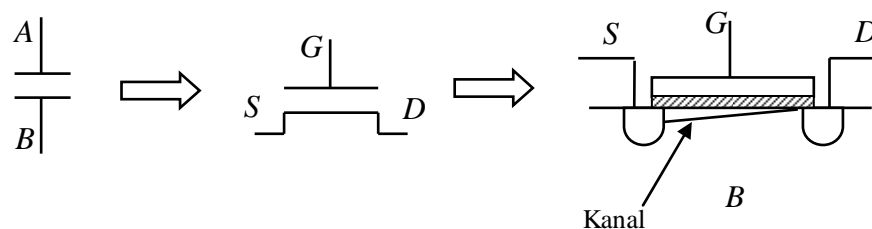
Izlazni kondenzator C_{out} osigurava da vrijednost izlaznog napona U_{out} na izlazu sklopa bude jednaka tijekom obje faze rada sklopa, Φ_1 i Φ_2 . Nova sklopka S_4 sprječava pražnjenje izlaznog kondenzatora u naponski izvor U_{DD} . Osim što izlazni kondenzator osigurava istu naponsku razinu izlaza tijekom obje faze rada sklopa, on istovremeno i smanjuje maksimalnu vrijednost izlaznog napona:

$$U_{out} = \frac{C}{C + C_{out}} \cdot 2 \cdot U_{DD}. \quad (2-6)$$

Iz gornjeg izraza proizlazi da se povećanjem kapaciteta izlaznog kondenzatora maksimalni izlazni napon smanjuje. Smanjenjem vrijednosti kapaciteta izlaznog kondenzatora, maksimalni izlazni napon može imati vrijednost blisku onoj iz (2-5), ali tada se povećava valovitost izlaznog napona koja se javlja uslijed spajanja otpornog trošila R_{load} , kroz koje se kada sklopka ne vodi prazni izlazni kondenzator C_{out} . Bitno je naglasiti da se vrijednost kapaciteta izlaznog kondenzatora mora odabrati u skladu s trošilom na način da valovitost izlaznog napona bude zanemariva u usporedbi s vrijednošću izlaznog napona.

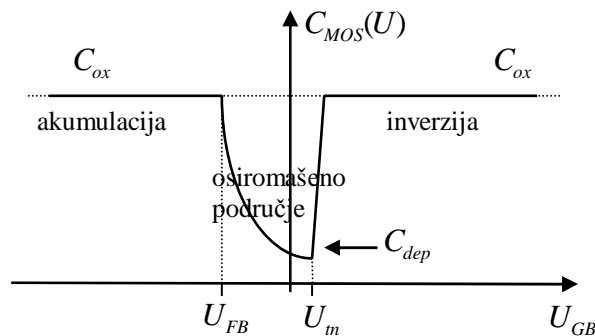
2.2 Izvedbe kondenzatora u integriranoj tehnici

Kod integrirane izvedbe sklopa kondenzator može biti standardni pločasti kondenzator s metalnim pločama i slojem silicijevog dioksida (SiO_2) kao dielektrika. Često se koristi dvostruki kondenzator sa četiri metalna sloja u integriranoj izvedbi, gdje su kratko spojeni prvi i treći metalni sloj, te drugi i četvrti metalni sloj, što je izvedivo kad se koristi CMOS tehnologija koja uključuje četiri metalna sloja. Druga mogućnost je korištenje silicijevog oksida ispod upravljačke elektrode (eng. *gate* - G) za dielektrik, dok se za ploče kondenzatora u toj izvedbi koriste polisilicijska upravljačka elektroda i formirani kanal između uvoda (eng. *source* - S) i odvoda (eng. *drain* - D) (Slika 2.3). Da bi se takva MOS-struktura mogla koristiti kao MOS-kondenzator, MOSFET mora biti polariziran tako da mu je kanal u stanju akumulacije (eng. *accumulation*) ili u stanju inverzije (eng. *inversion*), kako bi se u potpunosti iskoristio ekvivalentni MOS-kapacitet koji tada ima maksimalnu vrijednost jednaku kapacitetu C_{ox} ispod upravljačke elektrode [24].



Slika 2.3. Korištenje MOS-strukture FET-a kao kondenzatora

Slika 2.4. prikazuje nelinearnu ovisnost vrijednosti kapaciteta MOS-kondenzatora o naponu polarizacije između upravljačke elektrode i podloge (eng. *bulk, body, substrate - B*) U_{GB} .



Slika 2.4. Ovisnost MOS-kapaciteta o naponu između upravljačke elektrode i podloge [24]

Može se vidjeti da kapacitet MOS-kondenzatora ovisi nelinearno o naponu U_{GB} i da se ta ovisnost može podijeliti u tri područja. Za područje akumulacije, gdje vrijedi $U_{FB} > U_{GB}$, pri čemu je U_{FB} napon ravnih pojasa (eng. *flat-band voltage*), i područje inverzije, u kojem vrijedi $U_{GB} > U_m$, gdje je U_m napon praga NMOS-strukture (eng. *threshold voltage*), kapacitet MOS-kondenzatora je konstantan i jednak kapacitetu oksida:

$$C_{MOS} = C_{ox}. \quad (2-7)$$

Za osiromašeno područje (eng. *depletion*) u kojem vrijedi $U_m > U_{GB} > U_{FB}$, kapacitet MOS-kondenzatora se mijenja na sljedeći način:

$$C_{MOS} = \frac{C_{ox}}{1 + \frac{\epsilon_s t_{ox}}{\epsilon_{ox} x_{dep}}}, \quad (2-8)$$

gdje je ϵ_{ox} dielektrična konstanta silicijevog oksida, ϵ_s dielektrična konstanta silicija, t_{ox} debljina oksida, a x_{dep} širina osiromašenog područja koja ovisi o naponu U_{GB} .

Razlog zašto se kapacitet MOS-strukture koristi kao kondenzator leži u činjenici što je sloj oksida ispod upravljačke elektrode najtanji sloj izolatora u CMOS tehnologiji, te se stoga MOS-kondenzatorom može ostvariti najveća vrijednost kapaciteta po jedinici površine.

2.3 Izvedbe sklopki u integriranoj tehnici

Za izvedbu sklopki (Slika 2.2) mogu se podjednako uspješno koristiti PMOS ili NMOS tranzistori. U početku razvoja IC industrije prevladavali su PMOS tranzistori zbog tehnološki jednostavnije izvedbe. Kasnije, sa usavršavanjem tehnoloških postupaka prevladava primjena NMOS tranzistora dok su pojavom CMOS tehnologije, obje vrste tranzistora podjednako zastupljene. Nabojne pumpe su specifične po tome što se mogu realizirati korištenjem samo jedne vrste tranzistora, ili PMOS ili NMOS. Radi pravilnog odabira vrste tranzistora pri projektiranju nabojne pumpe potrebno je usporediti PMOS i NMOS tranzistore s aspekata bitnih za projektiranje nabojne pumpe. Prvi uvjet koji je često imperativ jest površina silicija koju sklop zauzima. Za prijenos iste količine naboja u jedinici vremena NMOS tranzistor ima manje dimenzije od PMOS tranzistora. Osim što su elektroni, koji su nosioci naboja kod NMOS tranzistora, dva do tri puta brži od šupljina (nosioci naboja u PMOS tranzistoru), NMOS tranzistor ima i veći izlazni otpor, što nadalje znači i veće pojačanje kada radi kao pojačalo.

Matematički izrazi koji opisuju rad MOS tranzistora definirani su za tri područja rada: područje rada ispod napona praga tranzistora ($U_{GS} < U_m$), triodno područje ($U_{GS} > U_m$ i $U_{DS} < U_{GS} - U_m$) i područje zasićenja ($U_{GS} > U_m$ i $U_{DS} > U_{GS} - U_m$). Sljedeći izrazi opisuju rad MOS tranzistora u području ispod napona praga tranzistora:

$$I_D = I_{D0} e^{\frac{U_{GS} - U_m}{nU_T}}, \quad (2-9)$$

gdje je I_{D0} struja kroz tranzistor uz uvjet $U_{GS} = U_m$, a n je dan sljedećim izrazom:

$$n = 1 + \frac{C_{dep}}{C_{ox}}. \quad (2-10)$$

Kod triodnog područja rada vrijedi sljedeći izraz za struju MOS tranzistora:

$$I_D = \mu \cdot C_{ox} \frac{W}{L} \left[(U_{GS} - U_m) \cdot U_{DS} - \frac{U_{DS}^2}{2} \right], \quad (2-11)$$

gdje je μ pokretljivost nosioca naboja, W širina kanala, a L duljina kanala tranzistora.

Treće područje rada MOS tranzistora, područje zasićenja, opisano je izrazom:

$$I_D = \frac{\mu \cdot C_{ox} W}{2 L} (U_{GS} - U_m)^2 (1 + \lambda U_{DS}), \quad (2-12)$$

gdje je λ parametar koji opisuje modulaciju duljine kanala uslijed efekta modulacije duljine kanala.

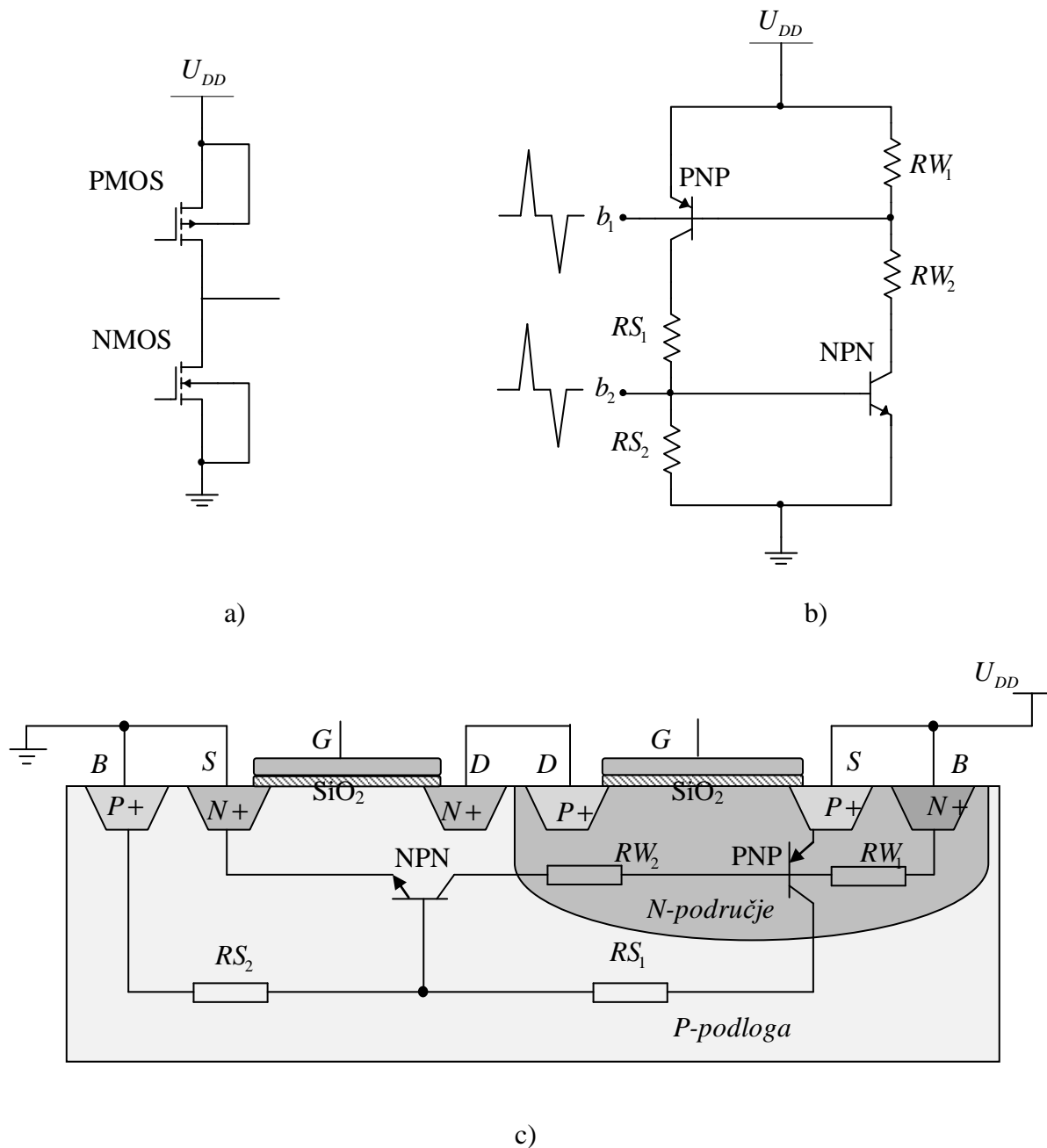
Kod osnovnih struktura nabojских pumpi, tranzistori se koriste u diodnom spoju, te se može koristiti izraz za područje zasićenja, budući da su upravljačka elektroda i odvod kratko spojeni.

Gotovo se svi današnji integrirani sklopovi proizvode na podlozi P-tipa, što omogućava implementaciju NMOS tranzistora. Da bi se realizirao PMOS tranzistor potrebno je dodati posebno N-područje (eng. *N-well*), i baš ta činjenica pruža PMOS tranzistorima značajnu prednost. Naime, kod nabojских pumpi s većim brojem stupnjeva do izražaja dolazi efekt podloge uslijed kojeg se povećava napon praga tranzistora. Budući da svaki PMOS tranzistor ima svoju zasebnu N-podlogu (N-područje), moguće je podešavanje napona podloge i smanjivanje utjecaja efekta podloge na napon praga tranzistora. Detaljnija razmatranja o efektu podloge i njegovom utjecaju na rad nabojске pumpe nalaze se u poglavlju 3.4.

Ranije je spomenuto da se nabojске pumpe mogu izvesti u cijelosti u NMOS ili PMOS tehnologiji. Naravno da se prilikom realizacije mogu koristiti i obje vrste tranzistora [25], ali u takvom slučaju je potrebna posebna pažnja prilikom projektiranja zbog mogućeg „latch-up“ efekta (tiristorskog efekta) koji se može javiti kod CMOS tehnologije.

2.4 „Latch-up“ efekt

Standardna CMOS struktura u sebi sadrži parazitne bipolarne PNP i NPN tranzistore kao što je prikazano slikom 2.5.



Slika 2.5. a) Električna shema osnovne CMOS strukture, b) električna shema parazitnih bipolarnih tranzistora koji uzrokuju tiristorski efekt i c) tehnološki presjek CMOS strukture s prikazom parazitnih bipolarnih tranzistora [24]

Zajedno, PNP i NPN paraziti transistori mogu ostvariti ponašanje slično tiristoru, takozvani „latch-up“. Ovaj se problem najčešće javlja u blizini ulazno/izlaznih kontakata integriranog sklopa, ali je također moguć i kod nabojskih pumpi zbog visokonaponskih oscilacija (viših od napona napajanja) tijekom svake periode signala takta. Presjek CMOS strukture prikazan slikom 2.5. pokazuje gdje se formiraju paraziti BJT transistori, kao i

parazitni otpori. Može se vidjeti da emiter, baza i kolektor PNP parazitnog tranzistora tvore uvod PMOS tranzistora, N-područje i P-podloga. Također, emiter, bazu i kolektor NPN tranzistora tvore uvod NMOS tranzistora, P-podloga i N-područje. Parazitni otpori koji su prikazani na slici 2.5 su otpornost P-podloge (otpornici RS_1 i RS_2) i otpornost N-područja (otpornici RW_1 i RW_2).

U normalnim uvjetima rada, naponi u točkama b_1 i b_2 su takvi da parazitni bipolarni tranzistori ne vode. Budući da NPN tranzistor ne vodi, točka b_1 je spojena preko parazitnog otpora RW_1 na napon napajanja U_{DD} , a točka b_2 je preko parazitnog otpora RS_2 spojena na masu, budući da niti PNP tranzistor ne vodi. Prema tome, PNP tranzistor ima bazu spoenu na potencijal blizak potencijalu napona napajanja, a baza NPN tranzistora je spojena na potencijal mase, te su oba parazitna bipolarna tranzistora u stanju zapiranja.

Pojava pozitivnog naponskog impulsa u čvoru b_2 (do čega može doći uslijed tranzijentnih struja uvoda i odvoda NMOS tranzistora), za posljedicu ima uključivanje NPN tranzistora. Kada NPN tranzistor provede, napon čvora b_1 pada. Uz odgovarajuće uvjete (dovoljno veliko pojačanje tranzistora i dovoljno mali parazitni otpori) provesti će i PNP tranzistor. Sa vođenjem PNP tranzistora raste napon čvora b_2 te se osigurava stalno vođenje NPN tranzistora. Javlja se tiristorski efekt zbog kojeg nakon početnog naponskog impulsa, tranzistori nastavljaju voditi bez potrebe za daljnjom vanjskom pobudom. Posljedica „latch-up“ efekta je praktički kratki spoj (preko parazitnih otpora u pravilu malih vrijednosti) između napajanja i mase. Da bi se izbjegao „latch-up“ efekt postoji nekoliko strategija koje su se pokazale uspješnim u praksi.

Smanjivanjem parazitnih otpora RW_1 i RW_2 , smanjuje se i mogućnost pojavljivanja „latch-up“ efekta. Način na koji se to postiže je korištenje što većeg broja kontakata s N-područjem smještenih blizu PMOS i NMOS tranzistora.

Smanjivanjem dimenzija MOS tranzistora smanjuje se vjerojatnost pojave naponskih impulsa u čvorovima b_1 i b_2 . Ovdje treba naglasiti da smanjivanje dimenzija tranzistora nije metoda pogodna za nabojne pumpe, budući da se sa smanjivanjem dimenzija tranzistora, smanjuje i ukupna količina naboja koju tranzistor može prenijeti u jedinici vremena, čime se izravno utječe na radne značajke nabojske pumpe.

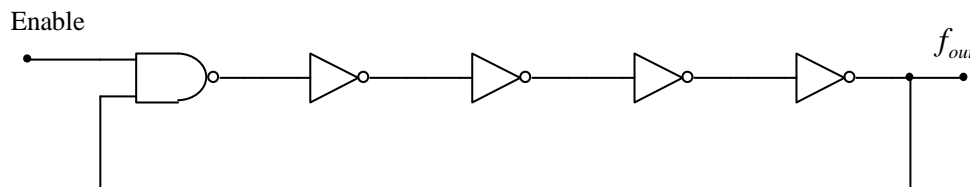
Najbolji način za izbjegavanje „latch-up“ efekta kod projektiranja nabojskih pumpi, a i integriranih sklopova općenito, jest korištenje samo jednog tipa tranzistora, ili PMOS, ili NMOS. Budući da se većina nabojskih pumpi može realizirati korištenjem samo jednog tipa tranzistora, ovo je ujedno i rješenje koje se najčešće primjenjuje kod njihovog projektiranja.

Kod manjeg broja nabojskih pumpi, kod kojih je potrebno korištenje i PMOS i NMOS tranzistora, posebnu pažnju treba posvetiti izbjegavanju „latch-up“ efekta.

2.5 Generatori signala takta

Za ispravan rad nabojske pumpe potrebna su najmanje dva signala takta koji su na slici 2.1 označeni kao Φ_1 i Φ_2 . Kod projektiranja sustava u integriranom sklopu koji sadrži i nabojsku pumpu, često je potrebno projektirati i generator signala takta za nabojsku pumpu. Time se osigurava mogućnost podešavanja frekvencije rada nabojske pumpe bez da se mijenja signal takta cijelog integriranog sklopa.

Najjednostavniji i najčešće korišteni generator signala takta jest prstenasti oscilator, čija je verzija upravljiva signalom Enable, prikazana slikom 2.6.



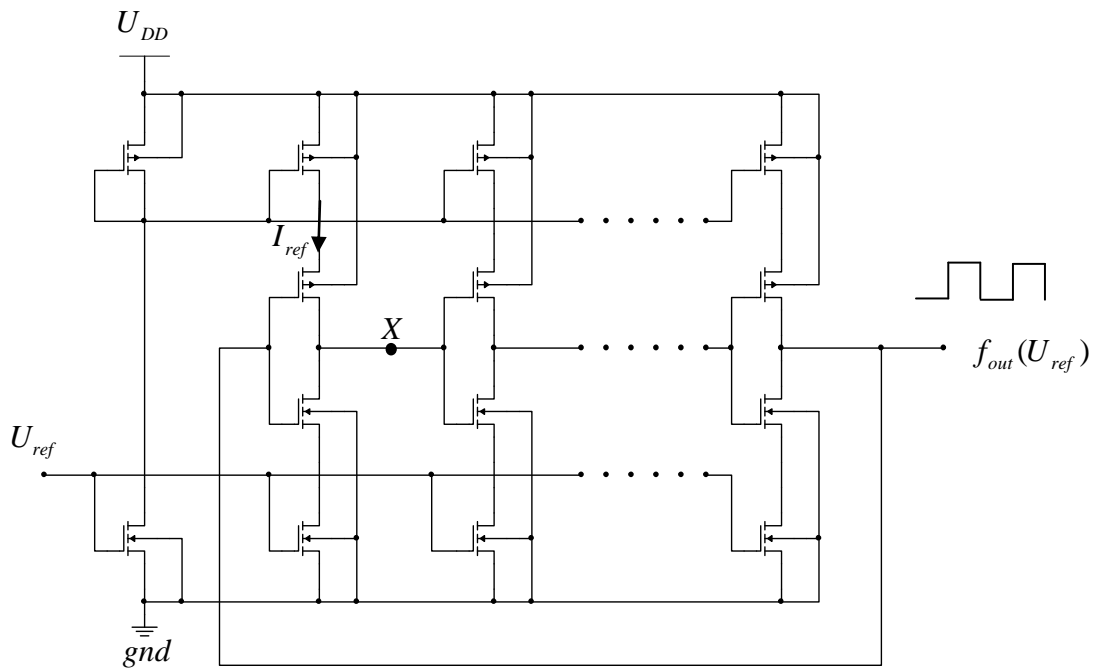
Slika 2.6. Prstenasti oscilator

Prstenasti oscilator se sastoji od neparnog broja invertora koji su spojeni u prsten. Frekvencija osciliranja se određuje na sljedeći način:

$$f_{out} = \frac{1}{N \cdot \Delta t}, \quad (2-13)$$

gdje je N broj invertora, a Δt je vrijeme kašnjenja svakog invertora. Frekvencija dobivenog signala takta može se naknadno smanjivati korištenjem dijelitelja odnosno brojila.

Frekvencija rada oscilatora uvelike ovisi temperaturi, naponu napajanja kao i o samom tehnološkom procesu, tj. tehnologiji u kojoj je integrirani sklop izrađen. Da bi se osigurala stabilnija frekvencija rada oscilatora, u praksi se koristi izvedba prstenastog oscilatora sa strujnim upravljanjem kašnjenja invertora (eng. *current starving*) prikazana slikom 2.7.



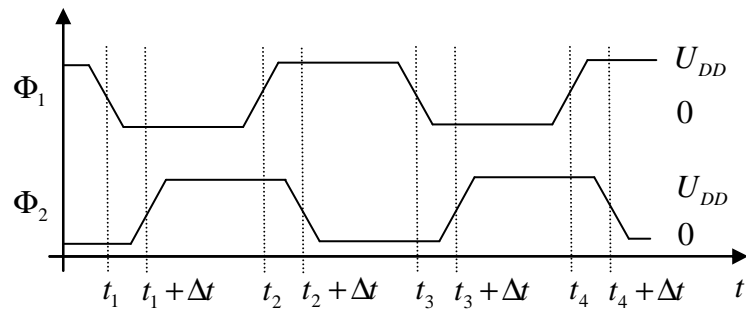
Slika 2.7. Prstenasti oscilator sa strujnim upravljanjem kašnjenja invertora [24]

Za razliku od klasičnog prstenastog oscilatora, oscilator sa strujnim upravljanjem kašnjenja invertora pomoću referentnog napona kontrolira struju invertora. Time se osigurava stabilna frekvencija osciliranja koja je jednaka:

$$f_{out}(U_{ref}) = \frac{I_{ref}}{NC_{inv}U_{DD}}, \quad (2-14)$$

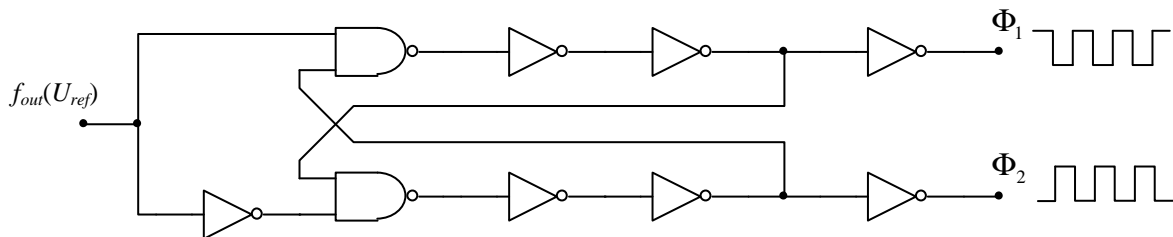
gdje je I_{ref} struja invertora definirana referentnim naponom, a C_{inv} je parazitni kapacitet pojedinog invertora prstenastog oscilatora na mjestu označenom sa X na slici 2.7. Još jedna prednost oscilatora sa strujnim upravljanjem kašnjenja invertora pred klasičnim prstenastim oscilatorom jest mogućnost podešavanja frekvencije osciliranja promjenom referentnog napona U_{ref} .

Prstenasti oscilator osigurava signal takta za rad nabojske pumpe, ali da bi pumpa ispravno radila potreban je i komplement signala takta označen sa Φ_2 na slici 2.1. Najjednostavniji način za generiranje signala Φ_2 je korištenje invertora čime se dobivaju valni oblici signala takta prikazani slikom 2.8.



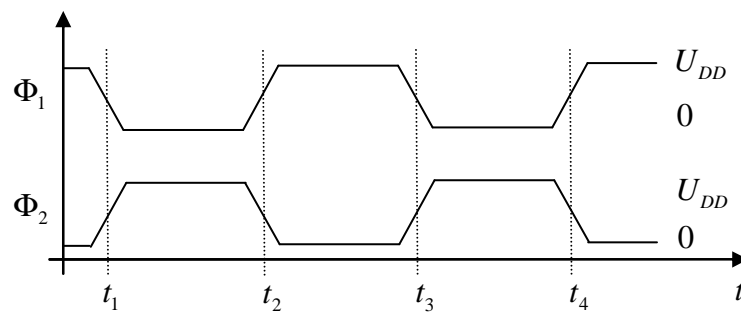
Slika 2.8. Preklapajući komplementarni signali takta

Kao što se može vidjeti iz slike 2.8, signali takta Φ_1 i Φ_2 nisu u potpunosti u protufazi zbog kašnjenja koje unosi invertor. Ovakvo preklapanje signala takta predstavlja problem kod nabojskih pumpi, jer se u vremenskim intervalima kada su oba signala takta u istom logičkom stanju prekida prijenos naboja između stupnjeva nabojske pumpe te se time smanjuje njezina učinkovitost. Stoga se javlja potreba za generiranjem nepreklapajućih signala takta. Najčešće korišteni generator nepreklapajućih signala takta prikazan je slikom 2.9.



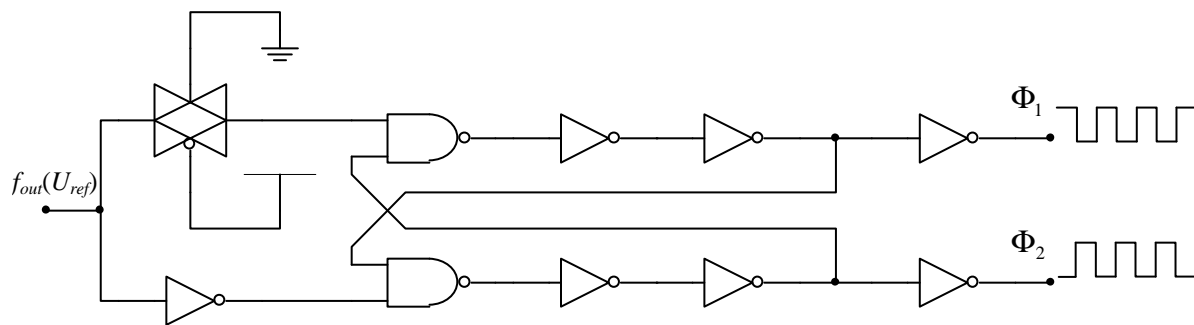
Slika 2.9. Generator nepreklapajućih signala takta

Dobiveni valni oblici prikazani su slikom 2.10. Za razliku od valnih oblika dobivenih korištenjem klasičnog invertora, može se vidjeti da nema preklapanja stanja logičke jedinice kod signala takta.



Slika 2.10. Nepreklapajući signali takta

Problem se može javiti kod rada na visokim frekvencijama gdje se javlja asimetrija kod valnih oblika generiranih sklopom sa slike 2.9. Ta se razlika javlja zbog asimetrije u sklopu kod kojeg postoji inverter u donjoj grani, dok ga u gornjoj nema. Za nabojske pumpe koje rade na visokim frekvencijama pogodnija je sljedeća arhitektura generatora signala takta.

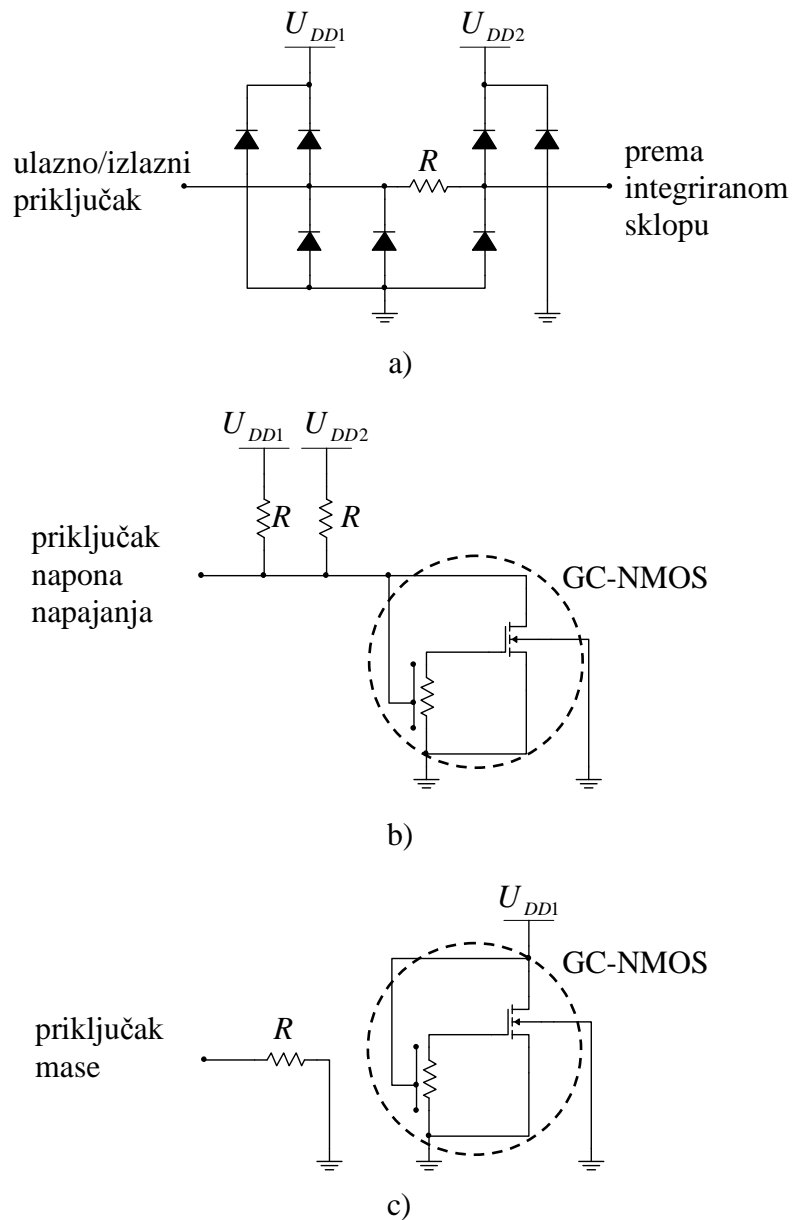


Slika 2.11. Simetričan generator nepreklapajućih signala takta

Simetrija je ostvarena pomoću analogne sklopke (eng. *transmission gate*) koja mora biti izvedena s tranzistorima istih dimenzija kao i inverter u donjoj grani sklopa.

2.6 Elektrostatska zaštita ulaznih i izlaznih priključaka

Radi zaštite komponenti unutar integriranog sklopa od elektrostatičkog pražnjenja, kod izvedbe integriranog sklopa ulazno/izlazni priključci se izvode s elektrostatskom zaštitom – ESD (eng. *ElectroStatic Discharge*). Slika 2.12 prikazuje na koji je način realizirana elektrostatska zaštita pomoću priključaka sa ESD-om.



Slika 2.12. a) Ulazno/izlazni priključak, b) priključak napona napajanja i c) priključak mase s elektrostatskom zaštitom

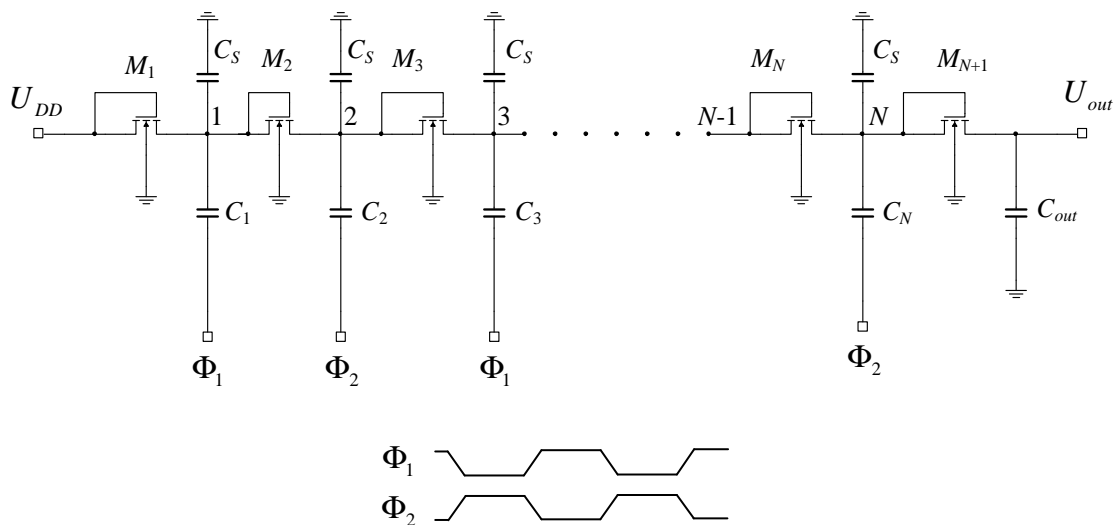
Sa slike 2.12 vidljivo je da se za elektrostatsku zaštitu integriranog sklopa koriste tri različita sklopa, ovisno o vrsti priključka. Kod ulazno/izlaznog priključka, koriste se diode velike površine, čiji je zadatak u što kraćem vremenu provesti u slučaju pojave visokonaponskog šiljka na ulazno/izlaznom priključku, te na taj način zaštititi integrirani sklop. Otpornik R koji razdvaja odvojene naponske sabirnice U_{DD1} i U_{DD2} služi kao dodatna zaštita jer usporava propagaciju visokonaponskog šiljka kroz priključak sa ESD-om. Integrirani sklop za svoje napajanje koristi naponsku sabirnicu U_{DD2} koja je zaštićenija u slučaju pojave elektrostatskog pražnjenja, tj. u slučaju aktiviranja elektrostatske zaštite.

Priključak napona napajanja i priključak mase koriste vrlo sličan mehanizam zaštite priključka. Kod oba se priključka koristi GC-NMOS (eng. *gate coupled NMOS*) čiji je zadatak provesti prilikom pojave elektrostatskog pražnjenja. Također, u oba su slučaja naponske sabirnice U_{DD1} i U_{DD2} kod priključka napona napajanja, odnosno U_{DD1} kod priključka mase, odvojene otpornikom R čija je vrijednost u rasponu od $100\ \Omega$ do $1\ \text{k}\Omega$.

3. Dicksonova nabojska pumpa

Najpoznatija i najčešće korištena nabojska pumpa jest Dicksonova nabojska pumpa [26]. Ona predstavlja prvi dizajn koji je napravio bitni preokret između naponskih množitelja i nabojskih pumpi. Prilagođena je za implementaciju u integriranim sklopovima i u usporedbi sa naponskim množiteljima daje značajno veću izlaznu struju. Također je jedna od najčešće razmatranih nabojskih pumpi za koju su rađene različite optimizacije [27]-[30] ovisno o ciljanoj primjeni.

Osnovni princip rada Dicksonove nabojske pumpe prikazan je slikom 3.1. Osim shematskog prikaza, dani su i valni oblici signala takta Φ_1 i Φ_2 , koji su u protufazi te su naizmjenice kapacitivno spojeni na čvorove označene brojevima (1, 2, 3..) na slici 3.1. Nabojsku pumpu čine tranzistori ($M_1, M_2 \dots M_N, M_{N+1}$) i spojni kondenzatori ($C_1, C_2, C_3 \dots C_N, C_{out}$). Zbog izvedbe u integriranoj tehnici, također se javljaju parazitni kapaciteti na svakom čvoru koji su označeni sa C_S .



Slika 3.1. Dicksonova nabojska pumpa

Nabojska pumpa se sastoji od stupnjeva koje čine po jedan spojni kondenzator i jedan tranzistor. Spajanjem stupnjeva u „lanac“ dobiva se nabojska pumpa od N stupnjeva. Tranzistori koji su diodno spojeni osiguravaju kretanje naboja prema izlaznom stupnju nabojske pumpe, a svaki stupanj u lancu predaje određenu količinu naboja svake periode signala takta sljedećem stupnju, te se na taj način ukupna količina naboja na izlaznom stupnju povećava, a sukladno tome raste i izlazni napon nabojske pumpe.

3.1 Klasični matematički model Dicksonove nabojske pumpe

Kao što se može vidjeti sa slike 3.1, razlika potencijala između k -tog i $k+1$ stupnja jednaka je

$$\Delta U = U_{k+1} - U_k = U'_\Phi - U_D, \quad (3-1)$$

gdje je U'_Φ promjena napona na čvoru uslijed kapacitivne veze sa signalom takta, a U_D je pad napona na diodno spojenom MOSFET-u koji je propusno polariziran, pri čemu napon U_D odgovara naponu $U_{GS} = U_{DS}$ svakog pojedinog MOSFET-a. Svaki čvor je preko spojnog kondenzatora C povezan sa signalom takta, ali je zbog parazitnog kapaciteta C_S promjena napona čvora U'_Φ manja od amplitude signala takta U_Φ (U_Φ je obično jednak U_{DD} za stanje logičke jedinice i 0 V za stanje logičke nule), te se može izraziti na sljedeći način:

$$U'_\Phi = \frac{C}{C + C_S} U_\Phi. \quad (3-2)$$

Da bi se odredio izlazni napon Dicksonove nabojske pumpe sa N stupnjeva polazi se od prvog čvora. Prema slici 3.1, kad je signal takta Φ_1 u stanju logičke nule, čvor 1 se preko tranzistora M_1 prednabija na vrijednost napona napajanja U_{DD} umanjenu za pad napona na propusno polariziranom tranzistoru M_1 . Kada Φ_1 prijeđe u stanje logičke jedinice, vrijednost napona u čvoru 1 dana je izrazom (3-3).

$$U_1 = U_{DD} + (U'_\Phi - U_D). \quad (3-3)$$

U istoj poluperiodi signala takta kada je Φ_1 u stanju logičke jedinice, Φ_2 je u stanju logičke nule. Uz uvjet da je trajanje poluperiode signala takta dovoljno dugo da prijelazna pojava (nabijanje čvora 2) završi, napon na čvoru 2 poprima sljedeću vrijednost:

$$U_2 = U_{DD} + (U'_\Phi - U_D) - U_D. \quad (3-4)$$

U sljedećoj poluperiodi signala takta ($\Phi_1 = „0“$; $\Phi_2 = „1“$), napon na čvoru 2 prati skokovitu promjenu signala takta Φ_2 :

$$U_2 = U_{DD} + 2(U_{\Phi} - U_D). \quad (3-5)$$

Ako se radi o nabojskoj pumpi sa N stupnjeva, izraz za izlazni napon U_{out} glasi:

$$U_{out} = U_{DD} + N(U_{\Phi} - U_D) - U_D. \quad (3-6)$$

Uvrštavanjem (3-2) u izraz (3-6) dobija se novi izraz (3-7) za vrijednost izlaznog napona Dicksonove nabojske pumpe sa N stupnjeva, u kojem se može vidjeti značajan utjecaj parazitnog kapaciteta C_S i pada napona na diodno spojenim tranzistorima U_D na vrijednost izlaznog napona. Oba parametra smanjuju maksimalni izlazni napon koji nabojska pumpa može postići. U kasnijim poglavljima je utjecaj parazitnih kapaciteta i napona praga tranzistora na performanse nabojske pumpe detaljnije analiziran.

$$U_{out} = U_{DD} + N \left[\left(\frac{C}{C + C_S} \right) U_{\Phi} - U_D \right] - U_D. \quad (3-7)$$

Izraz (3-7) daje vrijednost izlaznog napona za prazni hod kad nema otpornog trošila spojenog na izlaz nabojske pumpe, tj. nema izlazne struje. Kada postoji trošilo spojeno na izlazni stupanj nabojske pumpe, izlazna se struja može definirati na sljedeći način:

$$I_{out} = f(C + C_S)U_L. \quad (3-8)$$

Struja je prema definiciji, gibanje naboja u jedinici vremena. Zbog izlazne struje, svaki stupanj tijekom periode signala takta predaje sljedećem stupnju onoliku količinu naboja koja odgovara vrijednosti izlazne struje. Uslijed toga, javlja se pad napona na svakom stupnju nabojske pumpe koji odgovara prenesenoj količini naboja. Taj pad napona je u izrazu (3-8) označen sa U_L . Pri tome se izlazna struja tada može definirati kao umnožak frekvencije signala takta f i ukupne količine naboja prenesene u jednoj periodi signala takta $(C + C_S)U_L$.

Za nabojnsku pumpu sa N stupnjeva to znači da će izlazni napon biti umanjen za N vrijednosti pada napona U_L :

$$\frac{N \cdot I_{out}}{(C + C_s)f} \quad (3-9)$$

Ubacivanjem tog novog faktora (3-9) u izraz (3-7) dobiva se novi izraz za izlazni napon nabojnske pumpe koji u obzir uzima i pad izlaznog napona prouzrokovan izlaznom strujom:

$$U_{out} = U_{DD} + N \left[\left(\frac{C}{C + C_s} \right) U_{\Phi} - U_D - \frac{I_{out}}{(C + C_s)f} \right] - U_D \quad (3-10)$$

Vrijednost izlaznog napona U_{out} je maksimalna vrijednost, koja zbog načina rada nabojnske pumpe nije i ne može biti konstanta. Prema slici 3.1, tijekom poluperiode kad je Φ_2 u stanju logičke jedinice izlazni kondenzator (C_{out} na slici 3.1) se dopunjava, dok se tijekom sljedeće poluperiode, kada je Φ_2 u stanju logičke nule, prazni kroz trošilo osiguravajući izlaznu struju I_{out} . Zbog toga se javlja valovitost izlaznog napona (eng. *ripple*) koja se može odrediti kao:

$$U_{ripple} = \frac{I_{out}}{fC_{out}} = \frac{U_{out}}{fC_{out}R_{load}} \quad (3-11)$$

Valovitost izlaznog napona predstavlja smetnju za sklopove koje nabojnska pumpa napaja. Velike amplitude smetnje, odnosno velika valovitost izlaznog napona može rezultirati neispravnim radom sklopova kao što su PLL-ovi, EEPROM ili FLASH memorije. Ono što se ovdje može vidjeti iz izraza (3-11) jest da se povećavanjem frekvencije signala takta f i povećavanjem vrijednosti kapaciteta izlaznog kondenzatora C_{out} smanjuje valovitost izlaznog napona nabojnske pumpe. Obje metode imaju u primjeni svoja ograničenja. Frekvencija signala takta ne može se povećavati bez ograničenja, jer se sa povećanjem frekvencije iznad određene granice radne značajke nabojnske pumpe pogoršavaju. Zbog RC konstanti koje postoje između stupnjeva nabojnske pumpe, povećanjem frekvencije prestaje potpuni prijenos naboja između susjednih stupnjeva, čime se smanjuje izlazni napon i učinkovitost nabojnske pumpe. Također, porastom frekvencije raste i potrošnja dodatnih sklopova nabojnske pumpe kao što je na primjer generator signala takta.

Druga metoda smanjivanja valovitosti izlaznog napona nabojske pumpe, prema (3-11) je povećavanje izlaznog kapaciteta. Na taj način, znatno povećanje izlaznog kapaciteta povećava površinu koju nabojska pumpa zauzima na siliciju, što je često nepraktično zbog današnjeg trenda minijaturizacije i smanjivanja svih podsklopova na integriranom sklopu. Drugi, a ponekad i značajniji razlog zašto se ne smije koristiti prevelika vrijednost izlaznog kapaciteta u usporedbi sa spojnim kondenzatorima nabojske pumpe je vrijeme potrebno da izlazni napon postigne svoju nazivnu vrijednost. Prilikom uključivanja nabojske pumpe može se pretpostaviti da su svi kondenzatori prazni, ili da napon na njima nije veći od napona vođenja diodno spojenih MOSFET-a (red veličine 1 V). Prilikom prvog punjenja, a što je izlazni kondenzator veći u usporedbi sa spojnim kondenzatorima, više će vremena biti potrebno da nabojska pumpa postigne traženu vrijednost izlaznog napona (eng. *ramp-up time*), a često je jedan od glavnih zahtjeva prilikom dizajna nabojske pumpe baš vrijeme porasta izlaznog napona.

Da bi nabojska pumpa ispravno radila iz izraza (3-10) je vidljivo da dio izraza prikazan u (3-12) mora biti veći od nule. Time se osigurava porast izlaznog napona.

$$N \left[\left(\frac{C}{C+C_s} \right) U_{\Phi} - U_D - \frac{I_{out}}{(C+C_s)f} \right] - U_D > 0. \quad (3-12)$$

Da bi vrijedio uvjet iz (3-12), također mora biti zadovoljen i dodatni uvjet:

$$\left[\left(\frac{C}{C+C_s} \right) U_{\Phi} - U_D - \frac{I_{out}}{(C+C_s)f} \right] > 0. \quad (3-13)$$

Uz navedene uvjete, izraz (3-10) se može pisati na sljedeći način:

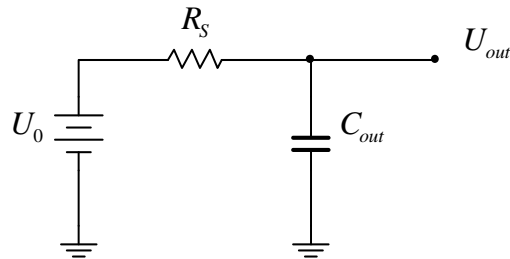
$$U_{out} = U_0 - I_{out} R_S, \quad (3-14)$$

gdje vrijedi da su U_0 i R_S jednaki:

$$U_0 = U_{DD} + N \left[\left(\frac{C}{C+C_s} \right) U_{\Phi} - U_D \right] - U_D, \quad (3-15)$$

$$R_s = \frac{N}{(C + C_s)f}. \quad (3-16)$$

Korištenjem ovakvog matematičkog prikaza izlaznog napona nabojne pumpe, U_0 predstavlja izlazni napon u praznom hodu, a R_s serijski izlazni otpor [31]-[35] nabojne pumpe. Time je nabojna pumpa modelirana kao realni naponski izvor, kao što je prikazano slikom 3.2.



Slika 3.2. Model Dicksonove nabojne pumpe u obliku realnog naponskog izvora

3.2 Novi matematički model Dicksonove nabojne pumpe

Prema slici 3.2 i izrazu (3-14) Dicksonova nabojna pumpa je modelirana kao realni naponski izvor s idealnim izvorom U_0 (3-15) i serijskim otporom R_s (3-16). Tim modelom nabojne pumpe može se odrediti vrijeme porasta izlaznog napona (eng. *ramp-up time*), kao i vrijednost izlaznog napona.

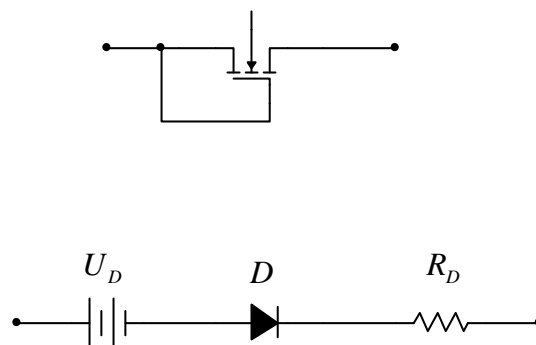
Kod analize rada nabojne pumpe na višim frekvencijama, značajan utjecaj ima otpor propusno polariziranih diodno spojenih tranzistora koji su zaduženi za prijenos naboja između susjednih stupnjeva. Zajedno sa spojnim kondenzatorima iz dva susjedna stupnja, otpor tranzistora tvori vremensku konstantu. Kad se frekvencija rada nabojne pumpe poveća na vrijednost kod koje je trajanje poluperiode signala takta kraće od te vremenske konstante, smanjuje se količina naboja koje se može prenijeti po periodu signala takta. Budući da je prijenos naboja nepotpun, narušavaju se radne značajke nabojne pumpe.

Model nabojne pumpe kao realnog naponskog izvora ne sadržava u sebi serijski otpor propusno polariziranih diodno spojenih tranzistora, te taj model ne može prikazati slabljenje radnih značajki nabojne pumpe pri značajnom povećanju frekvencije. Ostali predstavljeni matematički modeli [36]-[40] Dicksonove nabojne pumpe također ne uzimaju u obzir otpor sklopki, tj. propusno polariziranih diodno spojenih tranzistora. Rad autora T. Tanzawe [41] iz

2011. godine najbliži je traženom matematičkom modelu, s time da je analiza rađena za nabojsku pumpu sa četiri signala takta, te se u taj matematički model ne može na jednostavan način uključiti i otpor izvora.

Radi točnije analize nabojske pumpe, razvijen je model Dicksonove nabojske pumpe koji modelira nabojsku pumpu u uvjetima ustaljenog stanja, kada vrijedi da su naponske razine u svim čvorovima nabojske pumpe jednake na početku i kraju svake periode signala takta. Premda se model realnog naponskog izvora može koristiti za preliminarnu analizu, a SPICE simulacija za provjeru utjecaja frekvencije, takav postupak traje značajno dulje zbog relativno dugačkog trajanja SPICE simulacije nabojske pumpe. To naročito vrijedi za uvjete rada kod kojih je izlazna struja nabojske pumpe relativno mala, te je izlazni napon nabojske pumpe blizak maksimalnom, jer je za postizanje viših vrijednosti izlaznog napona potrebno i dulje vrijeme, što dodatno produžava trajanje SPICE simulacije.

Da bi se odredio utjecaj porasta frekvencije na rad nabojske pumpe razvijen je sljedeći postupak kod kojeg je tranzistor modeliran pomoću idealnog naponskog izvora koji predstavlja pad napona pri propusnoj polarizaciji U_D , idealne diode te otpora kanala tranzistora R_D pri propusnoj polarizaciji (Slika 3.3)

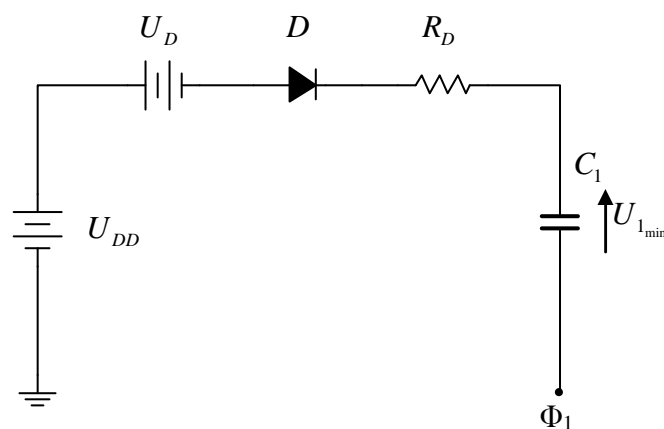


Slika 3.3. Model tranzistora korišten u analizi

Premda se koristi pojednostavljen model koji pretpostavlja konstantnu vrijednost pada napona pri propusnoj polarizaciji U_D , te konstantu vrijednost otpora R_D , dobiveni rezultati dovoljno točno opisuju rad nabojske pumpe. Kao usporedbu s prethodnim modelom, a i kao primjer pojednostavljenja koja se koriste u praksi, treba napomenuti da model realnog naponskog izvora također koristi konstantu vrijednost napona U_D . U kasnijim poglavljima opisan je efekt podloge zbog kojeg napon U_D s povećanjem broja stupnjeva nabojske pumpe raste prema prema izlaznim stupnjevima. Kod matematičkih modela Dicksonove nabojske pumpe, efekt podloge se svjesno zanemaruje radi veće jednostavnosti i primjenjivosti modela.

Matematički model ustaljenog stanja daje mogućnost promjene različitih parametara, kao što su otpor trošila, otpor izvora, napon praga i serijski otpor MOSFET-a te veličina spojnih kondenzatora. Kao rezultat dobivaju se vrijednosti izlaznog napona, valovitost izlaznog napona i izlazna struja.

Za potpuni matematički opis ustaljenog stanja nabojske pumpe potrebno je analizirati tri slučaja. Punjenje prvog stupnja, punjenje drugog do N -tog stupnja (identično pražnjenju prvog do $N-1$ stupnja) te pražnjenje N -tog stupnja, gdje je N broj stupnjeva Dicksonove nabojske pumpe. Slika 3.4 prikazuje shematski prikaz punjenja prvog stupnja Dicksonove nabojske pumpe korištenjem modela za diodno spojeni tranzistor (slika 3.3).



Slika 3.4. Punjenje prvog stupnja Dicksonove nabojske pumpe

Naponski izvor U_{DD} predstavlja ulazni napon nabojske pumpe koji se preko tranzistora (M_1 na slici 3.1) dovodi na prvi čvor nabojske pumpe na koji je kapacitivno (spojni kondenzator C_1) vezan i signal takta Φ_1 . Kod punjenja prvog stupnja (čvora 1) signal takta Φ_1 je u stanju logičke jedinice. Budući da je analiza rađena za nabojsku pumpu u ustaljenom stanju, gdje je početno punjenje (prijelazno stanje) završeno, svaki od spojnih kondenzatora u sebi ima određenu količinu naboja, pa tako na spojnom kondenzatoru C_1 postoji razlika potencijala označena naponom $U_{1_{min}}$. Stoga što su čvorovi nabojske pumpe kapacitivno vezani sa signalom takta koji svake periode mijenjaju stanje, naponi na čvorovima se mijenjaju svake poluperiode čime je omogućeno punjenje, odnosno pražnjenje spojnih kondenzatora u susjednim čvorovima. Kako se svake periode rada nabojske pumpe određena količina naboja prenosi u naredni stupanj, odnosno prima iz prethodnog stupnja, postoji oscilacija napona na spojnim kondenzatorima. Na početku poluperiode u kojoj je signal takta Φ_1 u stanju logičke

nule, napon na spojnom kondenzatoru prvog stupnja (C_1 na slici 3.1) ima svoju minimalnu vrijednost. Sukladno tomu, na kraju te iste poluperiode napon na istom kondenzatoru ima maksimalnu vrijednost.

Zbog idealne diode D koja je dio modela tranzistora, struja u krugu prikazanom na slici 3.4 može teći samo u jednom smjeru i samo ako je zadovoljen sljedeći uvjet:

$$U_{DD} - U_D > U_{1_{\min}} . \quad (3-16)$$

Uz zadovoljen uvjet (3-16) električni krug prikazan slikom 3.4 može se opisati II Kirchhoffovim zakonom koji opisuje zbroj napona u zatvorenoj petlji:

$$U_{DD} - U_D - U_{1_{\min}} = u_{R_D}(t) + u_{C_1}(t) . \quad (3-17)$$

Korištenjem matematičkih relacija za struju i napon kapaciteta (3-18) i (3-19), dobiva se diferencijalna jednačba prvog reda (3-20) koja opisuje punjenje prvog stupnja Dicksonove nabojske pumpe u ustaljenom stanju:

$$i_{C_1}(t) = C_1 \frac{du_{C_1}(t)}{dt} , \quad (3-18)$$

$$u_{C_1}(t) = \frac{1}{C_1} \int_0^T i_{C_1}(t) dt + u_{C_1}(0) , \quad (3-19)$$

$$U_{DD} - U_m - U_{1_{\min}} = i_{C_1}(t)R_D + \frac{1}{C_1} \int_0^T i_{C_1}(t) dt . \quad (3-20)$$

Deriviranjem lijeve isedne strane izraza (3-20) te množenjem sa kapacitetom C_1 proizlazi njezin diferencijalni oblik:

$$R_D C_1 \frac{di_{C_1}(t)}{dt} + i_{C_1}(t) = 0 . \quad (3-21)$$

U početnom trenutku ($t = 0$), struja je jednaka:

$$i_{C_1}(0) = \frac{U_{DD} - U_D - U_{1\min}}{R_D}. \quad (3-22)$$

Uz tu pretpostavku, rješenje diferencijalne jednačbe struje punjenja kondenzatora ima sljedeći oblik:

$$i_{C_1}(t) = \frac{U_{DD} - U_D - U_{1\min}}{R_D} \cdot e^{-\frac{t}{\tau}}. \quad (3-23)$$

Konstanta koja se javlja u izrazu (3-23) je vremenska konstanta $\tau = R_D C_1$. Uvrštavanjem izraza (3-23) u (3-19), dobiva se izraz za napon spojnog kondenzatora tijekom punjenja prvog stupnja Dicksonove nabojne pumpe:

$$u_{C_1}(t) = \frac{1}{2} \int_0^{\frac{T}{2}} \left(\frac{U_{DD} - U_D - U_{1\min}}{R_D} \cdot e^{-\frac{t}{\tau}} \right) \cdot dt + u_{C_1}(0). \quad (3-24)$$

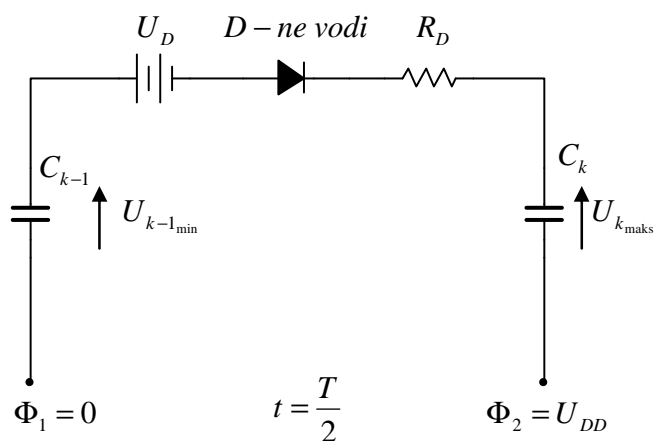
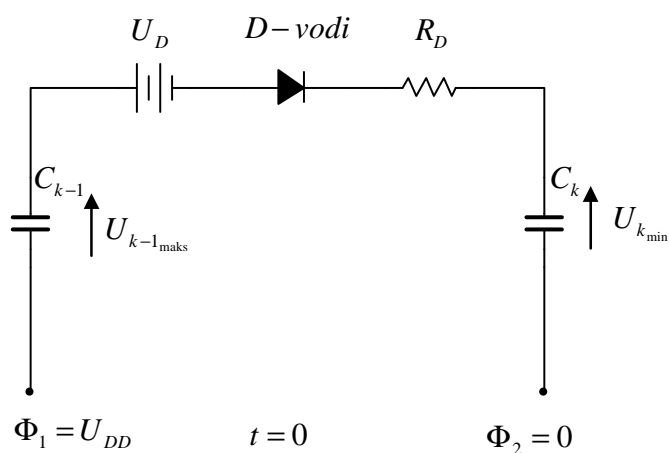
Integriranjem izraza u zadanim granicama dobiva se izraz kojim je opisana promjena napona spojnog kondenzatora tijekom poluperiode u kojoj se kondenzator puni:

$$u_{C_1}(t) = (U_{DD} - U_D - U_{1\min}) \left(1 - e^{-\frac{t}{\tau}} \right) + u_{C_1}(0). \quad (3-25)$$

Konačni izraz koji daje relaciju između maksimalnog i minimalnog napona na prvom spojnog kondenzatoru nabojne pumpe dobiva se uvrštavanjem $t = T/2$ u izraz (3-25). Uz pretpostavku da su svi spojni kondenzatori nabojne pumpe jednaki, vremenska konstanta iz prethodnih izraza odgovara $\tau = R_D C$, a konačni izraz za maksimalni napon prvog spojnog kondenzatora jednak je:

$$U_{1\max} = (U_{DD} - U_D - U_{1\min}) \left(1 - e^{-\frac{\frac{T}{2}}{R_D C}} \right) + U_{1\min}. \quad (3-26)$$

Budući da se matematička analiza provodi za ustaljeno stanje, minimalni i maksimalni napon na pojedinom spojnem kondenzatoru su jednaki za svaku periodu signala takta. Slično kao za punjenje prvog stupnja, može se izvesti matematički izraz za punjenje drugog do N -tog stupnja. Ovdje je bitno naglasiti da je shematski prikaz i matematički opis punjenja drugog stupnja identičan matematičkom opisu pražnjenja prvog stupnja. Drugim riječima, punjenje drugog do N -tog stupnja identično je pražnjenju prvog do $N-1$ stupnja. Shematski prikaz dva susjedna stupnja kojima je opisano punjenje k -tog, odnosno pražnjenje $k-1$ stupnja dan je slikom 3.5.



Slika 3.5 Punjenje drugog do N -tog stupnja za slučaj a) kada je signal takta Φ_1 u stanju logičke jedinice i slučaj b) kada je signal takta Φ_1 u stanju logičke nule

Na slici 3.5 prikazana su dva slučaja koja pokrivaju cijelu periodu signala takta. Pod a) je prikazan slučaj kada diodno spojen tranzistor vodi, tj. zadovoljen je uvjet njegovog vođenja, koji u ovom slučaju glasi:

$$U_{\Phi_1} + u_{k-1}(t) - U_D > u_k(t) + U_{\Phi_2}, \quad (3-27)$$

gdje su naponi $u_{k-1}(t)$ i $u_k(t)$ trenutne vrijednosti napona na spojnim kondenzatorima C_{k-1} i C_k , čije su početne vrijednosti na slici 3.5.a) označene sa $U_{k-1_{maks}}$ i $U_{k_{min}}$. Generalno gledajući, $U_{k-1_{maks}}$ i $U_{k_{min}}$ su naponi bilo koja dva susjedna stupnja u Dicksonovoj nabojskoj pumpi, a naponi U_{Φ_1} i U_{Φ_2} odgovaraju naponskim razinama signala takta u određenom trenutku. Na početku poluperiode signala takta u kojoj je signal takta Φ_1 u stanju logičke jedinice, a Φ_2 u stanju logičke nule (slika 3.5.a), napon na spojnem kondenzatoru C_{k-1} ima maksimalnu vrijednost $U_{k-1_{maks}}$ budući da se u prethodnoj poluperiodi punio. Jednako tako, napon na spojnem kondenzatoru C_k ima minimalnu vrijednost $U_{k_{min}}$. Tijekom navedene poluperiode, spojni kondenzator se C_{k-1} se prazni, a C_k se puni. Na kraju poluperiode signala takta, napon na C_{k-1} poprima svoju minimalnu vrijednost, a napon na C_k svoju maksimalnu vrijednost, kao što je prikazano slikom 3.5.b. Tijekom druge poluperiode uvjet vođenja (3-27) za tranzistor nije zadovoljen i diodno spojen tranzistor ne vodi.

Rad nabojske pumpe u ustaljenom stanju za ovaj slučaj znači da će na početku poluperiode signala takta u kojoj tranzistor između dva susjedna stupnja vodi, naponi na spojnim kondenzatorima biti jednaki kao na slici 3.5. To znači da je na početku poluperiode C_{k-1} na maksimalnoj vrijednosti, dok je na kraju poluperiode na minimalnoj, pri čemu za spojni kondenzator C_k vrijedi suprotno. Matematički opis punjenja kondenzatora C_k , odnosno pražnjenja kondenzatora C_{k-1} može se odrediti na sljedeći način.

Budući da su spojni kondenzatori C_{k-1} i C_k serijski spojeni kada diodno spojeni tranzistor vodi, shema sa slike 3.5a može se promatrati kao slučaj punjenja prvog kondenzatora (slika 3.4) gdje je vrijednost kondenzatora dvostruko manja. Naime, ovo vrijedi za slučaj kada svi spojni kondenzatori imaju isti iznos kapaciteta C , što je najčešći slučaj u praksi. Tada izraz (3-23) za struju punjenja iz proračuna za prvi stupanj nabojske pumpe prelazi u izraz (3-28):

$$i_C(t) = \frac{U_{DD} + U_{k-1_{maks}} - U_D - U_{k_{min}}}{R_D} \cdot e^{-\frac{t}{\tau}} = \frac{U_{DD} + U_{k-1_{maks}} - U_D - U_{k_{min}}}{R_D} \cdot e^{-\frac{t}{R_D \frac{C}{2}}}. \quad (3-28)$$

Jedina je razlika dvostruko manja vremenska konstanta $\tau = R_D C/2$, zbog serijski spojenih kondenzatora iz dva susjedna stupnja. Također, za razliku od izraza (3-23), u izrazu (3-28) postoji početna vrijednost napona na spojnom kapacitetu C_{k-1} . Uvrštavanjem u izraz (3-19) koji daje relaciju između napona i struje kapaciteta, dobiva se:

$$u_C(t) = \frac{1}{C} \int_0^{\frac{T}{2}} \left(\frac{U_{DD} + U_{k-1, \text{maks}} - U_D - U_{k, \text{min}}}{R_D} \cdot e^{-\frac{t}{R_D \frac{C}{2}}} \right) dt + u_C(0). \quad (3-29)$$

Integriranjem unutar trajanja poluperiode signala takta, dobiva se izraz:

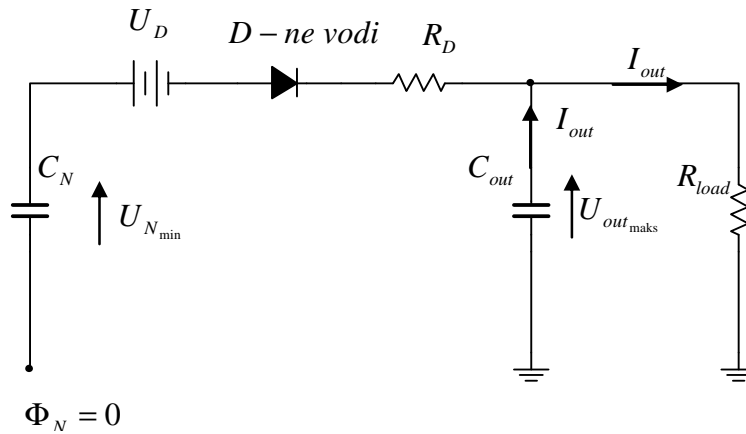
$$u_C(t) = \frac{U_{DD} + U_{k-1, \text{maks}} - U_D - U_{k, \text{min}}}{2} \left(1 - e^{-\frac{t}{R_D \frac{C}{2}}} \right) + u_C(0), \quad (3-30)$$

koji nakon unošenja granica integracije poprima sljedeći oblik:

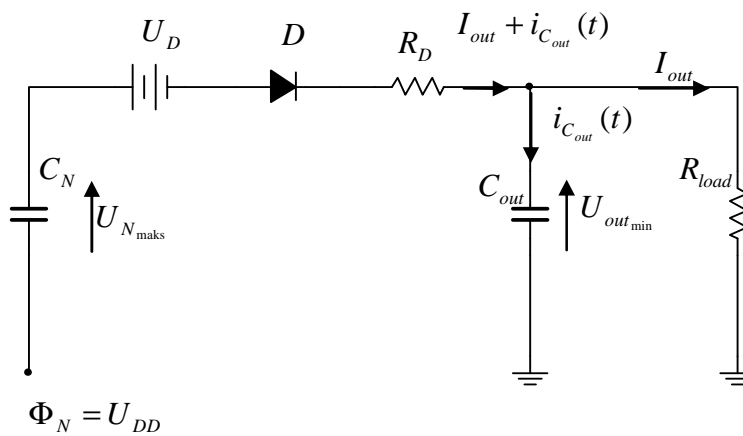
$$U_{k, \text{maks}} = \frac{U_{DD} + U_{k-1, \text{maks}} - U_D - U_{k, \text{min}}}{2} \left(1 - e^{-\frac{T}{R_D C}} \right) + U_{k, \text{min}} \quad (3-31)$$

i vrijedi za sve vrijednosti k od 1 do N , gdje N predstavlja broj stupnjeva nabojske pumpe.

Posljednji slučaj koji treba analizirati jest pražnjenje N -tog stupnja. Izlazni kondenzator C_{out} često je većeg kapaciteta od spojnih kondenzatora, zbog osiguravanja manje valovitosti u izlaznom naponu. Slika 3.6 prikazuje ponašanje N -tog stupnja u Dicksonovoj nabojskoj pumpi za obje poluperiode signala takta.



a)



b)

Slika 3.6 Pražnjenje N -tog i izlaznog stupnja za slučaj a) kada je signal takta Φ_N u stanju logičke jedinice i slučaj b) kada je signal takta Φ_N u stanju logičke nule

Prilikom punjenja N -tog stupnja, diodno spojeni tranzistor D ne vodi pa izlazni kondenzator C_{out} , napunjen na maksimalnu vrijednost u uvjetima ustaljenog stanja $U_{outmaks}$, osigurava izlaznu struju I_{out} . Tijekom poluperiode signala takta koja osigurava punjenje N -tog stupnja naboj izlaznog kondenzatora se smanjuje za vrijednost:

$$\Delta Q_{out} = I_{out} \cdot \frac{T}{2}. \quad (3-32)$$

Istovremeno, spojni kondenzator u N -tom stupnju nabojske pumpe se puni sa svoje minimalne U_{Nmin} na svoju maksimalnu vrijednost u ustaljenom stanju U_{Nmaks} .

U idućoj poluperiodi signala takta, kad je signal takta spojen na N -ti spojni kondenzator u stanju logičke jedinice vrijedi da je:

$$U_{DD} + U_{N_{\text{maks}}} - U_D > U_{out_{\text{min}}} . \quad (3-33)$$

Sa zadovoljenim uvjetom (3-33) diodno spojen tranzistor D je propusno polariziran, te N -ti stupanj nabojne pumpe istovremeno puni izlazni stupanj (nadomješta izgubljenu količinu naboja ΔQ_{out} iz prethodne poluperiode signala takta) i osigurava izlaznu struju I_{out} . Uslijed toga se naboj na spojnom kondenzatoru N -tog stupnja smanjuje za vrijednost:

$$\Delta Q_N = \Delta Q_{out} + I_{out} \cdot \frac{T}{2} = I_{out} \cdot T = \frac{I_{out}}{f} , \quad (3-34)$$

gdje je f frekvencija signala takta i obrnuto je proporcionalna periodu. Prema (3-34) vrijedi da se napon spojnog kondenzatora N -tog stupnja tijekom njegovog pražnjenja smanjuje za sljedeću vrijednost:

$$\Delta U_N = \frac{\Delta Q_N}{C_N} = \frac{I_{out}}{f \cdot C_N} . \quad (3-35)$$

Budući da su kapaciteti spojnih kondenzatora prvog do N -tog stupnja nabojne pumpe jednaki, veza između minimalnog i maksimalnog napona spojnog kondenzatora N -tog stupnja nabojne pumpe u ustaljenom stanju može se opisati sljedećim izrazom, gdje C odgovara vrijednosti kapaciteta svih pojedinih spojnih kondenzatora u Dicksonovoj nabojnoj pumpi:

$$U_{N_{\text{min}}} = U_{N_{\text{maks}}} - \frac{I_{out}}{f \cdot C} . \quad (3-36)$$

Objedinjavanjem matematičkih izraza za sva tri opisana slučaja (punjenje prvog stupnja, punjenja drugog do N -tog stupnja, pražnjenje N -tog stupnja) dobiva se sljedeći sustav jednažbi:

$$U_{1_{\text{maks}}} = (U_{DD} - U_D - U_{1_{\text{min}}}) \left(1 - e^{-\frac{T}{R_D C}} \right) + U_{1_{\text{min}}} , \quad (3-37)$$

$$U_{k_{\text{min}}} = U_{k_{\text{maks}}} - \left(\frac{U_{DD} + U_{k_{\text{maks}}} - U_D - U_{k+1_{\text{min}}}}{2} \right) \left(1 - e^{-\frac{T}{R_D C}} \right) \quad k = 1..N - 1, \quad (3-38)$$

$$U_{k_{\text{maks}}} = \frac{U_{DD} + U_{k-1_{\text{maks}}} - U_D - U_{k_{\text{min}}}}{2} \left(1 - e^{-\frac{T}{R_D C}} \right) + U_{k_{\text{min}}} \quad k = 2..N, \quad (3-39)$$

$$U_{N_{\text{min}}} = U_{N_{\text{maks}}} - \frac{I_{\text{out}}}{f \cdot C} . \quad (3-40)$$

Zbog jednostavije daljnje analize uvode se dodatne konstante :

$$A = e^{-\frac{T}{R_D C}} \quad \text{i} \quad (3-41)$$

$$B = \frac{1}{2} \left(1 - e^{-\frac{T}{R_D C}} \right) . \quad (3-42)$$

Uvrštavanjem tih konstanti (3-41) i (3-42) u izraze (3-37)-(3-40) dobivaju se pojednostavljeni izrazi za opis ponašanja Dicksonove nabojne pumpe u ustaljenom stanju:

$$U_{1_{\text{maks}}} = U_{1_{\text{min}}} \cdot A + (U_{DD} - U_D)(1 - A), \quad (3-43)$$

$$U_{k_{\text{min}}} = U_{k_{\text{maks}}} (1 - B) + U_{k+1_{\text{min}}} \cdot B - (U_{DD} - U_D)B \quad k = 1..N - 1, \quad (3-44)$$

$$U_{k_{\text{maks}}} = U_{k_{\text{min}}} (1 - B) + U_{k-1_{\text{maks}}} \cdot B + (U_{DD} - U_D)B \quad k = 2..N, \quad (3-45)$$

$$U_{N_{\text{min}}} = U_{N_{\text{maks}}} - \frac{I_{\text{out}}}{f \cdot C} . \quad (3-46)$$

Da bi se olakšalo matematičko izvođenje, dobiveni izrazi moraju imati sljedeći oblik:

$$U_{k_{\min}} = U_{k_{\min}}(U_{k_{\max}}, U_{k-1_{\max}}) \quad k = 2..N, \quad (3-47)$$

$$U_{k_{\max}} = U_{k_{\max}}(U_{k_{\min}}, U_{k+1_{\min}}) \quad k = 1..N-1. \quad (3-48)$$

Nakon sređivanja izraza (3-43)-(3-45) korištenjem pravila (3-47) i (3-48), dobivene su sljedeće relacije:

$$U_{1_{\min}} = U_{1_{\max}} \frac{1}{A} - (U_{DD} - U_D) \frac{1-A}{A}, \quad (3-49)$$

$$U_{k_{\max}} = U_{k_{\min}} \frac{1}{1-B} - U_{k+1_{\min}} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B} \quad k = 1..N-1, \quad (3-50)$$

$$U_{k_{\min}} = U_{k_{\max}} \frac{1}{1-B} - U_{k-1_{\max}} \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \quad k = 2..N, \quad (3-51)$$

$$U_{N_{\min}} = U_{N_{\max}} - \frac{I_{out}}{f \cdot C}. \quad (3-52)$$

Uvrštavanjem izraza (3-49) u izraz (3-50) uz $k = 1$, te nastavljanjem proračuna postupkom prikazanim potpunim matematičkim izvodom u Dodatku A, dolazi se do relacija za napone spojnih kondenzatora Dicksonove nabojne pumpe. Vrijednosti tih napona dane su Tablici 3.1 za prva četiri stupnja.

Tablica 3.1 Naponi spojnih kondenzatora u Dicksonovoj nabojnoj pumpi

<i>k</i>	$U_{k_{\min}} = U_{k_{\min}}(U_{k_{\max}}, U_{DD}, U_D)$
1	$U_{1_{\min}} = U_{1_{\max}} \frac{1}{A} - (U_{DD} - U_D) \frac{1-A}{A}$
2	$U_{2_{\min}} = U_{2_{\max}} \frac{1-A+AB}{1-A-B+2AB} - (U_{DD} - U_D) \frac{2B(1-A)}{1-A-B+2AB}$
3	$U_{3_{\min}} = U_{3_{\max}} \frac{2-2A-B+2AB}{2-2A-2B+3AB} - (U_{DD} - U_D) \frac{3B(1-A)}{2-2A-2B+3AB}$
4	$U_{4_{\min}} = U_{4_{\max}} \frac{3-3A-2B+3AB}{3-3A-3B+4AB} - (U_{DD} - U_D) \frac{4B(1-A)}{3-3A-3B+4AB}$

Može se uočiti da izrazi za napone sljedeće određeni uzorak, te za k -ti stupanj Dicksonove nabojske pumpe vrijedi da je:

$$U_{k_{\min}} = U_{k_{\max}} \frac{(k-1)(1-A)(1-B)+B}{(k-1)(1-A)(1-B)+AB} - (U_{DD} - U_D) \frac{kB(1-A)}{(k-1)(1-A)(1-B)+AB} \quad k = 2..N. \quad (3-53)$$

Budući da za N -ti stupanj nabojske pumpe vrijedi (3-52), uvrštavanjem izraza (3-53) sa $k = N$ u (3-52), slijedi:

$$U_{N_{\max}} \frac{(N-1)(1-A)(1-B)+B}{(N-1)(1-A)(1-B)+AB} - (U_{DD} - U_D) \frac{NB(1-A)}{(N-1)(1-A)(1-B)+AB} = U_{N_{\max}} - \frac{I_{out}}{f \cdot C}, \quad (3-54)$$

$$U_{N_{\max}} \left[\frac{(N-1)(1-A)(1-B)+B}{(N-1)(1-A)(1-B)+AB} - 1 \right] = (U_{DD} - U_D) \frac{NB(1-A)}{(N-1)(1-A)(1-B)+AB} - \frac{I_{out}}{f \cdot C}, \quad (3-55)$$

$$U_{N_{\max}} \left[\frac{B-AB}{(N-1)(1-A)(1-B)+AB} \right] = (U_{DD} - U_D) \frac{NB(1-A)}{(N-1)(1-A)(1-B)+AB} - \frac{I_{out}}{f \cdot C}, \quad (3-56)$$

$$U_{N_{\max}} = (U_{DD} - U_D) \frac{\frac{NB(1-A)}{(N-1)(1-A)(1-B)+AB}}{\frac{B-AB}{(N-1)(1-A)(1-B)+AB}} - \frac{I_{out}}{f \cdot C} \frac{1}{\frac{B-AB}{(N-1)(1-A)(1-B)+AB}}, \quad (3-57)$$

$$U_{N_{\max}} = (U_{DD} - U_D) \frac{NB(1-A)}{B-AB} - \frac{I_{out}}{f \cdot C} \frac{(N-1)(1-A)(1-B)+AB}{B-AB}, \quad (3-58)$$

$$U_{N_{\max}} = N(U_{DD} - U_D) - \frac{I_{out}}{f \cdot C} \left[(N-1) \frac{1-B}{B} + \frac{A}{1-A} \right]. \quad (3-59)$$

U tom slučaju, izlazni napon nabojske pumpe odgovara sljedećem izrazu:

$$U_{out_{maks}} = U_{N_{maks}} + (U_{DD} - U_D) - \frac{I_{out}}{f \cdot C}. \quad (3-60)$$

Uvrštavanjem (3-59) u (3-60) slijedi:

$$U_{out_{maks}} = N(U_{DD} - U_D) - \frac{I_{out}}{f \cdot C} \left[(N-1) \frac{1-B}{B} + \frac{A}{1-A} \right] + (U_{DD} - U_D) - \frac{I_{out}}{f \cdot C}. \quad (3-61)$$

Konačan izraz za izlazni napon Diskon nabojske pumpe ima oblik:

$$U_{out_{maks}} = (N+1)(U_{DD} - U_D) - \frac{I_{out}}{f \cdot C} \left[1 + (N-1) \frac{1-B}{B} + \frac{A}{1-A} \right]. \quad (3-62)$$

Pisanjem izraza (3-62) u sljedećem obliku:

$$U_{out} = U_0 - I_{out} \cdot R_S, \quad (3-63)$$

dobivaju su novi izrazi za vrijednosti U_0 i R_S :

$$U_0 = (N+1)(U_{DD} - U_D), \quad (3-64)$$

$$R_S = \frac{1}{f \cdot C} \left[1 + (N-1) \frac{1-B}{B} + \frac{A}{1-A} \right]. \quad (3-65)$$

Dobiveni izrazi odgovaraju slučaju kada je amplituda signala takta jednaka naponu napajanja $U_\Phi = U_{DD}$, a zanemareni su paraziti kapaciteti. U slučaju kada se paraziti kapaciteti uzimaju u obzir, a amplituda signala takta nije jednaka naponu napajanja $U_\Phi \neq U_{DD}$, izrazi (3-64) i (3-65) poprimaju sljedeći oblik:

$$U_0 = U_{DD} + N \left[\left(\frac{C}{C + C_S} \right) U_\Phi - U_D \right] - U_D, \quad (3-66)$$

$$R_S = \frac{1}{f \cdot (C + C_S)} \left[1 + (N - 1) \frac{1 - B}{B} + \frac{A}{1 - A} \right], \quad (3-67)$$

gdje su konstante A i B jednake:

$$A = e^{-\frac{T}{2R_D(C+C_S)}}, \quad (3-68)$$

$$B = \frac{1}{2} \left(1 - e^{-\frac{T}{2R_D(C+C_S)}} \right). \quad (3-69)$$

Time je završena izvod izraza za maksimalni izlazni napon Dicksonove nabojne pumpe te je dobiven analitički izraz koji u sebi sadrži utjecaj vremenske konstante punjenja/praznjenja svakog stupnja na izlazni napon. Ovim se postupkom može odrediti i minimalni izlazni napon koji je jednak:

$$U_{out_min} = U_{out_maks} - \frac{I_{out} \cdot \frac{T}{2}}{C_{out}}, \quad (3-70)$$

dok je valovitost izlaznog napona jednaka:

$$U_{ripple} = U_{out_maks} - U_{out_min}, \quad (3-71)$$

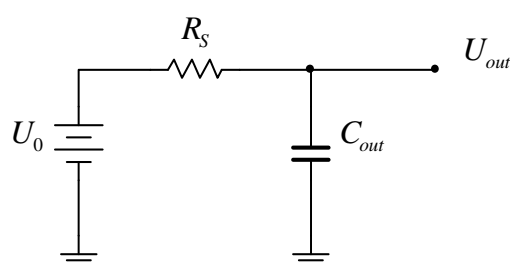
$$U_{ripple} = \frac{I_{out} \cdot \frac{T}{2}}{C_{out}}. \quad (3-72)$$

Tablica 3.2 daje usporedni prikaz klasičnog i novog matematičkog modela Dicksonove nabojne pumpe.

Tablica 3.2 Matematički modeli Dicksonove nabojne pumpe

	Klasični matematički model	Novi matematički model
U_0	$U_{DD} + N \left[\left(\frac{C}{C + C_s} \right) U_{\Phi} - U_D \right] - U_D$	$U_{DD} + N \left[\left(\frac{C}{C + C_s} \right) U_{\Phi} - U_D \right] - U_D$
R_s	$\frac{1}{f \cdot (C + C_s)}$	$\frac{1}{f \cdot (C + C_s)} \left[1 + (N - 1) \frac{1 - B}{B} + \frac{A}{1 - A} \right]$

Faktori U_0 i R_s odgovaraju naponu i otporu realnog naponskog izvora pomoću kojeg je modelirana Dicksonova nabojna pumpa kao što je prikazano slikom 3.7.



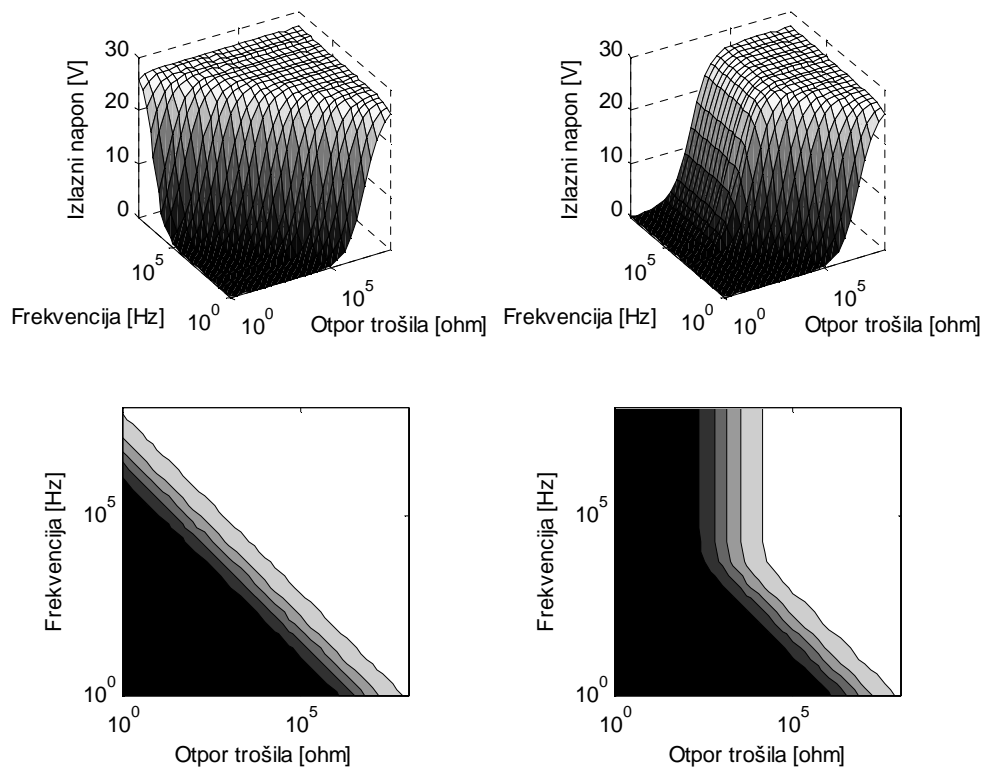
Slika 3.7 Nadomjesna shema Dicksonove nabojne pumpe

Može se vidjeti da je vrijednost napona U_0 jednaka u oba matematička modela, dok se vrijednosti za R_s razlikuju, premda postoji značajna sličnost. Konstante A i B su dane u (3-68) i (3-69).

Za rad u praznom hodu, može se vidjeti da je izlazni napon za oba matematička modela jednak, budući da u tom slučaju na serijskom otporu realnog naponskog izvora nema pada napona. Napon praznog hoda ($I_{out} = 0$) jednak je naponu U_0 .

Razlika između matematičkih modela dolazi do izražaja kada nabojna pumpa na izlazu daje određenu izlaznu struju ($I_{out} > 0$). Novi je matematički model razvijen s namjerom da se obuhvati i slabljenje radnih značajki nabojne pumpe uslijed bitnog povećanja frekvencije na vrijednosti pri kojima je perioda signala takta manja od vremenske konstante koju tvore kapaciteti spojnih kondenzatora i serijski otpor propusno polariziranih diodno spojenih tranzistora. U navedenim uvjetima značajno se smanjuje količina prenesenog naboja po periodu signala takta, što se očituje u nemogućnosti nabojne pumpe da osigura traženu izlaznu struju pri određenom naponu.

Da bi se demonstrirala razlika opisanih matematičkih modela, slika 3.8 prikazuje izlazni napon Dicksonove nabojske pumpe dobiven klasičnim i novim matematičkim modelom za širok raspon vrijednosti frekvencije signala takta i otpora trošila.



Slika 3.8 Izlazni napon Dicksonove nabojske pumpe

Proračun je rađen za nabojsku pumpu sa četiri stupnja, amplitudom signala takta od 5 V, spojnim kondenzatorima od 1 μF te otporom propusno polariziranih diodno spojenih tranzistora od 100 Ω . Potrebno je naglasiti da otpor tranzistora može biti znatno manji od 100 Ω , ali osim otpora tranzistora i kapaciteta spojnih kondenzatora, vremensku konstantu tvori i otpor izvora, koji može varirati od nekoliko desetaka ohma, pa sve do reda veličine M Ω kod bežično napajanih sklopova kao što su pasivni RFID sklopovi i sklopovi koji za napajanje koriste ambijentalnu energiju kao što je elektromagnetski smog, vibracije, itd.

Može se vidjeti da se vrijednost izlaznog napona bitno razlikuje za područje viših frekvencija i nižih otpora trošila. Upotreba klasičnog matematičkog modela kod početnih proračuna nabojske pumpe može rezultirati odabirom frekvencije rada pri kojoj nabojska pumpa ne postiže traženi izlazni napon.

3.3 Klasični proračun prilikom projektiranja

Ovisno o namjeni nabojne pumpe, neki od parametara mogu biti unaprijed zadani i fiksni. Parametri kao što su vrijednost izlaznog napona, valovitost izlaznog napona, maksimalna vrijednost izlazne struje, izlazni kapacitet, vrijeme porasta izlaznog napona, površina koju nabojna pumpa zauzima na siliciju, vrijednost napona napajanja te frekvencija rada. Bez obzira na to koji su parametri unaprijed određeni, prvi korak prilikom projektiranja nabojne pumpe je određivanje potrebnog izlaznog napona. Izlazni napon može varirati od napona dvostruko većeg od napona napajanja, pa sve do vrlo visokih napona (reda veličine 25-30 V) koji su potrebni za ispravan rad kod FLASH memorija. Izlazni napon nabojne pumpe je ponajviše određen amplitudom signala takta i brojem stupnjeva (N) nabojne pumpe. Jednostavan matematički izraz za Dicksonovu nabojnu pumpu može se koristiti za preliminarno određivanje broja stupnjeva potrebnih za postizanje željenog izlaznog napona:

$$U_{out} = NU_{\phi} + U_{in} - (N+1)U_m, \quad (3-73)$$

gdje je U_{out} izlazni napon, U_{ϕ} amplituda signala takta, U_{in} je ulazni napon, a U_m je napon praga diodno spojenih MOSFET-ova (pri čemu napon $U_{GS} = U_{DS}$ mora biti veći od napona praga da bi tranzistor bio u zasićenju). Ovdje se pretpostavlja da je napon praga U_m jednak kod svih diodno spojenih MOSFET-ova, dok u stvarnosti zbog efekta podloge, napon praga kod viših stupnjeva može imati vrijednost nekoliko volta višu od očekivane. Upravo je iz tog razloga dobiveni izlazni napon manji od izlaznog napona određenog u (3-73). Također, ovdje nije uračunat utjecaj parazitnih kapaciteta, koji dodatno degradiraju radne značajke nabojne pumpe, jer se njihovim punjenjem i pražnjenjem troši naboj i povećava se ekvivalentni serijski otpor nabojne pumpe. Možda i najbitniji aspekt kod projektiranja nabojne pumpe je činjenica da izlazni napon eksponencijalno raste s povećanjem otpora trošila i približavanjem uvjetima praznog hoda, odnosno kapacitivnog opterećenja. Nabojna pumpa koja je projektirana na način da joj maksimalni izlazni napon odgovara željenom naponu, može funkcionirati samo za trošila visoke impedancije koja traže vrlo male vrijednosti izlazne struje. Samim time se ograničava područje rada nabojne pumpe i smanjuje se njezina učinkovitost prilikom potrebe s većom izlaznom strujom. Zbog navedenih razloga, praksa je da se nabojne pumpe projektiraju na način da traženi izlazni napon odgovara 70% do 80% maksimalnog napona koji nabojna pumpa postiže u uvjetima praznog hoda.

Nakon izlaznog napona, sljedeći bitan faktor je izlazna struja. Izlazna struja se u pravilu linearno smanjuje s povećanjem izlaznog napona, tj. s povećanjem broja stupnjeva nabojske pumpe. Budući da se s povećanjem broja stupnjeva, povećava i ekvivalentni serijski otpor nabojske pumpe, učinkovitost nabojske pumpe smanjuje se s povećanjem izlaznog napona. Ekvivalentni serijski otpor nabojske pumpe može se odrediti kao:

$$R_s = \left(\frac{N}{C + C_s} \right) \cdot \frac{1}{f}, \quad (3-74)$$

gdje je R_s unutarnja impedancija, C_s vrijednost parazitnog kapaciteta, C vrijednost kapaciteta u pojedinom stupnju nabojske pumpe, a f je frekvencija signala takta. Ako se želi povećati izlazna struja koju nabojska pumpa može dati, potrebno je smanjiti serijski otpor R_s . Smanjenje otpora postiže se povećanjem kapaciteta C i/ili povećanjem frekvencije signala takta f . Veličina kondenzatora i frekvencija rada nabojske pumpe određuju se prema ograničenjima koja postoje kod primjene za koju se nabojska pumpa projektira. U slučaju da postoji značajan otpor izvora, povećanjem kapaciteta kondenzatora smanjujemo maksimalnu moguću frekvenciju rada jer povećavamo vremensku konstantu o kojoj ovisi prijenos naboja između susjednih stupnjeva. Također, ponekad je zadana maksimalna dozvoljena površina nabojske pumpe. Time je određen maksimalni ukupni kapacitet nabojske pumpe, s obzirom da većinu površine pumpe zauzimaju kondenzatori. U tom slučaju, izlazna se struja može povećati samo povećanjem frekvencije. Usko vezano uz izlaznu struju je i vrijeme porasta izlaznog napona, koje je često ključan faktor u dizajnu, npr. kad se radi o FLASH memorijama kod kojih su definirani vremenski intervali upisivanja i brisanja pojedinih memorijskih lokacija.

U slučaju kada je poznata izlazna struja koju nabojska pumpa mora osigurati, vrijednost kapaciteta spojnih kondenzatora i frekvencija rada mogu se odrediti iz sljedećeg izraza:

$$I_{out} = \frac{\Delta Q}{\Delta t} = \frac{C \cdot \Delta U}{\Delta t}, \quad (3-75)$$

gdje C označava kapacitet spojnih kondenzatora, Δt je vremenski interval u kojem se promijeni količina naboja ΔQ i odgovara frekvenciji rada nabojske pumpe f . Napon ΔU je vrijednost promjene napona na posljednjem stupnju koja se javlja uslijed samog načina rada nabojske pumpe kod kojeg su susjedni stupnjevi spojeni na protufazne nepreklapajuće signale

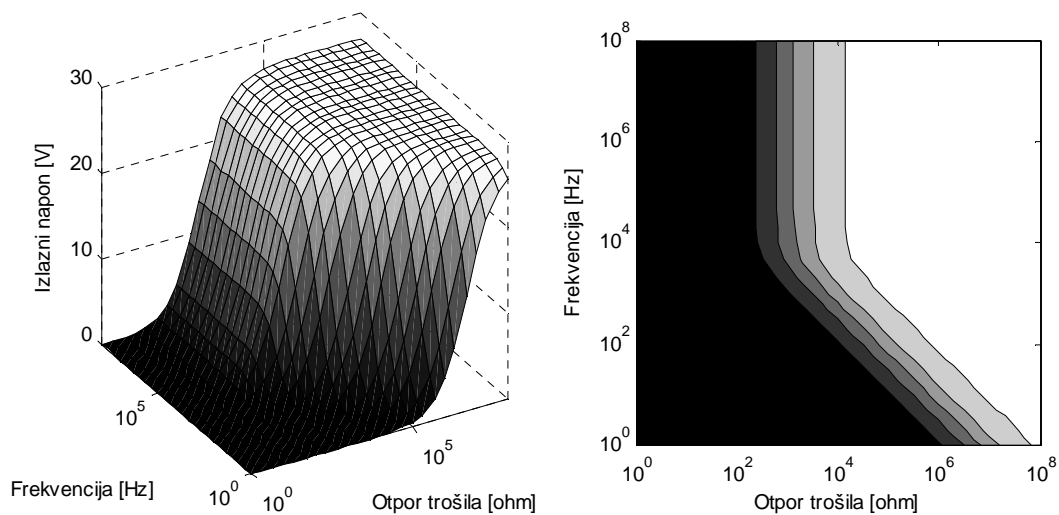
takta kao što je prikazano slikom 3.1. Kod proračuna nabojske pumpe za ΔU se uzima empirijski dobivena pretpostavljena vrijednost od 800 mV [24].

Prijenos naboja između susjednih stupnjeva nije trenutačan, već je njegovo trajanje određeno vremenskom konstantom koju tvore spojni kondenzatori susjednih stupnjeva, otpor propusno polariziranih tranzistora i otpor izvora.

Korištenjem izraza (3-75) dobivaju se kombinacije frekvencije i kapaciteta za koje je osigurana tražena izlazna struja. Odabir para vrijednosti frekvencije signala takta i kapaciteta spojnih kondenzatora ovisi o konkretnoj primjeni, tj. da li postoje ograničenja koja se odnose na frekvenciju rada i kapacitet kondenzatora, odnosno površinu sklopa. Kao što je opisano u poglavlju 3.2, klasični model nabojske pumpe koji se koristi pri inicijalnom proračunu za broj stupnjeva nabojske pumpe ne sadrži utjecaj serijskih otpora tranzistora i izvora na rad nabojske pumpe, te je stoga moguće odabrati kombinaciju kapaciteta i frekvencije rada koja neće dati zadovoljavajuće radne značajke nabojske pumpe. U idućem poglavlju opisana je nova metodologija određivanja parametara dvo-fazne nabojske pumpe koja se nadograđuje na ovdje opisani postupak a uzima u obzir degradaciju radnih značajki uslijed povećanja frekvencije.

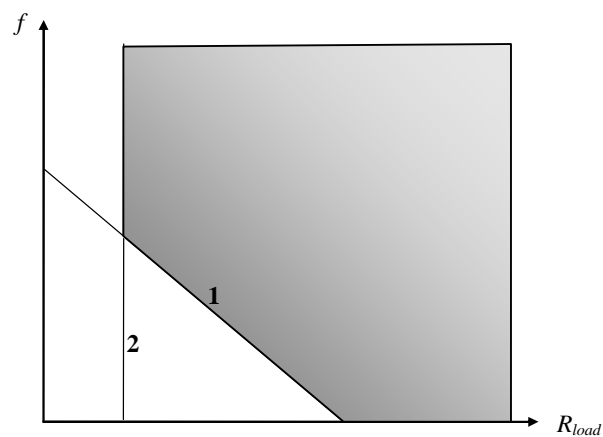
3.4 Nova metoda određivanja parametara nabojske pumpe

U poglavlju 3.2 opisan je matematički model Dicksonove nabojske pumpe koji u sebi sadrži serijski otpor tranzistora te otpor izvora. Proračunom se dobivaju vrijednosti izlaznog napona za različite vrijednosti frekvencije signala takta i otpora trošila kao što je prikazano slikom 3.9.



Slika 3.9. Izlazni napon Dicksonove nabojne pumpe za različite vrijednosti frekvencije signala takta i otpora trošila

Za praktičnu primjenu ovog matematičkog modela, dovoljno je znati granice unutar kojih nabojna pumpa postiže više od dvije trećine maksimalnog izlaznog napona. Na taj se način može definirati područje u kojem odabir parametara nabojne pumpe rezultira zadovoljavajućim radnim značajkama sklopa. Iz slike 3.9 vidljivo je da se spomenute granice mogu definirati pomoću dva pravca, kao što je prikazano slikom 3.10.



Slika 3.10. Granice područja rada nabojne pumpe definirane pravcima 1 i 2

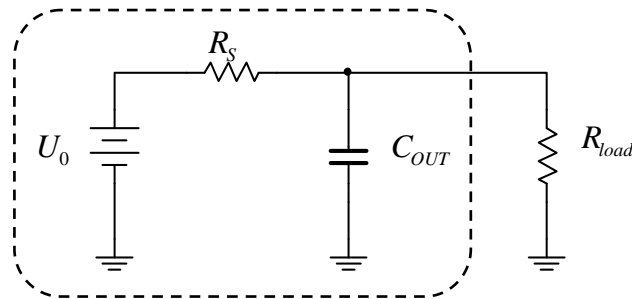
Dijagonalni pravac (1) odgovara klasičnom matematičkom modelu Dicksonove nabojske pumpe i ovisi o ekvivalentnom serijskom otporu nabojske pumpe koji za Dicksonovu nabojsku pumpu ima sljedeći oblik:

$$R_s = \frac{N}{(C + C_s)f} \quad (3-76)$$

Budući da parazitni kapacitet C_s rijetko prelazi 10% vrijednosti kapaciteta spojnih kondenzatora C , a sa sigurnošću se ne može odrediti prije ekstrakcije parametara na gotovom topološkom nacrtu (eng. *layout*) nabojske pumpe, radi lakšeg proračuna koristit će se sljedeći izraz za vrijednost otpora R_s :

$$R_s = \frac{N}{Cf} \quad (3-77)$$

Korištenjem nadomjesnog modela nabojske pumpe pod opterećenjem dobiva se sljedeći shematski prikaz.



Slika 3.11. Nadomjesni model nabojske pumpe s otpornim opterećenjem

Da bi izlazni napon nabojske pumpe bio dvije trećine maksimalnog izlaznog napona koji se postiže u praznom hodu bez spojenog otpornog prošila, omjer serijskog otpora nabojske pumpe (3-77) i otpora trošila mora biti:

$$R_{load} = 2R_s = \frac{2N}{C \cdot f} \quad (3-78)$$

Izraz (3-78) definira prvu granicu gdje nabojska pumpa, za sve vrijednosti otpora trošila veće od onih dobivenih izrazom (3-78), postiže izlazni napon viši od 2/3 maksimalnog.

Druga granica (okomiti pravac 2 na slici 3.10) definirana je vremenskom konstantom koju tvore kapaciteti spojnih kondenzatora i serijski otpor diodno spojenih propusno polariziranih tranzistora i otpor izvora. Da bi se omogućio potpuni prijenos naboja između susjednih stupnjeva, trajanje poluperiode signala takta mora jednako ili dulje od četverostruke vrijednosti najveće vremenske konstante kod nabojske pumpe. Vremenska konstanta prijenosa naboja između susjednih stupnjeva jednaka je:

$$\tau = (R_D + R_{izvor}) \cdot \frac{C}{2}. \quad (3-79)$$

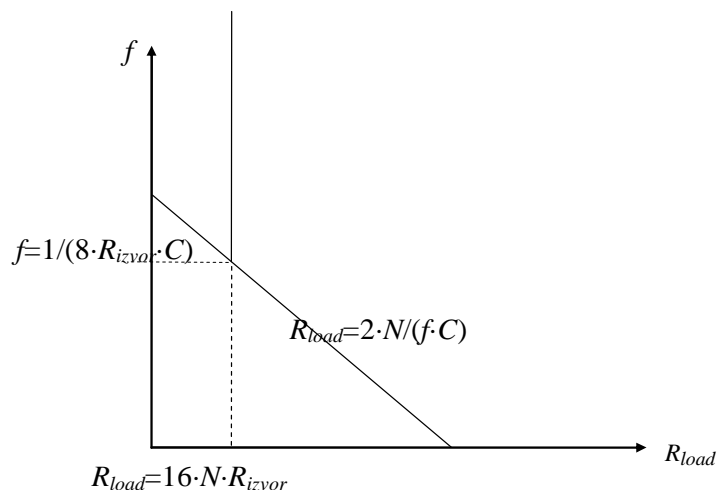
Faktor $C/2$ u izrazu (3-79) javlja se zbog serijskog spoja kondenzatora u susjednim stupnjevima koji su najčešće jednakog kapaciteta, dok vremenska konstanta kod prijenosa naboja iz izvora u prvi stupanj nabojske pumpe ima sljedeći oblik:

$$\tau_0 = (R_D + R_{izvor}) \cdot C. \quad (3-80)$$

Budući da potpuni prijenos naboja u prvi stupanj nabojske pumpe traje dvostruko dulje od prijenosa naboja između susjednih stupnjeva nabojske pumpe, kod određivanja granica rada nabojske pumpe treba koristiti izraz (3-80). Time je definirana maksimalna frekvencija (3-81) do koje se povećanjem frekvencije rada postiže veća izlazna struja:

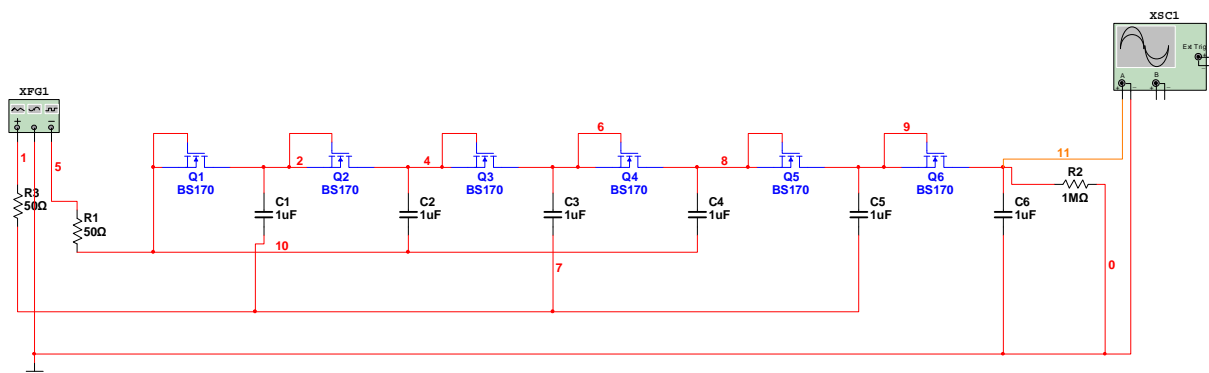
$$f = \frac{1}{8(R_D + R_{source})C}. \quad (3-81)$$

Faktor 8 u nazivniku odgovara trajanju poluperiode signala takta koja je jednaka četverostrukoj vrijednosti vremenske konstante. Povećanjem frekvencije rada iznad vrijednosti definirane u (3-81) izlazna struja se ne povećava jer ukupna količina naboja prenesena u jedinici vremena više ne raste zbog prekratkog trajanja poluperiode signala takta. Sada se granice na slici 3.10. mogu definirati na način prikazan slikom 3.12.



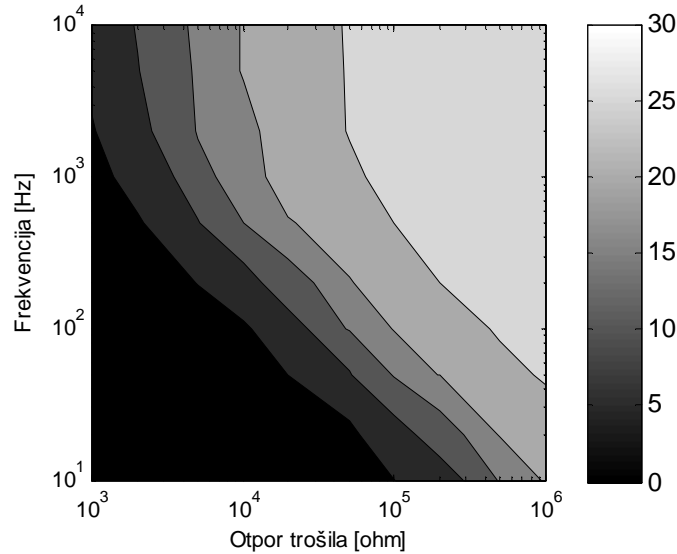
Slika 3.12. Granice područja rada Dicksonove nabojske pumpe

Da bi se potvrdila teorijska razmatranja iz kojih je proizašao matematički model kao i definirane granice rada Dicksonove nabojske pumpe, izvedena je SPICE simulacija Dicksonove nabojske pumpe s 5 stupnjeva čiji je shematski prikaz dan slikom 3.13.



Slika 3.13. Shematski prikaz Dicksonove nabojske pumpe korišten za SPICE simulaciju

Korišteni su kondenzatori kapaciteta 1 μF , amplituda signala takta je 5 V, a ukupni otpor izvora 100 Ω . Promjenom otpora trošila i frekvencije signala takta dobivene su vrijednosti izlaznog napona prikazane slikom 3.14.



Slika 3.14. SPICE simulacija izlaznog napona Dicksonove nabojske pumpe

Može se jasno vidjeti da je područje parova vrijednosti frekvencije signala takta i otpora trošila određeno dvjema granicama kao što je definirano slikama 3.10 i 3.12. Većina nabojskih pumpi su dvo-fazne nabojske pumpe koje su nastale daljnjim razvojem Dicksonove nabojske pumpe. Radi šire primjenjivosti predstavljene metode određivanja parametara Dicksonove nabojske pumpe, potrebno je poopćenje metode na bilo koju dvo-faznu nabojsku pumpu. Da bi se to ostvarilo, potrebno je poopćenje izraza (3-78) i (3-81). Izraz (3-81) kojim je definiran pravac 2 na slici 3.10, odnosno 3.12 se ne mora mijenjati, jer se odnosi na vremensku konstantu punjenja prvog stupnja nabojske pumpe i kao takav primjenjiv je za sve dvo-fazne nabojske pumpe. Izraz (3-78) koji vrijedi za sve dvo-fazne nabojske pumpe ima sljedeći oblik:

$$R_{load} = 2 \cdot R_S \quad (3-82)$$

Da bi bio primjenjiv potrebno je odrediti ekvivalentni serijski otpor nabojske pumpe za koju se radi proračun. Prema [27] slijedi da se serijski otpor bilo koje dvo-fazne nabojske pumpe može odrediti na sljedeći način:

$$R_S = \frac{1}{f} \cdot \sum_{i=1}^N \frac{(a_{ci})^2}{C_i} \quad (3-83)$$

gdje je f frekvencija rada nabojske pumpe, N je broj stupnjeva, C_i kapacitet kondenzatora i -tog stupnja, a $a_{ci} = q_i/q_{out}$ je faktor multiplikacije naboja koji označava omjer naboja q_i koji i -ti stupanj primi/preda svake periode i naboja q_{out} koji nabojska pumpa predaje izlazu. Faktor a_{ci} se računa za nabojsku pumpu u ustaljenom stanju kada je količina primljenog naboja u jednoj poluperidi jednaka količini predanog naboja u sljedećoj poluperiodi. Za Dicksonovu nabojsku pumpu vrijedi da je njezin serijski otpor jednak:

$$R_s = \frac{1}{f} \cdot \sum_{i=1}^N \frac{1}{C_i}. \quad (3-84)$$

Budući da je faktor a_{ci} jednak 1, a uz uvjet da su spojni kondenzatori u svim stupnjevima jednaki, dobiva se izraz:

$$R_s = \frac{N}{f \cdot C}, \quad (3-85)$$

koji odgovara izrazu (3-77) za ekvivalentni serijski otpor Dicksonove nabojske pumpe. Na sličan se način može odrediti ekvivalentni serijski otpor bilo koje dvo-fazne nabojske pumpe. Kao primjer, ovdje je dan proračun za Fibonaccijevu nabojsku pumpu koja je detaljnije opisana u poglavlju 5.4. Faktori a_{ci} Fibonaccijeve nabojske pumpe određuju se na sljedeći način:

$$a_{ci} = F_{N-i} \quad \text{za} \quad i = 1..N, \quad (3-86)$$

što znači da je serijski otpor Fibonaccijeve nabojske pumpe jednak:

$$R_s = \frac{1}{f} \cdot \sum_{i=1}^N \frac{(F_{N-i})^2}{C_i}. \quad (3-87)$$

Za Fibonaccijevu pumpu sa 6 stupnjeva dobivaju se sljedeći izrazi:

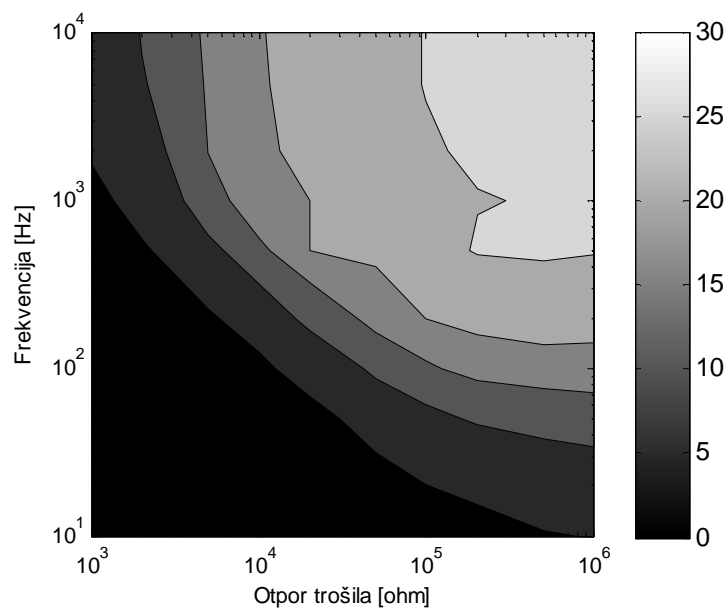
$$R_{out} = \frac{1}{f \cdot C} (F_5^2 + F_4^2 + F_3^2 + F_2^2 + F_1^2 + F_0^2), \quad (3-88)$$

$$R_{out} = \frac{1}{f \cdot C} (8^2 + 5^2 + 3^2 + 2^2 + 1^2 + 1^2), \quad (3-89)$$

$$R_{out} = \frac{104}{f \cdot C}. \quad (3-90)$$

Može se vidjeti da je ekvivalentni otpor bitno veći od Dicksonove nabojne pumpe kod koje bi za pumpu sa istim brojem stupnjeva faktor u brojničku bio 6.

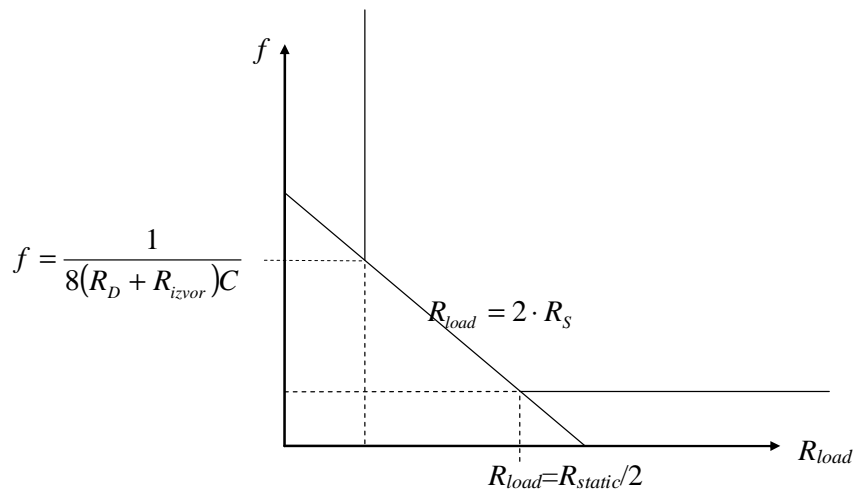
U slučaju da nabojne pumpe imaju i statičku potrošnju, ona se manifestira na sljedeći način. Budući da se svaki stupanj nabojne pumpe može modelirati s jednim paralelno spojenim otporom koji predstavlja statičku potrošnju stupnja, javlja se još jedno ograničenje kod odabira parametara nabojne pumpe.



Slika 3.15. SPICE simulacija izlaznog napona Dicksonove nabojne pumpe sa statičkom potrošnjom

Slika 3.15 prikazuje utjecaj statičke potrošnje nabojne pumpe na izlazni napon. Da bi se simulirala statička potrošnja svakom kondenzatoru nabojne pumpe sa slike 3.13 dodan je paralelno otpornik od 200 kΩ. Što je veća vrijednost otpora koji predstavlja statičku potrošnju, manje je odstupanje rezultata simulacije od slike 3.14. Dok je za manje vrijednosti

otpora, tj. za veću statičku potrošnju, i veći odmak područja rada nabojske pumpe od osi apscise. Opće granice područja rada dvo-fazne nabojske pumpe prikazane su slikom 3.16.



Slika 3.16. Granice područja rada dvo-faznih nabojskih pumpi

Otpor koji predstavlja statičku potrošnju pojedinog stupnja nabojske pumpe i otpor trošila spojeni su paralelno ako se promatra posljednji stupanj nabojske pumpe. Da bi izlazni napon bio veći ili jednak $2/3$ njegovog maksimalnog iznosa, omjer otpora trošila i otpora koji predstavlja statičku potrošnju mora biti:

$$R_{load} = \frac{R_{static}}{2}. \quad (3-91)$$

Uz ovakav omjer $2/3$ ukupne struje teče kroz otpor trošila. Ukupni izlazni otpor (paralelni spoj otpora statičke potrošnje i otpora trošila) je približno jednak otporu trošila za sve vrijednosti otpora trošila manje od $R_{static}/2$. Povećanjem otpora trošila iznad vrijednosti otpora statičke potrošnje, ukupni izlazni otpor sve više ovisi o otporu statičke potrošnje te se daljnim povećanjem otpora trošila izlazni otpor ne mijenja već postaje jednak otporu statičke potrošnje.

4. Utjecaj efekta podloge na napon praga MOSFET-a

U oba opisana matematička modela Dicksonove nabojske pumpe pretpostavlja se isti pad napona na propusno polariziranim diodno spojenim tranzistorima. U stvarnosti to nije slučaj zbog efekta podloge (eng. *body effect*) koji se javlja kada postoji razlika potencijala između uvoda i podloge MOSFET-a, a očituje se kao porast napona praga tranzistora. U nabojskim pumpama gdje su tranzistori diodno spojeni, efekt podloge uzrokuje povećanje pada napona na propusno polariziranim diodno spojenim tranzistorima.

Napon praga MOSFET-a može se izraziti kao:

$$U_m = U_m(U_{SB} = 0) + \gamma \left(\sqrt{\Phi_S + U_{SB}} - \sqrt{\Phi_S} \right), \quad (4-1)$$

gdje je Φ_S potencijal površine (eng. *surface potential*) i jednak je:

$$\Phi_S = 2 \frac{kT}{q} \cdot \ln \frac{N_A}{n_i}, \quad (4-2)$$

a γ je koeficijent efekta podloge i može se opisati sljedećim izrazom:

$$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_S N_A} = \frac{\sqrt{2q\epsilon_S N_A}}{C_{ox}}. \quad (4-3)$$

Napon $U_m(U_{SB} = 0)$ iz izraza (4-1) odgovara naponu praga tranzistora bez efekta podloge, a napon U_{SB} je napon između uvoda i podloge uslijed kojeg se javlja efekt podloge. Može se vidjeti da sa porastom napona uvoda, raste i napon praga, što rezultira smanjenjem struje I_D i smanjenjem prijenosa naboja između susjednih stupnjeva nabojske pumpe, a što opet ima za posljedicu lošije radne značajke nabojske pumpe.

Kod klasične Dicksonove nabojske pumpe, svaki stupanj povećava napon prethodnog stupnja za sljedeći iznos:

$$\Delta U = \frac{C}{C + C_S} U_{DD} - U_m[U_{SB}(k)] \quad k = 1..N, \quad (4-4)$$

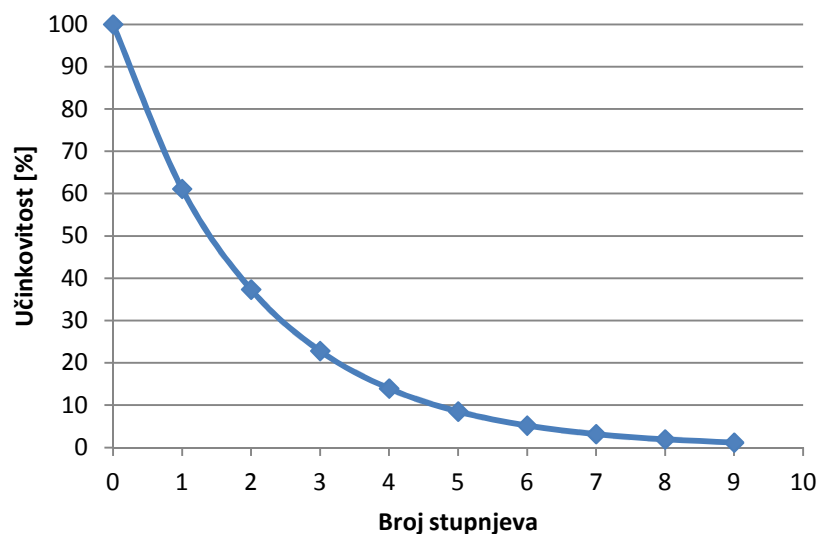
gdje je C vrijednost kapaciteta spojnog kondenzatora u svakom stupnju nabojske pumpe, C_S je paraziti kapacitet stupnja, U_{DD} je amplituda signala takta koja je jednaka razini napona napajanja, a $U_m[U_{SB}(k)]$ je napon praga MOSFETa k -tog stupnja ovisan o naponu između uvoda i podloge MOSFET-a.

Može se vidjeti da se sa povećanjem broja stupnjeva nabojske pumpe, povećanje napona po stupnju smanjuje za naredne stupnjeve, jer se napon praga povećava. Kad napon praga MOSFET-a posljednjeg stupnja Dicksonove nabojske pumpe postane jednak naponu $\frac{C}{C+C_S}U_{DD}$, izlazni napon nabojske pumpe se više neće povećavati bez obzira na broj dodanih stupnjeva. Efekt podloge predstavlja sve veći problem kako se napon napajanja spušta ispod 2 V. Što su napon napajanja i amplituda signala takta niži, to je veći utjecaj efekta podloge na rad nabojske pumpe.

Kod dvo-faznih nabojskih pumpi, smanjenje učinkovitosti uslijed napona praga tranzistora po stupnju nabojske pumpe može se odrediti iz sljedećeg izraza:

$$Gubitak = \frac{U_m}{U_\Phi} . \quad (4-5)$$

Upravo zbog napona praga tranzistora prijenos naboja između stupnjeva nije potpun. Npr. sa amplitudom signala takta od 1,8 V i naponom praga NMOS tranzistora od 0,7 V, gubitak naboja u svakom stupnju nabojske pumpe iznosi 38,88%. Na slici 4.1 dan je grafički prikaz koji zorno ilustrira utjecaj napona praga na smanjenje učinkovitosti prijenosa naboja kod nabojske pumpe.



Slika 4.1 Učinkovitost prijenosa naboja za različit broj stupnjeva nabojske pumpe

U situaciji kad su vrijednosti amplitude signala takta i napona praga NMOS tranzistora relativno bliske, a kad se u obzir uzme i efekt podloge, smanjenje učinkovitosti po stupnju još je i veće. Nabojne pumpe su specifične po tome što već i kod prvog stupnja postoji izražen efekt podloge. U idealnom slučaju, prvi kondenzator dvo-fazne nabojne pumpe puni se na vrijednost istosmjernog naponskog izvora U_{in} , koji je često jednak amplitudi signala takta. Prilikom punjenja prvog kondenzatora, kako napon na njemu raste, raste i napon uvoda NMOS tranzistora. Porastom napona između uvoda i podloge U_{SB} , počinje se javljati i utjecaj efekta podloge te napon praga NMOS tranzistora raste. Taj je utjecaj sve izraženiji kako broj stupnjeva nabojne pumpe raste.

Postoje različite metode [42]-[45] kojima se pokušava riješiti problem utjecaja efekta podloge. Najčešće korištene metode mogu se svrstati u dvije kategorije: metode koje koriste poništavanje utjecaja napona praga [46]-[48] i metode koje koriste udvostručenje amplitude signale takta.

4.1 Poništavanje utjecaja napona praga

Prijenos naboja između dva susjedna stupnja nabojne pumpe nije idealan. Naime, uvijek u prethodnom stupnju ostaje količina naboja koja odgovara naponu praga tranzistora:

$$\Delta Q = C \cdot U_m . \quad (4-6)$$

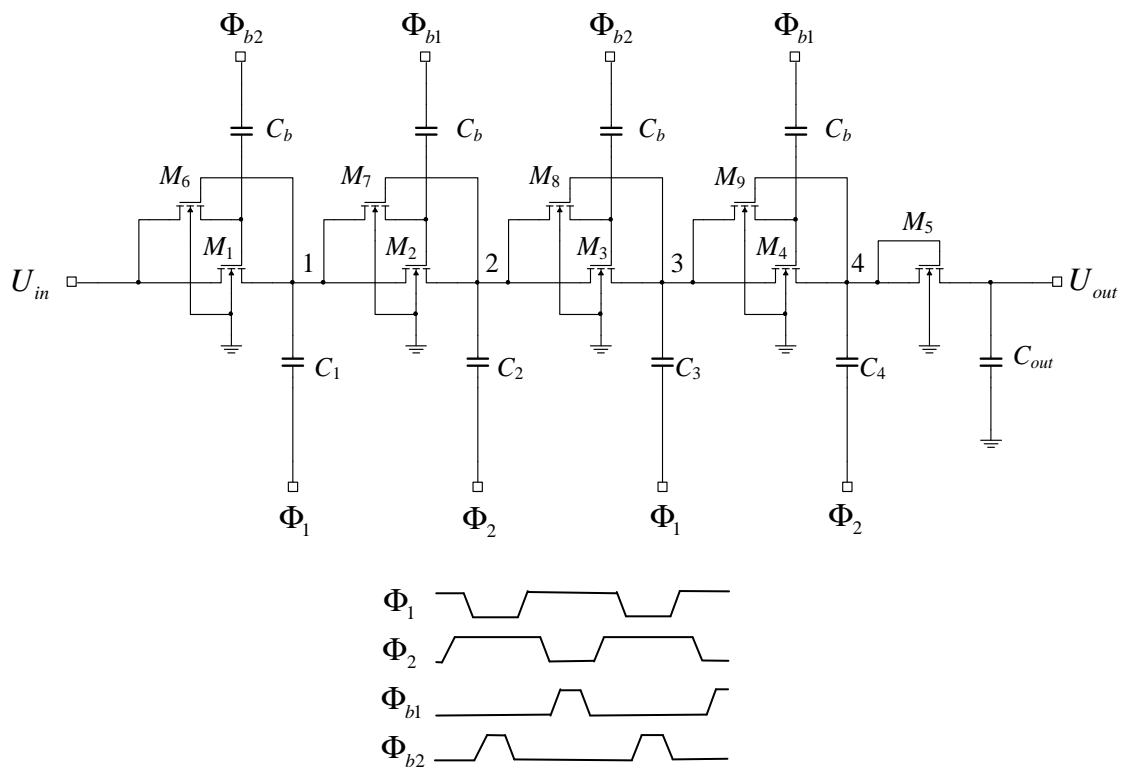
Ta se količina naboja povećava u kasnijim stupnjevima nabojne pumpe sukladno povećanju napona praga uslijed efekta podloge. Da bi se povećala učinkovitost nabojne pumpe, potrebno je smanjiti tu količinu naboja koja ostaje u pojedinom stupnju nabojne pumpe. Uspješno poništavanje utjecaja napona praga diodno spojenih tranzistora ima dvostruki utjecaj na poboljšavanje performansi nabojne pumpe. Kao prvo, smanjuje se zaostala količina naboja u prethodnom stupnju nabojne pumpe te se time osigurava veća učinkovitost. Drugo, smanjuje se ekvivalentni otpor spojnih tranzistora.

Uz bitno manji ekvivalentni otpor spojnih tranzistora, značajno se smanjuje i vremenska konstanta $\tau = R_D C$, koja definira vrijeme potrebno za potpuni prijenos naboja između susjednih stupnjeva. Što znači da se smanjenjem vremenske konstante τ , povećava maksimalna frekvencija rada nabojne pumpe. A uz povećanje frekvencije rada nabojne pumpe, povećava se ukupna količina naboja predana na izlaz nabojne pumpe u jedinici

vremena, čime se povećava maksimalna struja koju nabojna pumpa može osigurati. Dobri primjeri nabojne pumpe koja koristi metodu poništavanja utjecaja napona praga su nabojna pumpa sa četiri signala takta [47] te nabojna pumpa sa sklopkama za prijenos naboja - CTS (eng. *Charge Transfer Switches*) [48].

4.2 Nabojna pumpa sa četiri signala takta

Samopodrživa nabojna pumpa (eng. *bootstrap charge pump*) sa četiri signala takta primjer je nabojne pumpe koja koristi metodu poništavanja utjecaja napona praga. Slika 4.2 prikazuje shemu takve nabojne pumpe sa četiri signala takta.



Slika 4.2 Samopodrživa nabojna pumpa sa četiri signala takta [47]

Usporedbom strukture Dicksonove nabojne pumpe sa samopodrživom nabojnom pumpom može se vidjeti da ova nabojna pumpa ima po jedan dodatni tranzistor i kondenzator u svakom stupnju. Također, za razliku od dvo-faznih nabojnih pumpi, za ispravan joj je rad potrebno četiri signala takta čiji su valni oblici također prikazani slikom 4.2.

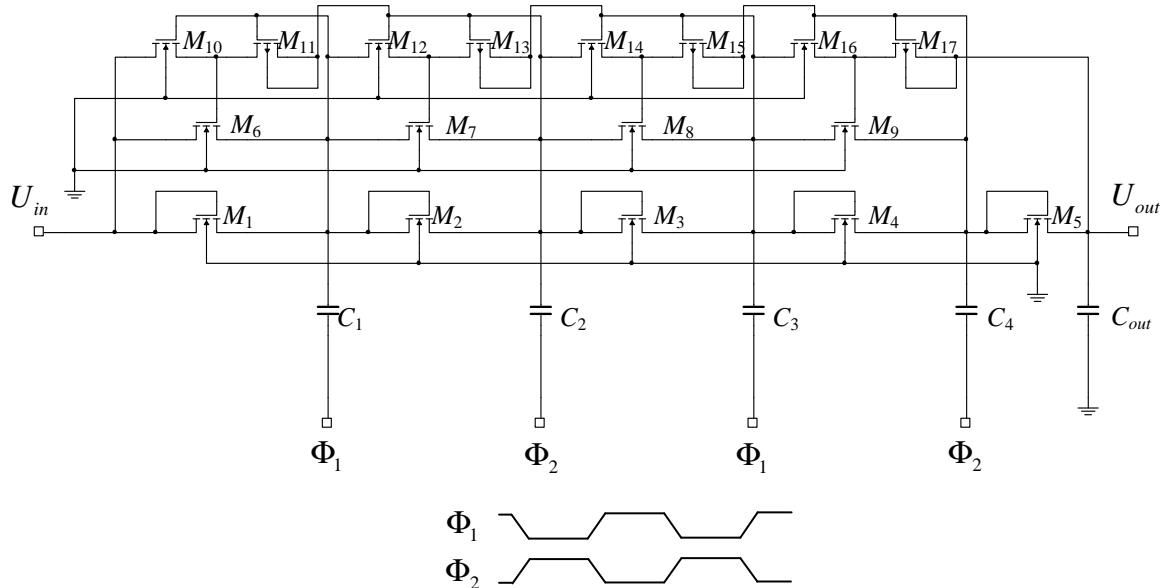
Φ_1 i Φ_2 su signali takta zaduženi za prijenos naboja između stupnjeva pumpe, dok su signali takta Φ_{b1} i Φ_{b2} zaduženi za upravljanje dodatnim tranzistorom i kondenzatorom pomoću kojih se ostvaruje poništavanje utjecaja napona praga tranzistora. Još jedna razlika u usporedbi sa Dicksonovom nabojskom pumpom je preklapanje visokih stanja signala takta Φ_1 i Φ_2 . Ovo preklapanje visokih stanja ključno je za ispravan rad samopodržive nabojske pumpe jer se u vremenskom intervalu kada su oba signala takta u visokom stanju osigurava uspješno poništavanje utjecaja napona praga i sprječava reverzna struja curenja, dok je kod klasične Dicksonove nabojske pumpe ovakvo preklapanje nepoželjno kao što je i objašnjeno u poglavlju 2.5.

Dva dodatna signala takta, Φ_{b1} i Φ_{b2} , tijekom prijenosa naboja između susjednih stupnjeva, podižu potencijal upravljačke elektrode spojnih tranzistora (npr. M_1 i M_2 na slici 4.2) na vrijednost koja je za amplitudu signala takta viša od potencijala odvoda. Uz uvjet da je amplituda signala takta viša od napona praga tranzistora, u potpunosti se poništava utjecaj napona praga tranzistora te je omogućen potpun prijenos naboja između susjednih stupnjeva. Loša strana ovakve topologije jest potreba za korištenjem četiri signala takta koji moraju biti vrlo precizno usklađeni, kao i potreba za dodatnim kapacitetima koji se koriste za poništavanje utjecaja napona praga.

4.3 Sklopke za prijenos naboja – CTS (eng. *Charge Transfer Switches*)

CTS nabojska pumpa koristi za poboljšavanje radnih značajki dinamičnu povratnu vezu pomoću koje se poništava utjecaj napona praga diodno spojenih tranzistora. Slika 4.3 prikazuje CTS nabojsku pumpu sa četiri stupnja. Tranzistori M_1 do M_5 zajedno s kapacitetima C_1 do C_5 tvore Dicksonovu nabojsku pumpu, dok se tranzistori M_6 do M_9 koriste za dinamičko poništavanje utjecaja napona praga.

Uvjet (4-13) može biti zadovoljen samo za napone napajanja vrlo bliske naponu praga tranzistora. Za napone napajanja, tj amplitude signala takta koje su veće od $\frac{3}{2}U_m$, javlja se reverzna struja curenja za vrijeme punjenja spojnog kondenzatora. Da bi se poboljšala CTS nabojska pumpa i riješio problem struje curenja razvijena je modificirana CTS nabojska pumpa prikazana slikom 4.4.



Slika 4.4 Modifikacija CTS nabojske pumpe [48]

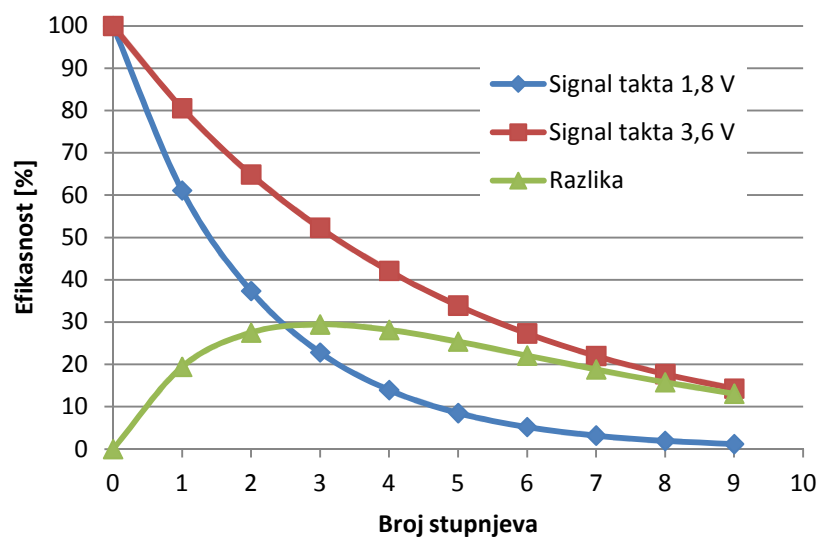
Dodavanjem dva nova tranzistora (PMOS i NMOS par tranzistora – npr. M_{10} i M_{11}) svakom stupnju nabojske pumpe omogućena je kontrola napona upravljačke elektrode tranzistora M_6 do M_9 . PMOS tranzistor omogućuje da se viša naponska razina sa sljedećeg stupnja dovede na upravljačku elektrodu tranzistora kojima se poništava utjecaj napona praga (M_6 , M_7 , M_8 i M_9). Dodatni NMOS tranzistor sprečava curenje naboja u prethodni stupanj tijekom poluperiode signala takta kada je Φ_2 u stanju logičke nule. Time se izbjegava uvjet (4-13), te nabojska pumpa može raditi i s amplitudama signala takta višim od $\frac{3}{2}U_m$.

Još jedna prednost modificirane CTS nabojske pumpe jest mogućnost rada bez istosmjernog izvora napajanja koji se obično dovodi na ulaz prvog stupnja nabojske pumpe.

4.4 Udvostručenje amplitude signala takta

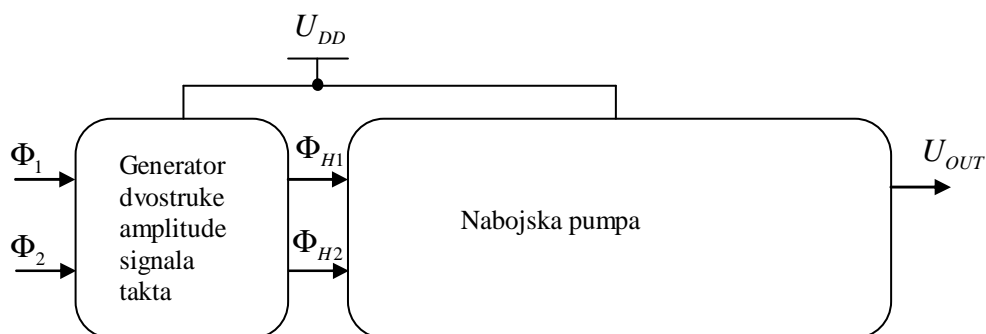
Za razliku od metode poništavanja utjecaja napona praga tranzistora, metoda udvostručenja amplitude signala takta bazira se na smanjivanju negativnih efekata koji se javljaju uslijed napona praga tranzistora. Povećanjem amplitude signala takta smanjuje se gubitak naboja po stupnju nabojske pumpe definiran u (4-5).

Slika 4.5. prikazuje učinkovitost nabojske pumpe za dvije vrijednosti amplitude signala takta, dok su svi ostali parametri nabojske pumpe nepromijenjeni.



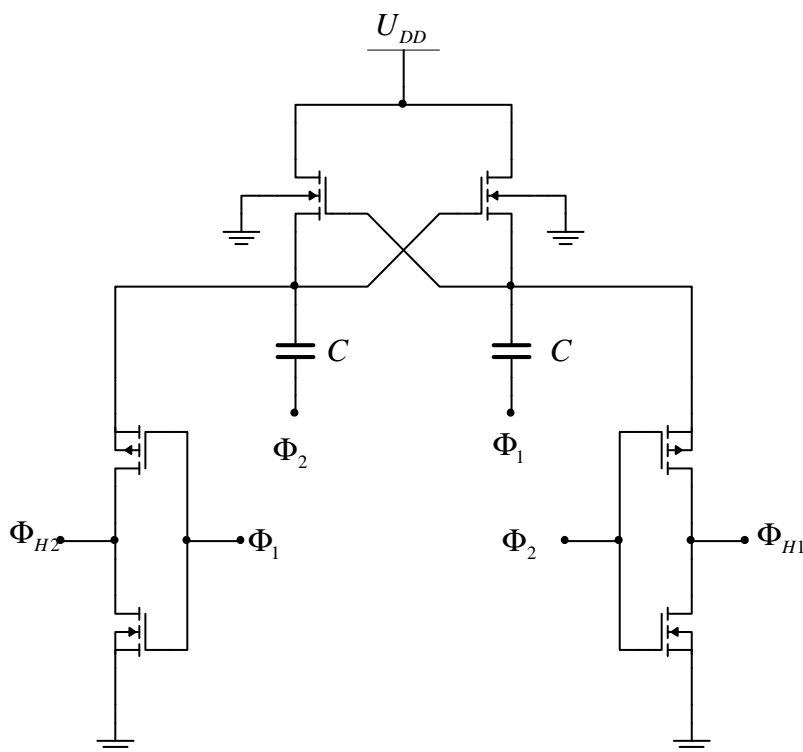
Slika 4.5. Učinkovitost nabojske pumpe za dvije vrijednosti amplitude signala takta

Udvostručenjem amplitude signala takta učinkovitost nabojske pumpe se značajno povećava, te tako za nabojsku pumpu s 9 stupnjeva umjesto 1,2 % iznosi 14,3 %. Bitno je i naglasiti da je uz dvostruko veću amplitudu signala takta za postizanje istog izlaznog napona potreban manji broj stupnjeva te je učinkovitost nabojske pumpe još veća. U usporedbi s konvencionalnom nabojskom pumpom, pumpe s dvostrukom amplitudom signala takta trebaju dodatni sklop za generiranje novog signala takta.



Slika 4.6. Blokovski prikaz nabojske pumpe s dvostrukom amplitudom signala takta

Signali Φ_1 i Φ_2 su signali takta čija amplituda odgovara naponu napajanja integriranog sklopa, i za čije se generiranje koriste sklopovi opisani u poglavlju 2.5. Da bi se generirali signali takta (Φ_{H1} i Φ_{H2}) amplitude dvostruko veće od napona napajanja, najčešće se koristi sklop prikazan slikom 4.7.



Slika 4.7. Generator signala takta dvostruke amplitude

Da bi generator sa slike 4.7 uspješno radio kao izvor signala takta nabojske pumpe (Slika 4.6.) on mora biti u stanju osigurati potrebnu struju. Izlazna struja nabojske pumpe je bitno manja od ulazne struje nabojske pumpe i generalno gledano ovisi o broju stupnjeva. Za veći broj stupnjeva nabojske pumpe potrebna je i veća ulazna struja da bi se osigurala tražena

izlazna struja sklopa. Zbog negativnih efekata koji se javljaju kod rada pumpe, kao što su na primjer utjecaj napona praga i njegova ovisnost o efektu podloge, odnos broja stupnjeva i izlazne struje nabojske pumpe je obrnuto proporcijalan i nije linearan, već se izlazna struja gotovo eksponencijalno smanjuje s povećanjem broja stupnjeva nabojske pumpe.

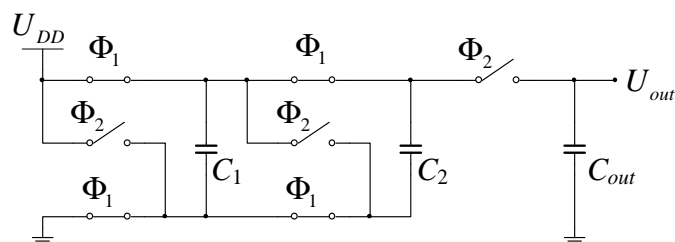
Da bi generator dvostruke amplitude signala takta osigurao traženu ulaznu struju, kapaciteti kondenzatora na koje se dovode originalni signali takta (Slika 4.7) moraju biti ispravno dimenzionirani. Ovisno o traženoj struji, njihov kapacitet je pravilu višestruko veći od kapaciteta spojnih kondenzatora nabojske pumpe koja koristi udvostručenu amplitudu signala takta (Slika 4.6). Time je povećana površina koju takva nabojska pumpa zauzima. Kod praktične implementacije bitno je usporediti prednosti i mane ovakvog dizajna sa tehničkim zahtjevima koju su postavljeni od kojih su u ovom slučaju posebno značajni napon napajanja i napon praga, kao i traženi izlazni napon i struja o kojima izravno ovisi površina koju će sklop zauzimati. U slučaju da su napon napajanja i napon praga relativno bliski opravdano je korištenje ovog dizajna, jer se time povećava učinkovitost pretvorbe (Slika 4.5), dok površina ovisi o traženom dobitku (omjer ulaznog i izlaznog napona) i izlaznoj struji. Povećanjem tih dvaju faktora potrebna je veća ulazna struja nabojske pumpe, a time i veće dimenzije kondenzatora u sklopu generatora dvostruke amplitude signala takta.

5. Nabojne pumpe s visokim dobitkom

U novije vrijeme, zajedno s trendom smanjivanja napona napajanja, javlja se i interes za nabojnim pumpama s dobitkom višim od dobitka nabojnih pumpi baziranih na topologiji Dicksonove nabojne pumpe. Nabojne pumpe visokih dobitaka su nabojne pumpe kod kojih je omjer izlaznog i ulaznog napona veći od broja stupnjeva nabojne pumpe. Sve nabojne pumpe opisane u prethodnim poglavljima imaju dobitak (omjer izlaznog i ulaznog napona) koji prati aritmetički niz, što znači da je dobitak nabojne pumpe jednak N -tom članu aritmetičkog niza za nabojnu pumpu s N stupnjeva. Da bi se realizirala dvo-fazna nabojna pumpa visokog dobitka koriste se MOS sklopke koje mijenjaju topologiju nabojne pumpe za suprotne poluperiode signala takta. Time se omogućavaju mehanizmi prijenosa naboja drugačiji nego kod Dicksonove nabojne pumpe čime se postižu viši izlazni naponi uz manju izlaznu struju. Ovakve arhitekture su pogodnije za primjenu kod sklopova s niskim strujnim opterećenjem te kod dizajna u kojima je površina sklopa značaj faktor, budući da se isti izlazni naponi mogu postići s manjim brojem stupnjeva nabojne pumpe.

5.1 Serijsko-paralelna nabojna pumpa

Serijsko-paralelna nabojna pumpa (eng. *heap charge pump*) [49], [50] po svojem dobitku spada u nabojne pumpe s aritmetičkom progresijom, ali koristi MOS sklopke na način koji je svojstven pumpama s visokim dobitkom, te je dobar primjer za pojašnjenje problematike upravljanja sklopkama. Topologija serijsko-paralelne nabojne pumpe je prikazana slikom 5.1.



Slika 5.1. Serijsko-paralelna nabojna pumpa [25]

Slika 5.1 prikazuje serijsko-paralelnu nabojnu pumpu s dva stupnja. Svaki se stupanj sastoji od jednog kondenzatora i tri MOS sklopke. Premda se ne može svrstati u nabojne

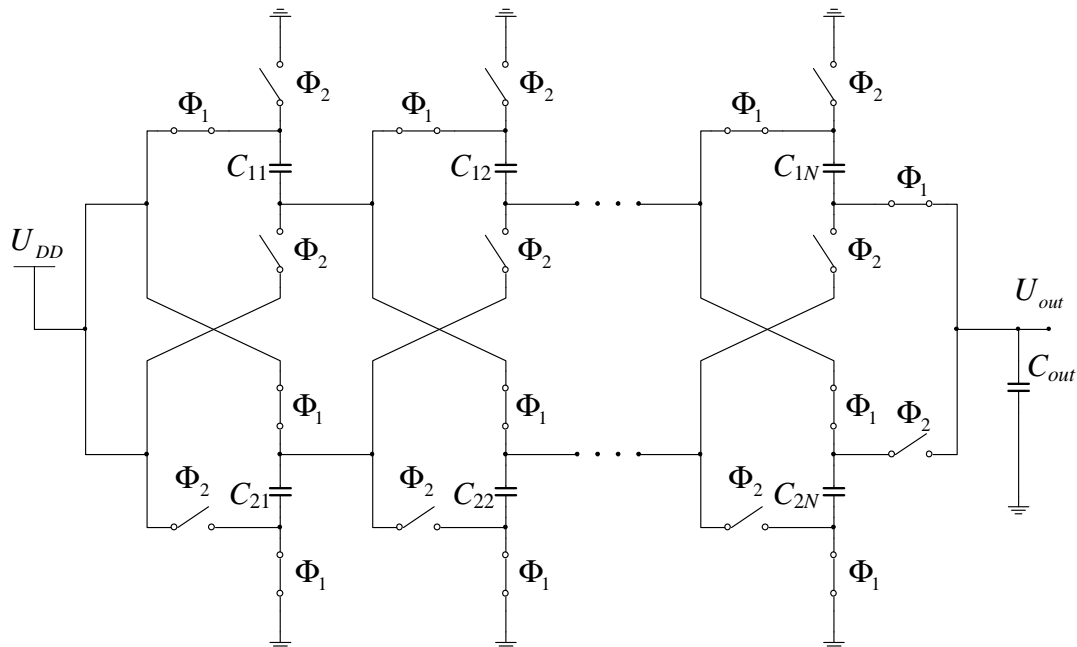
pumpe s visokim dobitkom, njezina je specifičnost istovremeno paralelno punjenje kondenzatora u svim stupnjevima tijekom jedne poluperiode signala takta, kada su sklopke Φ_1 zatvorene a sklopke Φ_2 otvorene. Tijekom druge poluperiode signala takta sve sklopke su u suprotnim položajima (sve Φ_1 sklopke otvorene, a sve Φ_2 sklopke zatvorene), te su kondenzatori svih stupnjeva spojeni serijski i pune izlazni stupanj. Glavni nedostatak ovog dizajna jest bitno veći utjecaj parazitnih kapaciteta na radne značajke nabojne pumpe u usporedbi s ostalim topologijama.

Upravljanje sklopkama također predstavlja značajan problem, zbog načina rada serijsko-paralelne nabojne pumpe. Najčešći kandidati za izvedbu sklopki kod nabojnih pumpi su NMOS tranzistori te će se ostatak analize bazirati na problematici uklapanja i isklapanja NMOS tranzistora. Implementacija Φ_1 sklopki je relativno jednostavna, jer one mogu biti diodno spojeni tranzistori (gornji red sklopki) ili je kod sklopki potencijal uvoda jednak nuli kada sklopke vode (donji red sklopki) te se za njihovo upravljanje može koristiti signal takta čija je amplituda jednaka naponu U_{DD} . Kada donji red sklopki Φ_1 ne vodi potencijal uvoda raste sa svakim stupnjem nabojne pumpe, što znači da se dovođenjem logičke nule na upravljačku elektrodu sklopki osigurava zapiranje tranzistora, jer je napon U_{GS} svake sklopke negativan, osim u prvom stupnju gdje je jednak nuli.

Problem se javlja kod upravljanja Φ_2 sklopkama. Tijekom poluperiode signala takta kad su Φ_1 sklopke otvorene, sklopke Φ_2 moraju biti zatvorene. Ako je taj uvjet zadovoljen, napon uvoda svake Φ_2 sklopke je veći od nule i raste prema narednim stupnjevima. Da bi tranzistor proveo potencijal upravljačke elektrode mora biti viši od potencijala uvoda, a da bi se uspješno poništio utjecaj napona praga NMOS tranzistora, potencijal upravljačke elektrode mora biti viši od potencijala odvoda za vrijednost napona praga tranzistora. Budući da je potencijal uvoda kod sklopki Φ_2 različit od nule, javlja se i efekt podloge uslijed kojeg raste napon praga, te se time i povećava vrijednost potencijala potrebna na upravljačkoj elektrodi pojedinog NMOS tranzistora.

5.2 Nabojna pumpa s eksponencijalnim dobitkom

Topologija nabojne pumpe čiji dobitak slijedi eksponencijalni niz [51], [52], prikazana je slikom 5.2.



Slika 5.2. Nabojna pumpa s eksponencijalnim dobitkom [51]

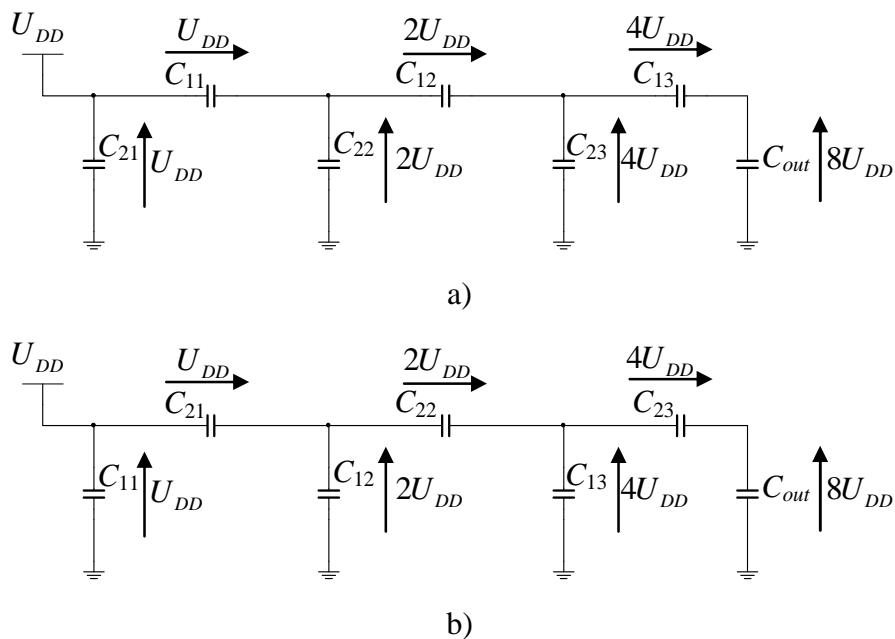
Slika 5.2. prikazuje nabojnu pumpu s tri stupnja. Za razliku od dosad opisanih nabojnih pumpi, ovdje jedan stupanj nabojne pumpe čine dva jednaka kondenzatora. Vrijednost izlaznog napona u idealnom slučaju može se opisati sljedećim izrazom:

$$U_{out} = 2^N \cdot U_{DD}, \quad (5-1)$$

gdje je N broj stupnjeva nabojne pumpe, broj kondenzatora je jednak $2N+1$. Također je potrebno naglasiti da je kod eksponencijalne nabojne pumpe potrebno koristiti 6 sklopki po stupnju pumpe, čime se povećava broj spojeva i duljina vodova, a time i vrijednost parazitnog kapaciteta svakog čvora nabojne pumpe.

Princip rada u ustaljenom stanju prikazan je slikom 5.3. Tijekom pozitivne poluperiode signala takta Φ_1 , kondenzatori eksponencijalne nabojne pumpe spojeni su kao što je prikazano slikom 5.3.a). U toj fazi rada kondenzator C_{21} prvog stupnja nabojne pumpe puni se na vrijednost napona napajanja U_{DD} . U idućoj poluperiodi signala takta kada je Φ_2 pozitivan, napon napajanja spojen u seriju sa kondenzatorom C_{21} puni kondenzator C_{12}

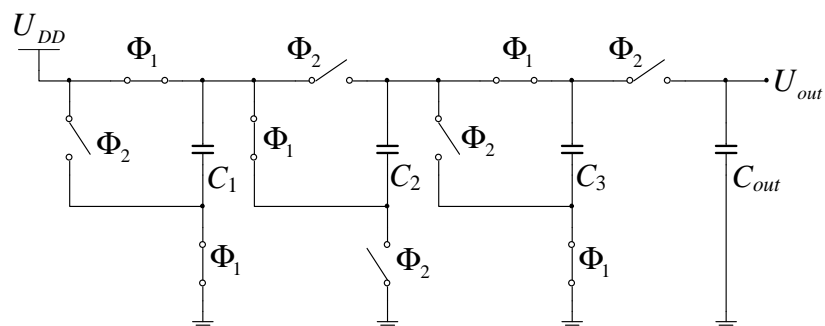
drugog stupnja na vrijednost $2U_{DD}$. Istovremeno se puni i kondenzator C_{11} prvog stupnja nabojske pumpe na vrijednost napona napajanja U_{DD} . U narednoj periodi signala takta puni se drugi kondenzator (C_{22}) drugog stupnja na vrijednost $2U_{DD}$. Na istom principu serijski spojeni kondenzatori drugog stupnja pune kondenzatore u trećem stupnju na vrijednost $4U_{DD}$. Za eksponencijalnu nabojsku pumpu s tri stupnja vrijednost izlaznog napona je (uslijed serijskog spoja) jednaka zbroju napona kondenzatora posljednjeg, tj. trećeg stupnja i iznosi $8U_{DD}$.



Slika 5.3. Princip rada eksponencijalne nabojske pumpe po fazama rada [51]

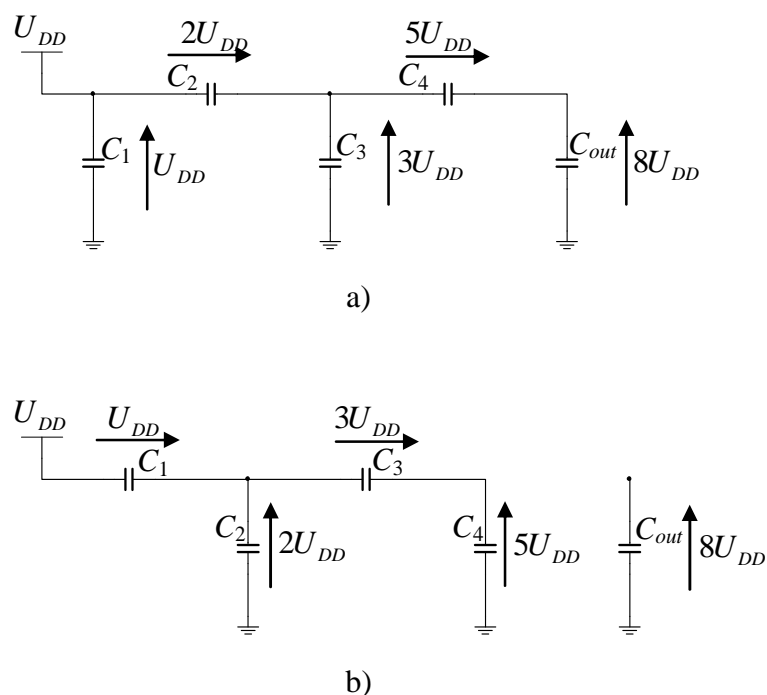
5.3 Fibonaccijeva nabojska pumpa

Fibonaccijeva nabojska pumpa je prvi puta predstavljena u [53] 1991. godine. Slika 5.4. prikazuje njenu topologiju.



Slika 5.4. Fibonaccijeva nabojska pumpa [57]

Za razliku od eksponencijalne nabojske pumpe, Fibonaccijeva pumpa koristi 3 sklopke po stupnju koji sadrži samo jedan kondenzator [54]-[56]. Na slici 5.4 su s Φ_1 i Φ_2 označene faze rada sklopa u poluperiodi u kojoj je sklopka zatvorena. Time se ostvaruju različite topologije u pojedinim fazama rada nabojske pumpe. Slika 5.5 prikazuje način na koji su spojeni kondenzatori u obje poluperiode signala takta za Fibonaccijevu nabojsku pumpu s 4 stupnja.



Slika 5.5. Princip rada Fibonaccijeve nabojske pumpe

U prvoj poluperiodi signala takta (Slika 5.5.a) prvi se kondenzator C_1 puni na vrijednost napona napajanja U_{DD} . U idućoj poluperiodi (Slika 5.5.b) serijski spojeni naponski izvor i kondenzator prvog stupnja C_1 pune kondenzator C_2 na vrijednost $2U_{DD}$. Kondenzator trećeg stupnja C_3 pune serijski spojeni kondenzatori prethodna dva stupnja. Na isti se način mogu odrediti vrijednosti napona ostalih stupnjeva:

$$U_{C_1} = U_{DD}, \quad (5-2)$$

$$U_{C_3} = U_{C_2} + U_{C_1}, \quad (5-3)$$

$$U_{C_5} = U_{C_4} + U_{C_3}, \quad (5-4)$$

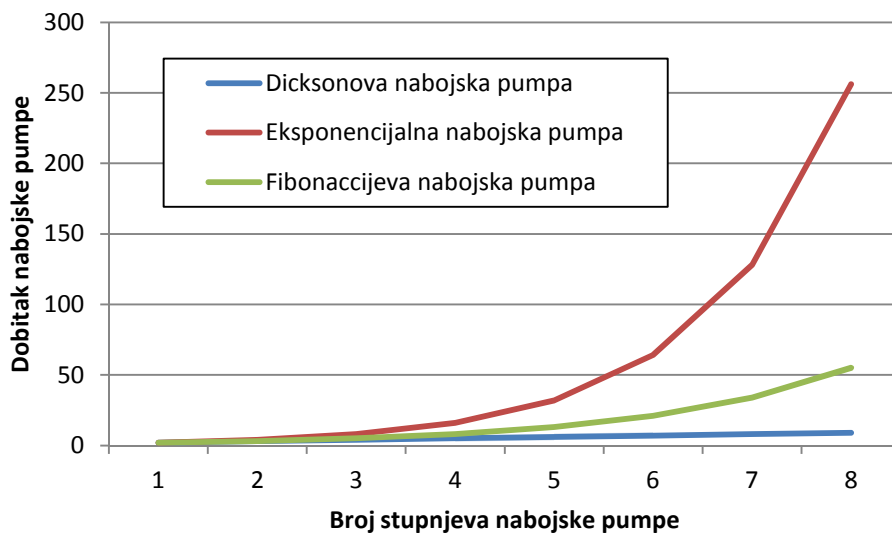
$$U_{C_2} = U_{C_1} + U_{DD}, \quad (5-5)$$

$$U_{C_4} = U_{C_3} + U_{C_2}. \quad (5-6)$$

Pisanjem II Kirchhoffovog zakona za napon u petlji za obje faze rada Fibonaccijeve nabojske pumpe dobivaju se izrazi (5-2) do (5-4) za sliku 5.5.a) te izrazi (5-5) i (5-6) za sliku 5.5.b). Može se vidjeti da se napon k -tog stupnja nabojske pumpe može izraziti kao zbroj napona prethodna dva stupnja.

$$U_k = U_{k-1} + U_{k-2} \quad k > 2. \quad (5-7)$$

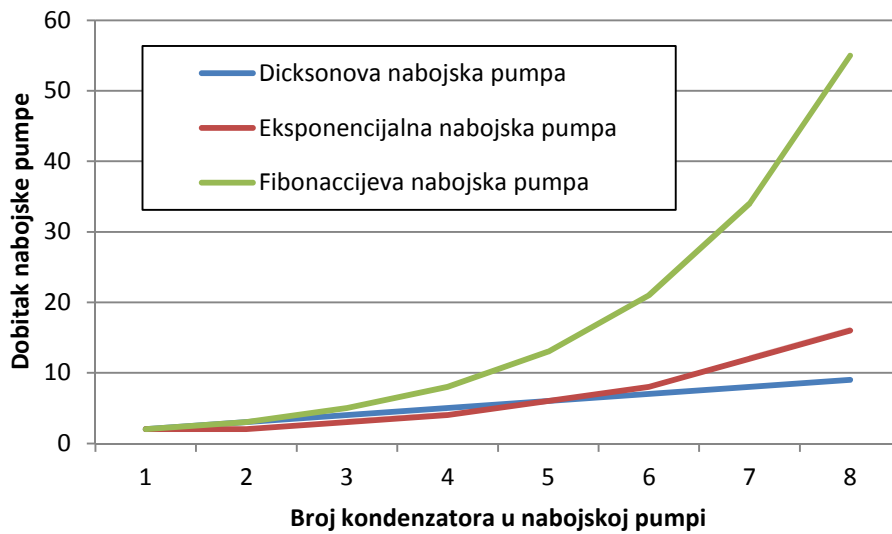
U matematičkim analizama koje je proveo Makowski [57] i u radovima [58]-[61] dokazano je da Fibonaccijeva nabojska pumpa ima najviši dobitak u usporedbi s ostalim dvo-faznim nabojskim pumpama. Dobitak Fibonaccijeve pumpe slijedi Fibonaccijev niz (1, 2, 3, 5, 8, 13, 21, 34...), gdje N -ti broj niza odgovara dobitku Fibonaccijeve nabojske pumpe sa N stupnjeva. Za usporedbu, dobitak Dicksonove nabojske pumpe slijedi aritmetički niz (1, 2, 3, 4, 5, 6...). Slika 5.6 prikazuje dobitak Dicksonove, eksponencijalne i Fibonaccijeve nabojske pumpe do $N = 8$ stupnjeva.



Slika 5.6. Dobitak Dicksonove, eksponencijalne i Fibonaccijeve nabojske pumpe ovisno o broju stupnjeva

Vidljivo je da eksponencijalna pumpa ima najveći dobitak kad se promatra dobitak nabojske pumpe u odnosu na broj stupnjeva. No, budući da većinu ukupne površine nabojske pumpe zauzimaju kondenzatori, a jedino eksponencijalna nabojska pumpa koristi dva kondenzatora po stupnju, za realniju analizu, umjesto broja stupnjeva potrebno je analizirati dobitak nabojskih pumpi s obzirom na broj kondenzatora. Time se situacija mijenja za

eksponencijalnu nabojsku pumpu kod koje jedan stupanj čine dva kondenzatora. Slika 5.7 prikazuje dobitak nabojskih pumpi za različiti broj kondenzatora.



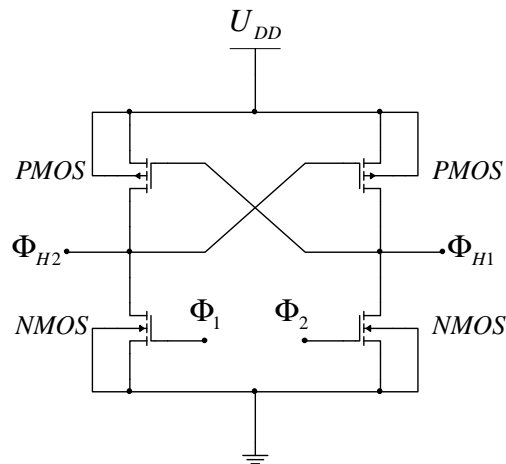
Slika 5.7. Usporedba dobitka Dicksonove, eksponencijalne i Fibonaccijeve nabojske pumpe za različit broj kondenzatora

Vidljivo je da kod nabojske pumpe sa 4 ili više stupnjeva, dobitak Fibonaccijeve pumpe postaje značajno veći od dobitka nabojske pumpe temeljene na dizajnu Dicksonove nabojske pumpe, te da ta razlika sve više raste sa svakim idućim dodanim stupnjem. Eksponencijalna nabojska pumpa s 3 i više stupnjeva ima dobitak veći od Dicksonove nabojske pumpe sa 6 i više stupnjeva. Usporedba pokazuje da Fibonaccijeva nabojska pumpa ima najveći dobitak, kao što je i matematički dokazano [57], ako se kao parametar usporedbe uzima broj neophodnih kondenzatora.

5.4 Kaskodni stupanj za pomak naponske razine - CVSL

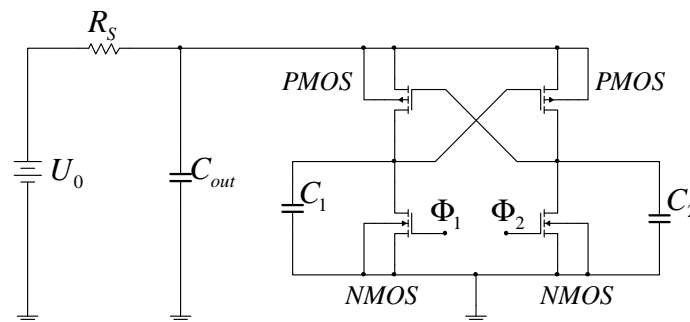
U prethodnim je poglavljima opisan problem uklapanja sklopki kod nabojskih pumpi s visokim dobitkom. Da bi se taj problem riješio potrebno je generirati nove upravljačke signale visoke amplitude čija je frekvencija jednaka frekvenciji signala takta. Sklop kojim se generiraju novi upravljački signali mora biti malih dimenzija, bez ili sa što manjom statičkom potrošnjom, a mora za svoj rad moći koristiti postojeće signale takta. Vrlo mala statička potrošnja je bitna jer se kao izvor visokog napona može koristiti jedino izlazni kondenzator nabojske pumpe, a sa značajnom statičkom potrošnjom povećava se potrošnja naboja izlaznog stupnja te se time smanjuje izlazni napon nabojske pumpe.

Sklop koji zadovoljava navedene uvjete prvi se puta navodi u radu iz 1984.g [62] pod nazivom kaskodni stupanj za pomak naponske razine -CVSL (eng. *Cascode Voltage Switch Logic*) kao dio diferencijalne CMOS logičke porodice [63]. CVSL sklop je prikazan slikom 5.8. U današnjoj se literaturi isti sklop često naziva pretvarač naponskih razina (eng. *voltage level converter*) [64], [65].



Slika 5.8. Kaskodni stupanj za pomak naponske razine - CVSL

Budući da se CVSL sklop napaja iz izlaznog kondenzatora nabojske pumpe, potrebno je odrediti utjecaj tog dodatnog sklopa na radne značajke nabojske pumpe [66]. Budući da se nabojsku pumpu može modelirati realnim naponskim izvorom, za određivanje utjecaja CVSL sklopa na vrijednost izlaznog napona nabojske pumpe, koristi se shema prikazana slikom 5.9.

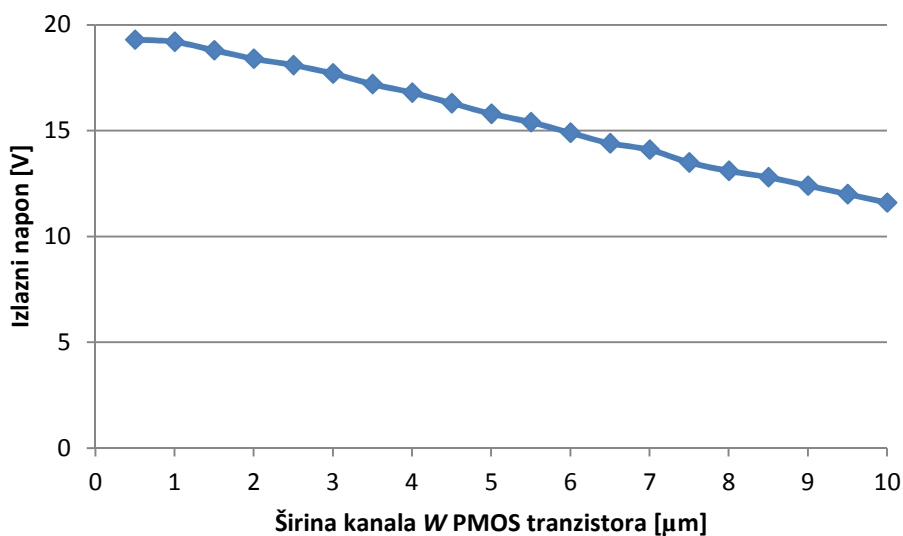


Slika 5.9. Određivanje utjecaja CVSL sklopa na rad nabojske pumpe

Nabojska pumpa sa slike 5.9 modelirana je pomoću realnog naponskog izvora s maksimalnim izlaznim naponom U_0 jednakim 20 V. Serijski izlazni otpor R_S nabojske pumpe je postavljen na vrijednost od 500 k Ω , što odgovara Dicksonovoj nabojskoj pumpi s 5 stupnjeva, spojnim kondenzatorima od 10 pF i frekvenciji rada od 1 MHz. Kapacitet

izlaznog kondenzatora C_{out} jednak je kapacitetu spojnih kondenzatora od 10 pF. Dimenzije NMOS tranzistora u CVSL sklopu odgovaraju osnovnim dimenzijama širine kanala $W = 10 \mu\text{m}$ i duljine kanala $L = 0,5 \mu\text{m}$ NMOS tranzistora u AMS-ovoj C35B4C3 tehnologiji, dok se kod PMOS tranzistora mijenja širina kanala od osnovnih dimenzija (identičnih dimenzijama NMOS-a) do minimalne dozvoljene širine kanala $W = 0,5 \mu\text{m}$ i duljine kanala $L = 0,5 \mu\text{m}$ za navedeni tehnološki proces. Kondenzatori C_1 i C_2 predstavljaju parazitni kapacitet na izlazima CVSL sklopa i njihov kapacitet u početnim razmatranjima postavljen je na 10 fF.

Dimenzije PMOS tranzistora su jedan od parametara koji ima značajan utjecaj na vrijednost izlaznog napona nabojne pumpe. PMOS tranzistori veće širine kanala imaju manji otpor vođenja, te se prilikom promjene stanja signala takta javlja veći strujni šiljak. Uz veću struju kod promjene stanja signala takta više naboja se troši iz izlaznog kondenzatora, te se izlazni napon smanjuje. Slika 5.10. prikazuje izlazni napon nabojne pumpe za različite širine kanala PMOS tranzistora u CVSL sklopu.

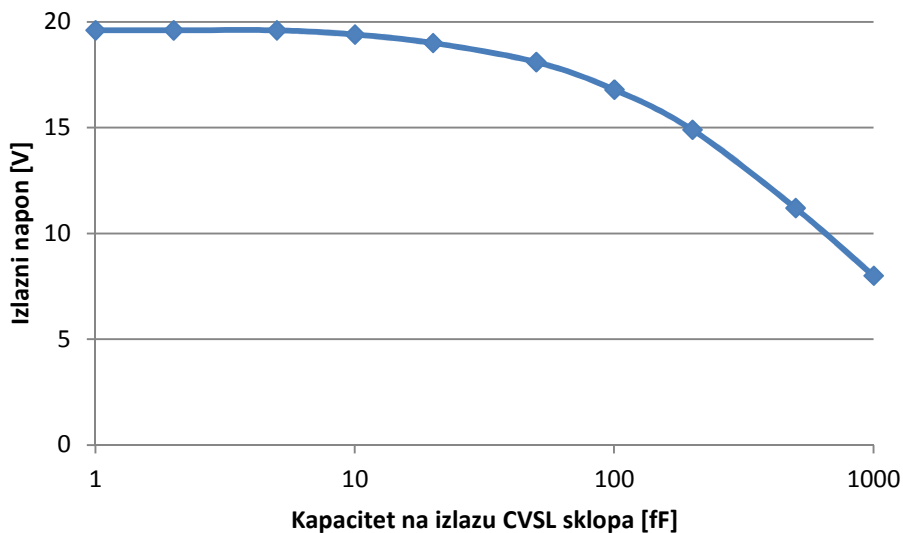


Slika 5.10. Ovisnost izlaznog napona nabojne pumpe o širini kanala W PMOS tranzistora

Vidljiv je približno linearni pad izlaznog napona uslijed povećanja širine kanala PMOS tranzistora od minimalne dozvoljene širine kanala $W = 0,5 \mu\text{m}$ do osnovne širine kanala $W = 10 \mu\text{m}$. Izlazni napon nabojne pumpe se od 19,3 V za minimalnu širinu PMOS tranzistora, smanjuje na 11,6 V pri širina kanala od 10 μm . Pokazano je da se korištenjem užih PMOS tranzistora smanjuje utjecaj strujnih šiljaka koji se javljaju kod rada CVSL sklopa. Povećanjem duljine kanala PMOS tranzistora, uz minimalnu širinu kanala, može se još više reducirati smanjenje izlaznog napona nabojne pumpe. Razlozi protiv povećanja duljine

kanala su sljedeći: korištenjem minimalnih dozvoljenih dimenzija za širinu i duljina kanala PMOS tranzistora osigurava se najmanja moguća površina potrebna za implementaciju PMOS tranzistora u CVSL sklop. Osim toga, uz minimalnu površinu N-područja, smanjuje se i mogućnost pojave „latch-up“ efekta, koji se može pojaviti na mjestima gdje postoje visokonaponske oscilacije, što je slučaj kod CVSL sklopa. Drugi razlog protiv povećanja duljine kanala PMOS tranzistora jest što se time povećava vremenska konstanta koju čine otpor kanala PMOS tranzistora i kapacitet na izlazu CVSL sklopa.

Potrebno je naglasiti da je simulacija (Slika 5.10.) provedena za CVSL sklop kod kojeg je na oba izlaza spojen kapacitet od 10 fF. Namjena CVSL sklopa je upravljanje MOS sklopkama kod kojih se javlja problem s naponskim razinama potrebnim za uklapanje, odnosno isklapanja, kao što je objašnjeno u poglavlju 5.1. Svaki MOS tranzistor koji je spojen na izlaz CVSL sklopa predstavlja određen kapacitet (kapacitet upravljačke elektrode) koji se svake periode signala takta puni i prazni. Također, metalni vodovi kojim su spojeni izlazi CVSL sklopa i MOS tranzistori kojima se upravlja predstavljaju dodatni kapacitet. Uz veći broj sklopki što za sobom povlači i veću duljinu, tj. površinu metalnih vodova, značajno se povećava i ukupni kapacitet spojen na izlaz CVSL sklopa. Da bi se odredio utjecaj kapaciteta na izlazu CVSL sklopa simulacija je provedena za različite vrijednosti izlaznog kapaciteta CVSL sklopa od 1 fF do 1 pF. Uz spojne kapacitete nabojne pumpe od 10 pF, maksimalna vrijednost kapaciteta na izlazima CVSL sklopa odgovara 10 % vrijednosti spojnih kondenzatora, što je i pretpostavljena maksimalna vrijednost parazitnih kapaciteta kod pojedinih čvorova nabojne pumpe [24]. Simulacija je provedena za minimalne vrijednosti duljine i širine kanala PMOS tranzistora, kada je njegov utjecaj na izlazni napon nabojne pumpe minimalan.

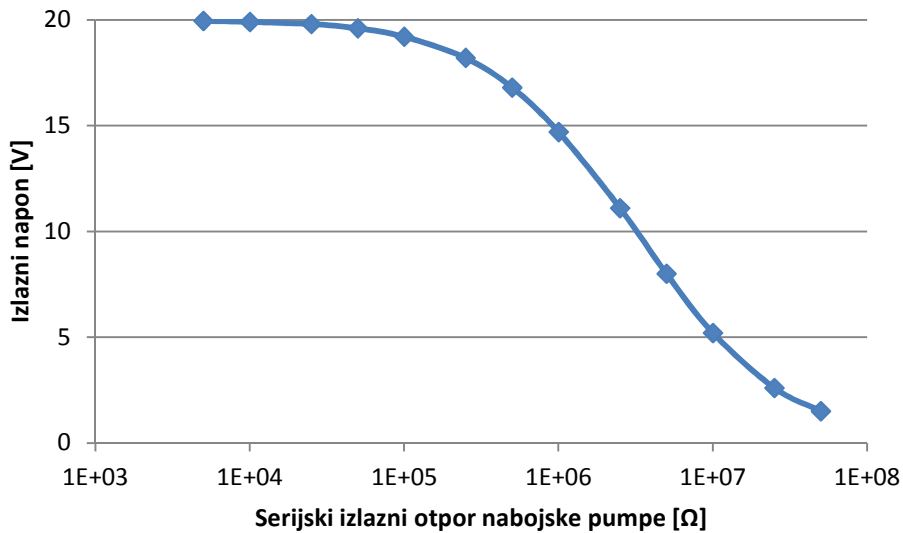


Slika 5.11. Izlazni napon nabojske pumpe u ovisnosti o kapacitetu na izlazu CVSL sklopa

Zbog velikog raspona vrijednosti kapaciteta (od 1 fF do 1 pF), skala je prikazana u logaritamskom mjerilu. Uz veći kapacitet na izlazu CVSL sklopa, više naboja se svake periode signala takta troši na punjenje i pražnjenje tog kapaciteta, te se izlazni napon nabojske pumpe sukladno tome smanjuje.

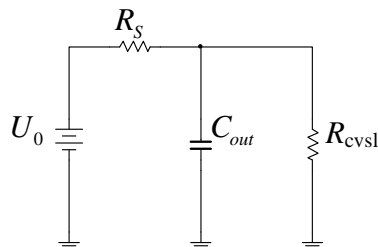
Osim o odnosu veličina izlaznog kondenzatora i parazitnog kapaciteta na izlazu CVSL sklopa, smanjenje izlaznog napona ovisi i o serijskom izlaznom otporu nabojske pumpe. Uz veći serijski izlazni otpor sporije je punjenje izlaznog kondenzatora što uz istu potrošnju naboja CVSL sklopa uzrokuje veće smanjenje izlaznog napona.

Simulacija izlaznog napona za različite vrijednosti serijskog izlaznog otpora nabojske pumpe provedena je za minimalne vrijednosti PMOS tranzistora i kapacitet na izlazu CVSL sklopa jednak 100 fF. Rezultati su dani slikom 5.12.



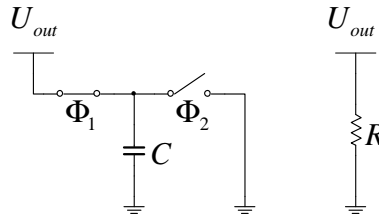
Slika 5.12. Izlazni napon nabojske pumpe u ovisnosti o serijskom izlaznom otporu nabojske pumpe

Uz dobro odabrane dimenzije PMOS tranzistora, smanjenje izlaznog napona najvećim dijelom ovisi o naboju koji se troši na punjenje i pražnjenje kapaciteta spojenog na izlaz CVSL sklopa. CVSL sklop kod kojeg se ne uzima u obzir potrošnja uzrokovana strujnim šiljcima prilikom promjene faze signala takta može se modelirati otpornikom te se tada shema sa slike 5.9. mijenja u shematski prikaz dan slikom 5.13.



Slika 5.13. Modeliranje CVSL sklopa linearnim otporom

Takav je model opravdan jer se svaki kapacitet koji se naizmjenice puni i prazni stalnom frekvencijom može prikazati kao otpor. Slika 5.14 daje pojednostavljeni prikaz situacije na izlazu CVSL sklopa.



Slika 5.14. Modeliranje preklapajućeg kapaciteta pomoću otpora

Kapacitet C predstavlja vrijednost ukupnog kapaciteta na izlazu CVSL sklopa, koji se u jednoj poluperiodi signala takta (Φ_1) puni na vrijednost izlaznog napona nabojske pumpe (U_{out}). U drugoj poluperiodi signala takta (Φ_2), kondenzator C se prazni te se količina naboja koju je sadržavao gubi. Takav se slučaj može modelirati linearnim otporom spojenim između izvora napona U_{out} i mase. Vrijednost otpora ovisi o veličini kapaciteta i frekvenciji punjenja/praznjenja, a određuje se pomoću sljedećeg izraza:

$$R_c = \frac{1}{C \cdot f} . \quad (5-8)$$

Ukupni otpor kojim se može modelirati CVSL sklop odgovara paralelnom spoju dva otpora, od kojih svaki predstavlja jedan izlaz CVSL sklopa, budući da vrijednost kapaciteta na oba izlaza CVSL sklopa nije nužno jednaka.

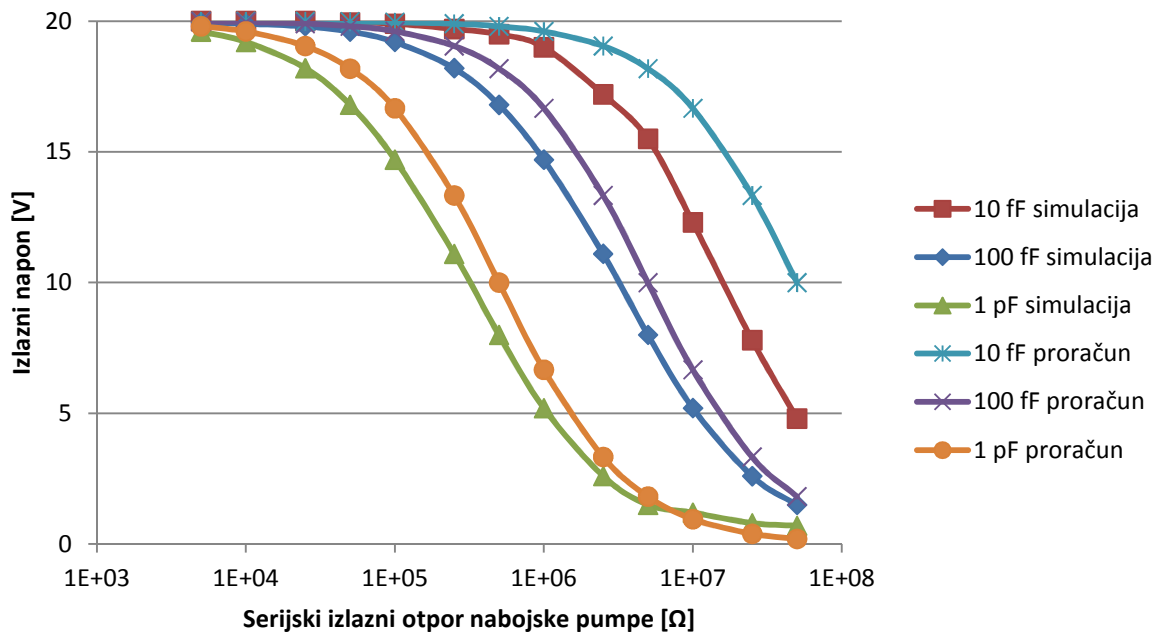
$$R_{cvsl} = \frac{R_1 \cdot R_2}{R_1 + R_2} . \quad (5-9)$$

Uz određeni otpor kojim je predstavljen CVSL sklop na slici 5.13, može se jednostavnim matematičkim proračunom otpornog dijelila odrediti izlazni napon nabojske pumpe. Ovisno o vrijednosti serijskog izlaznog otpora nabojske pumpe i ekvivalentnog otpora CVSL sklopa (5-9), izlazni napon nabojske pumpe može se odrediti pomoću sljedećeg izraza:

$$U_{out} = U_0 \frac{R_{cvsl}}{R_{cvsl} + R_S} . \quad (5-10)$$

Provedena je usporedba rezultata simulacije i rezultata proračuna izlaznog napona nabojske pumpe određenog izrazom (5-10). Simulacija i proračun su rađeni za različite

serijske izlazne otpore nabojske pumpe, čime je rad CVSL sklopa ispitan za različite nabojske pumpe, budući da serijski izlazni otpor ovisi o broju stupnjeva, topologiji te veličini kapaciteta spojnih kondenzatora. Osim promjene serijskog izlaznog otpora, mijenjana je i vrijednost ukupnog kapaciteta spojenog na izlaz CVSL sklopa, a rezultati usporedbe prikazani su slikom 5.15.



Slika 5.15. Usporedba rezultata simulacije i proračuna izlaznog napona nabojske pumpe

Kod modeliranja potrošnje CVSL sklopa otporom R_{cvsl} u obzir je uzeta samo potrošnja naboja uslijed punjenja i pražnjenja kapaciteta koji je spojen na izlaz CVSL sklopa. Zbog zanemarivanja potrošnje naboja izlaznog kondenzatora uzrokovne strujnim šiljcima prilikom promjene stanje signala takta javlja se razlika između vrijednosti izlaznog napona dobivenog simulacijom i proračunom. Najveća razlika između simulacije i proračuna postoji kod najmanje vrijednosti kapaciteta na izlazu CVSL sklopa, jer u tom slučaju veći utjecaj ima potrošnja uzrokovana strujnim šiljcima. Za veće vrijednosti ukupnog kapaciteta na izlazu CVSL sklopa, proračun točnije prati rezultate simulacije, te se može koristiti za preliminarnu procjenu utjecaja CVSL sklopa na izlazni napon nabojske pumpe.

6. Projektiranje testnog integriranog sklopa s novom arhitekturom nabojne pumpe s Fibonaccievim stupnjem koja nema naponska ograničenja uvjetovana naponom praga

U ovom poglavlju objašnjena su ograničenja CMOS tehnologije koja predstavljaju izazov pri dizajnu nabojnih pumpi. Njihov utjecaj je detaljno opisan, kao i pravila prilikom izrade topološkog nacrt (eng. *layout*) kojima se osigurava ispravan rad integriranog sklopa. Također se opisuje postupak projektiranja nabojne pumpe s Fibonaccievim stupnjem, počevši od shematskog prikaza do dizajna topološkog nacrt, usporedbe rezultata simulacije na razini shematskog prikaza i simulacije s ekstrahiranim parametrima dobivenim iz topološkog nacrt.

6.1 Tehnološka ograničenja i odabir tehnologije

Dostupna tehnologija sa sobom povlači i niz ograničenja. AMS-ova (Austria Micro Systems) visokonaponska (HV) tehnologija koja podržava napone do 50 V, odnosno 20 V na upravljačkoj elektrodi, ima napon praga NMOS tranzistora od 1,45 V i faktor efekta podloge jednak $\gamma = 2,1$.

Uslijed prilično izraženog efekta podloge, napon praga visokonaponskog NMOS tranzistora značajno raste s porastom napona U_{SB} . Za U_{SB} napone veće od 4,5 V napon praga iznosi do 60 % vrijednosti napona U_{SB} , što znači da svaki stupanj nabojne pumpe koji koriste ovakve tranzistore smanjuje učinkovitost nabojne pumpe za minimalno 1/3 i to vrijedi za bilo koju amplitudu signala takta budući da je napon praga reda veličine napona U_{SB} .

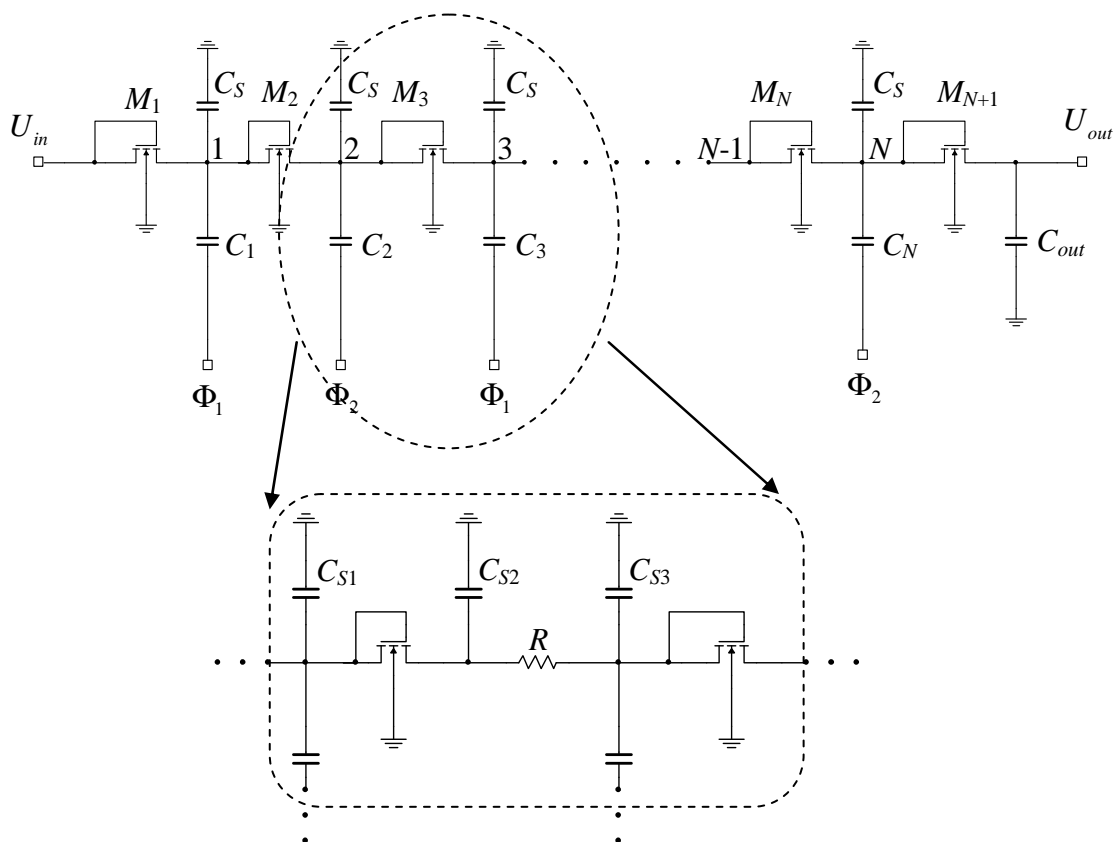
Kod upotrebe visokonaponskih tranzistora koji su dostupni u AMS-ovoj tehnologiji, za ispravan rad nabojne pumpe bili bi potrebni signali takta amplitude od najmanje 10 V, što nema praktičnu primjenu kod današnjih sklopova čiji je napon napajanja 3,3 V ili niži.

Kod klasičnog 0,35 μm CMOS procesa maksimalni dozvoljeni naponi na NMOSM (oznaka NMOS tranzistora projektiranih za rad sa naponima od 5 V kod AMS-ove tehnologije) tranzistorima iznose 5,5 V, odnosno 7 V u kraćim vremenskim intervalima. Zbog manjih dimenzija tranzistora u usporedbi s visokonaponskom tehnologijom, napon praga i efekt podloge su bitno niži: $U_m = 0,7$, a $\gamma = 1,05$. NMOSM tranzistor je dostupan u C35B4C3 tehnološkom procesu koji AMS nudi kao standardni 0,35 μm CMOS proces. Zbog nižih vrijednosti napona praga i efekta podloga, kao i zbog činjenice da korištenjem standardnog

CMOS procesa nabojska pumpa ima potencijalno širu primjenu, za procesiranje je odabrana C35B4C3 AMS-ova tehnologija.

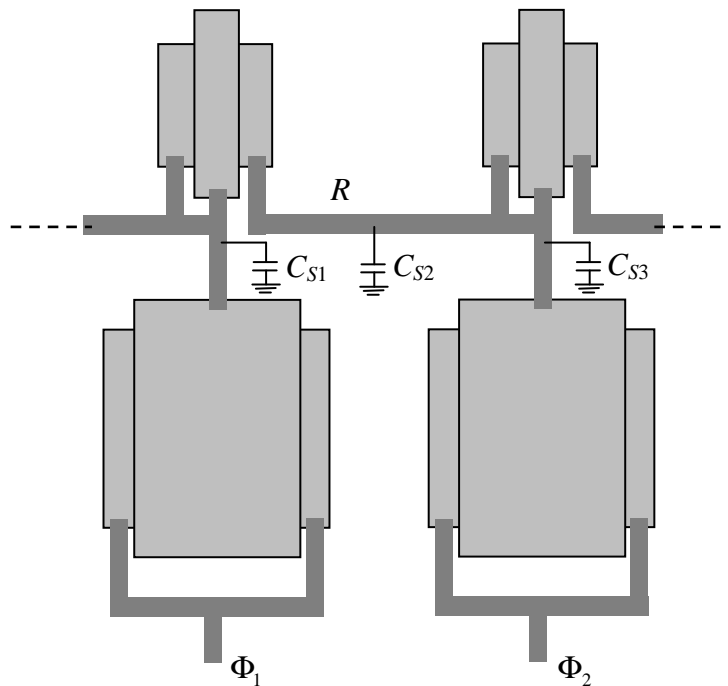
6.2 Pravila pri dizajniranju topološkog nacrt

Prilikom dizajniranja topološkog nacrt nabojske pumpe, potrebno je pridržavati se određenih pravila. Slika 6.1 prikazuje Dicksonovu nabojsku pumpu s prikazom parazitnih otpora i kapaciteta koji se javljaju uslijed duljine i površine metalnih vodova korištenih za spajanje tranzistora i kondenzatora.



Slika 6.1. Parazitni otpori i kapaciteti kod nabojske pumpe [24]

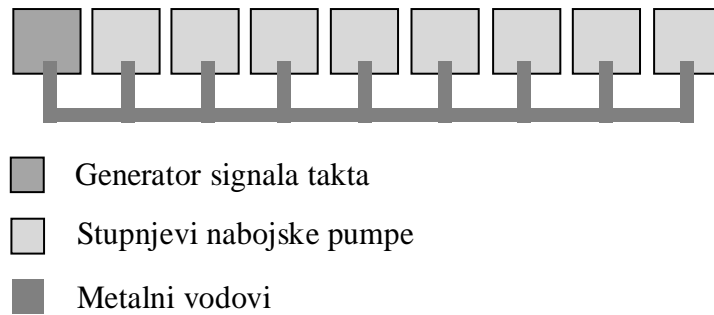
Topološki nacrt za shematski prikaz Dicksonove nabojske pumpe sa Slike 6.1 prikazan je slikom 6.2. Zbog značajne duljine metalnih vodova postoje parazitni kapaciteti označeni na slici.



Slika 6.2. Topološki crtež dijela Dicksonove nabojske pumpe [24]

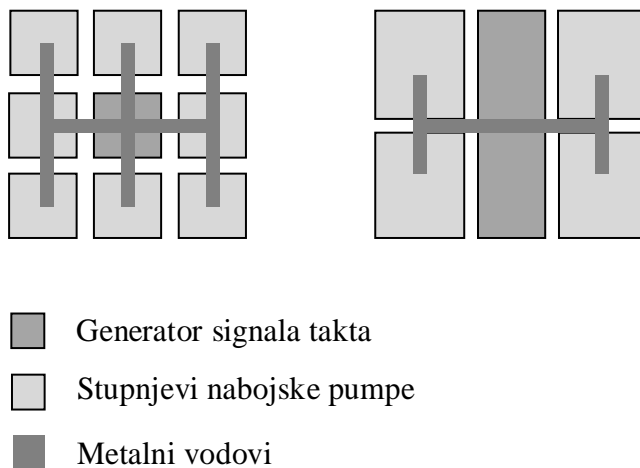
Prikazani parazitni kapaciteti izravno ovise o površini vodova, te bi se smanjivanjem širine vodova smanjila i vrijednost parazitnog kapaciteta. S druge strane, smanjivanje širine metalnih vodova rezultira povećanjem parazitnog otpora R (slika 6.1). Budući da povećanje parazitnog otpora ograničava frekvenciju rada nabojske pumpe, prilikom dizajniranja topološkog nacrtu korištena je osnovna (eng. *default*) širina metalnih vodova.

Zbog parazitnih kapaciteta i otpora koji ovise o duljini metalnih vodova, raspored pojedinih komponenata nabojske pumpe je vrlo bitan. Najveći dio površine topološkog nacrtu otpada na kondenzatore, te se njihovim međusobnim položajem, kao i udaljenošću pojedinog kondenzatora od izvora signala takta može značajno smanjiti duljina metalnih vodova. Na slici 6.3 može se vidjeti primjer lošeg rasporeda pojedinih stupnjeva nabojske pumpe. Razlika u udaljenosti prvog i posljednjeg stupnja od generatora signala takta je značajna, te će valni oblik signala takta koji je prisutan na posljednjem stupnju nabojske pumpe biti izobličen u odnosu na valni oblik signala takta na prvom stupnju nabojske pumpe. Izobličenost valnog oblika javlja se uslijed parazitnih otpora i kapaciteta metalnih vodova koji spajaju pojedini stupanj s generatorom signala takta, a djeluju kao niskopropusni filter koji guši visokofrekvencijske komponente spektra signala takta. Što je veća duljina vodova između generatora i pojedinog stupnja nabojske pumpe veća su i izobličenja. Bitno je naglasiti da spomenuta izobličenja predstavljaju problem samo kod rada na višim frekvencijama.



Slika 6.3. Primjer lošeg topološkog nacrtu s obzirom na parazitne otpore i kapacitete [24]

Slika 6.4 daje primjer dobro izvedenog topološkog nacrtu nabojske pumpe gdje udaljenosti pojedinih stupnjeva nabojske pumpe i generatora signala takta nisu bitno različite. Osim što je udaljenost pojedinih stupnjeva nabojske pumpe i generatora signala takta manja u usporedbi sa slikom 6.3, također je i ukupna duljina potrebnih metalnih vodova značajno manja. Time je smanjena ukupna vrijednost parazitnog kapaciteta i otpora, što omogućava rad nabojske pumpe na višim frekvencijama i osigurava da je valni oblik signala takta identičan na svakom stupnju nabojske pumpe.

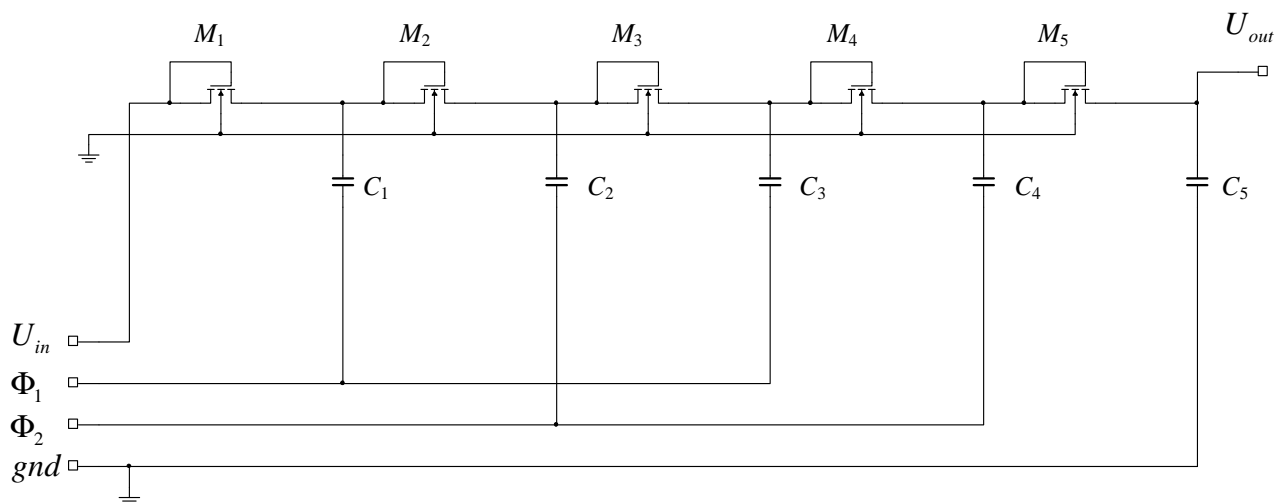


Slika 6.4. Primjer dobrog topološkog nacrtu s obzirom na parazitne otpore i kapaciteta [24]

6.3 Shematski prikaz nabojnih pumpi odabranih za realizaciju na testnom integriranom sklopu

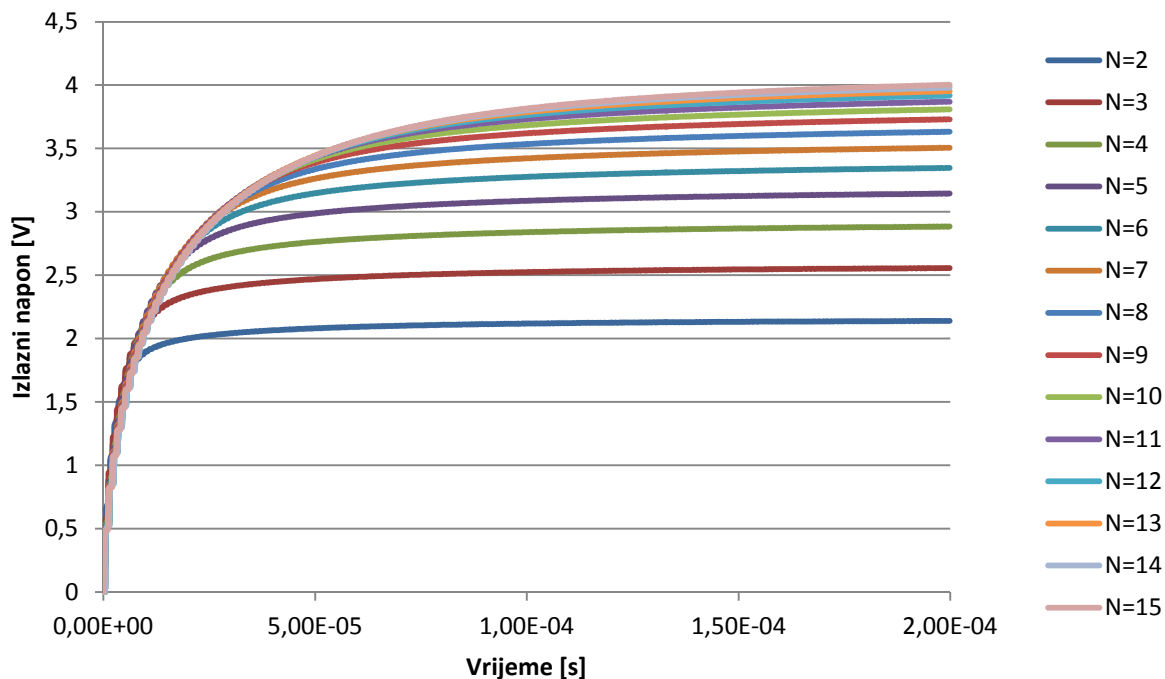
Prilikom projektiranja bilo koje nabojne pumpe, često se kreće od Dicksonove nabojne pumpe, koja je obično i referenca prilikom evaluacije radnih značajki novog dizajna nabojne pumpe [67]-[70]. Simulacijom rada Dicksonove nabojne pumpe u odabranoj tehnologiji može se vidjeti općeniti utjecaj tehnoloških ograničenja na rad pumpe.

Slika 6.5 prikazuje Dicksonovu nabojnu pumpu s $N = 4$ stupnja. Simulacije Dicksonove nabojne pumpe u Cadence okruženju (razvojni programski paket namijenjen projektiranju integriranih sklopova) za AMS-ov C35B4C3 tehnološki proces rađene su za nabojne pumpe od $N = 2$ do $N = 15$ stupnjeva. Amplituda signala takta i napon napajanja nabojne pumpe U_{DD} su jednaki i postavljeni su na 1,8 V, a frekvencija rada f je 1 MHz. Širina W i duljina L kanala NMOS tranzistora su 10 μm , odnosno 0,5 μm . Kondenzatori u svim stupnjevima nabojne pumpe su jednaki i imaju kapacitet $C = 15$ pF.



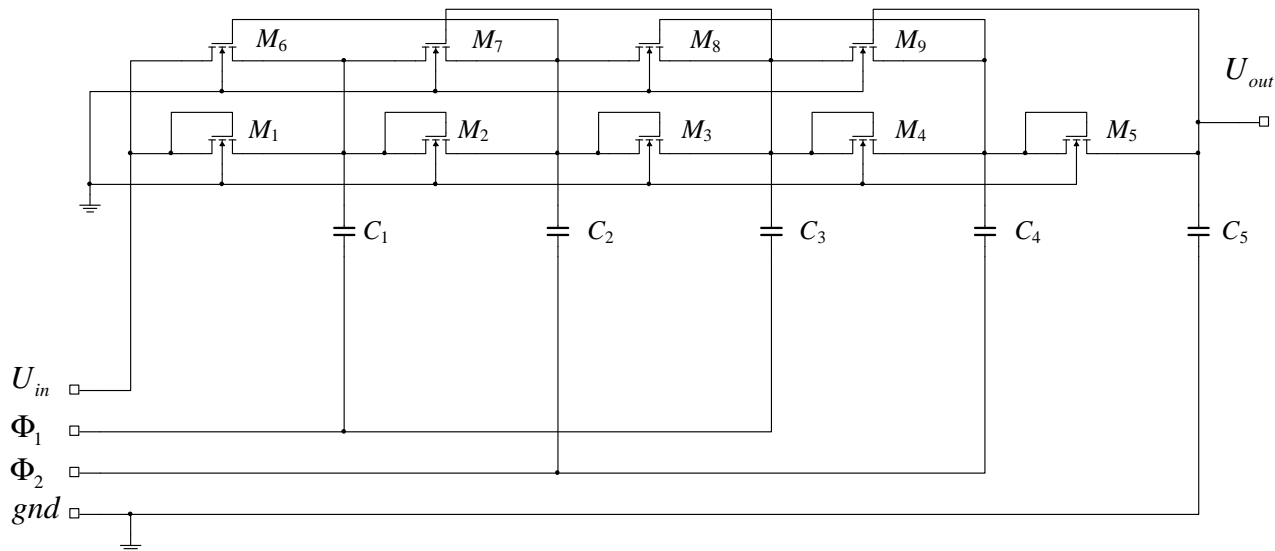
Slika 6.5. Dicksonova nabojna pumpa s $N = 4$ stupnja

Rezultati simulacije za $N = 2$ do $N = 15$ su prikazani slikom 6.6. Idealni izlazni napon Dicksonove nabojne pumpe bez utjecaja napona praga i efekta podloge kod NMOS tranzistora u ovom bi slučaju bio jednak 5,4 V za pumpu s dva stupnja, odnosno 28,8 V za pumpu s 15 stupnjeva. Iz slike 6.6 može se vidjeti da izlazni napon simulirane Dicksonove nabojne pumpe ne prelazi 4 V. Razlog tome je postojanje napona praga NMOS tranzistora.



Slika 6.6. Izlazni naponi Dicksonove nabojske pumpe za $N = 2$ do $N = 15$

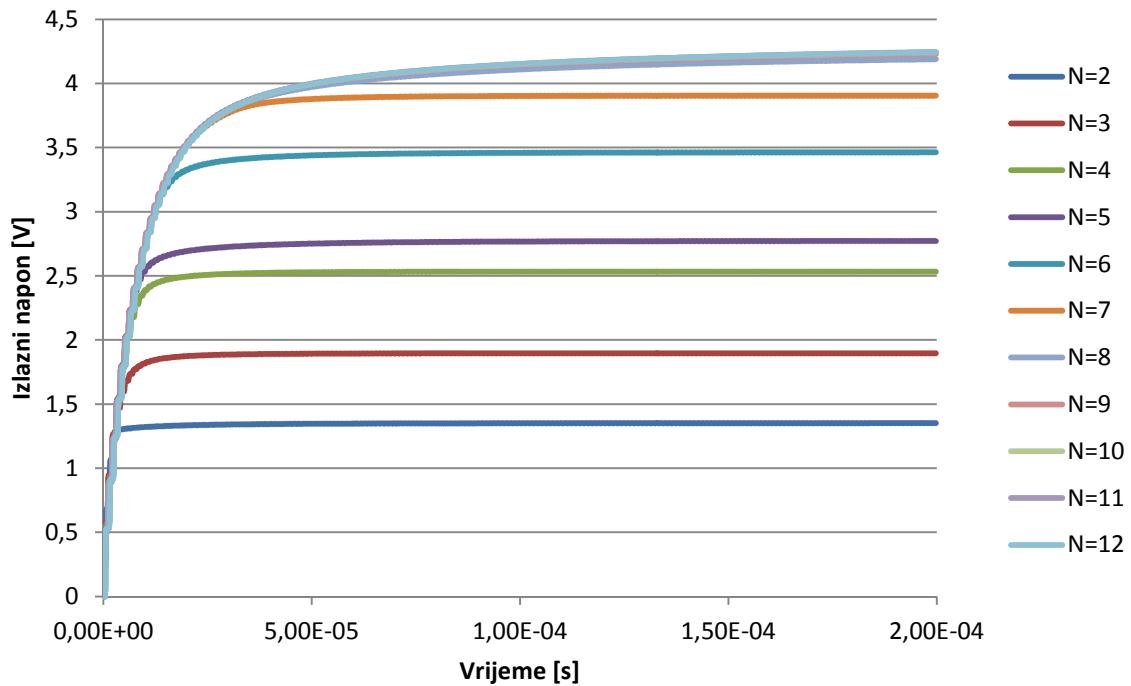
Jedna od metoda za poništavanje utjecaja napona praga jest CTS nabojska pumpa koja se od Dicksonove nabojske pumpe razlikuje po još jednom dodatnom tranzistoru u svakom stupnju. Slika 6.7 prikazuje CTS nabojsku pumpu s $N = 4$ stupnja.



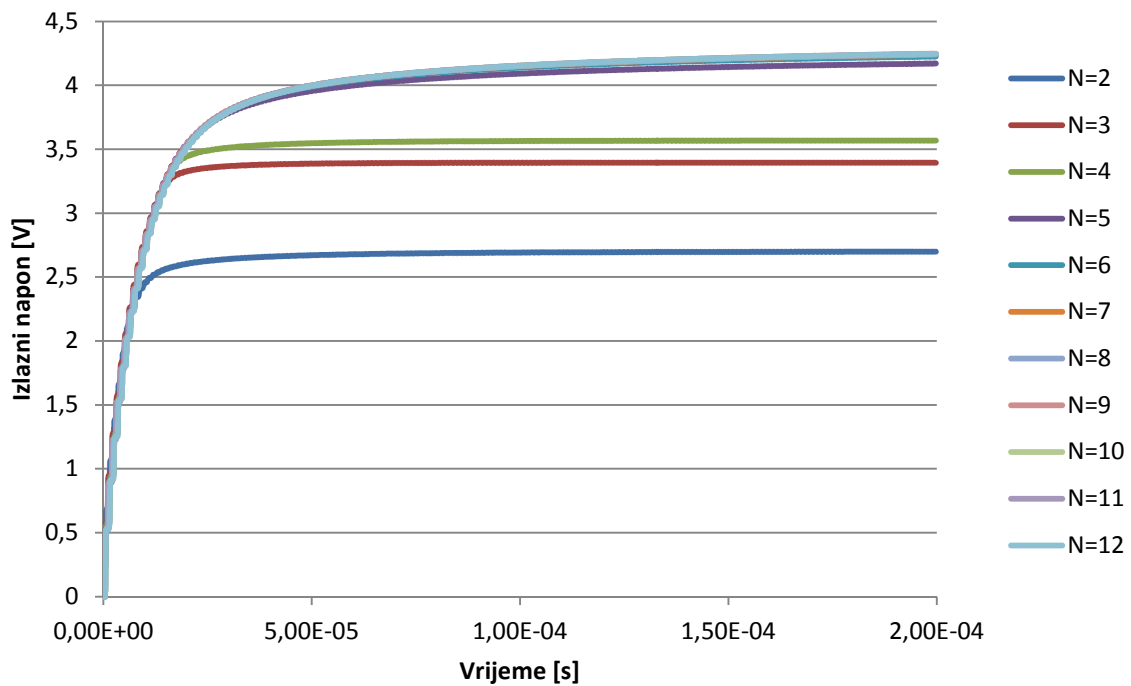
Slika 6.7. CTS nabojska pumpa s $N = 4$ stupnja

Upravljačka elektroda dodanih tranzistora spojena je na sljedeći stupanj, te se pomoću višeg napona poništava utjecaj napona praga tranzistora i njegove promjene uslijed efekta

podloge čime se omogućava potpuni prijenos naboja između stupnjeva. Dimenzije dodanih tranzistora su identične tranzistorima koji tvore osnovnu strukturu Dicksonove nabojske pumpe. Rezultati simulacije su prikazani slikom 6.8.



a)

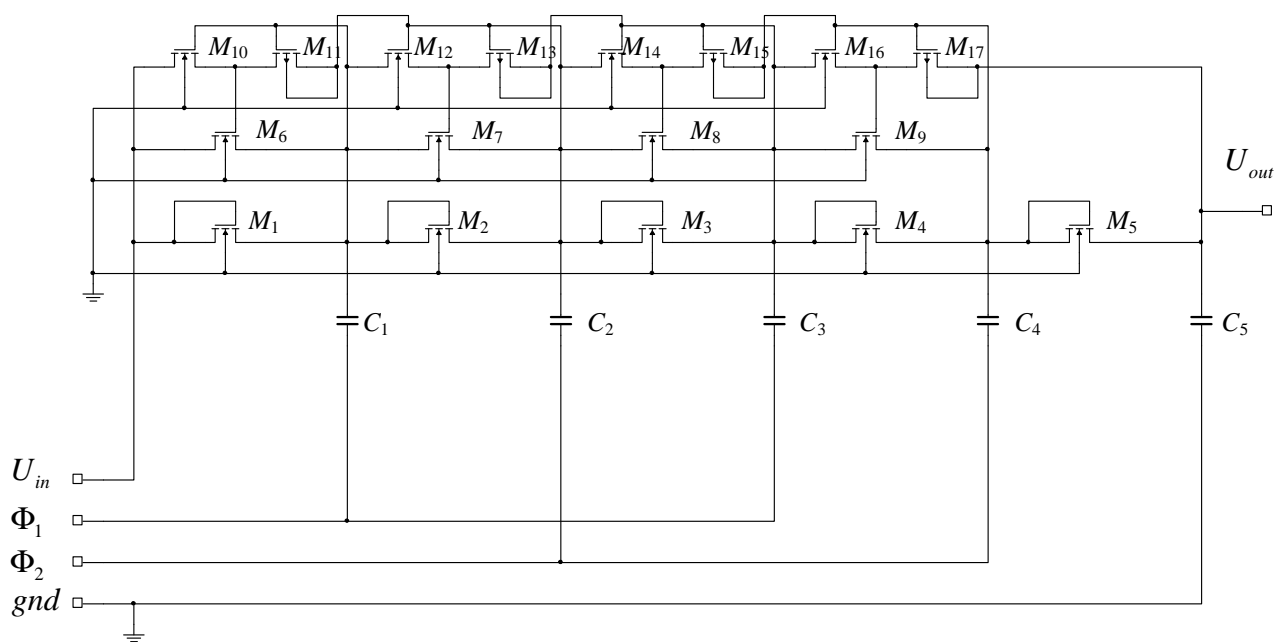


b)

Slika 6.8. Izlazni naponi CTS nabojske pumpe za $N = 2$ do $N = 15$ s prvim stupnjem spojenim na a) signal takta, odnosno na b) napon napajanja U_{DD}

Kod Dicksonove nabojne pumpe prvi stupanj može biti spojen ili na napon napajanja U_{DD} ili na jedan od signala takta. U oba slučaja simulacija daje identične rezultate. Kod CTS nabojne pumpe, zbog curenja naboja što je detaljnije opisano u poglavlju 4.3, rezultati simulacije se razlikuju ovisno o načinu spajanja prvog stupnja nabojne pumpe. Simulacija je provedena za nabojne pumpe s $N = 2$ do $N = 12$ stupnjeva budući da zbog poništavanja utjecaja napona praga tranzistora, nabojna pumpa postiže maksimalnu vrijednost s manjim brojem stupnjeva. Međutim, kao i kod Dicksonove nabojne pumpe, maksimalni izlazni napon koji postiže CTS nabojna pumpa ne prelazi 4,3 V. CTS nabojna pumpa kod koje je prvi stupanj spojen na signal takta ima bitno niže izlazne napone, pogotovo za manji broj stupnjeva, nego kad je prvi stupanj spojen na napon napajanja.

Da bi se izbjeglo curenje naboja, koristi se modificirana CTS nabojna pumpa čiji je shematski prikaz dan slikom 6.9.

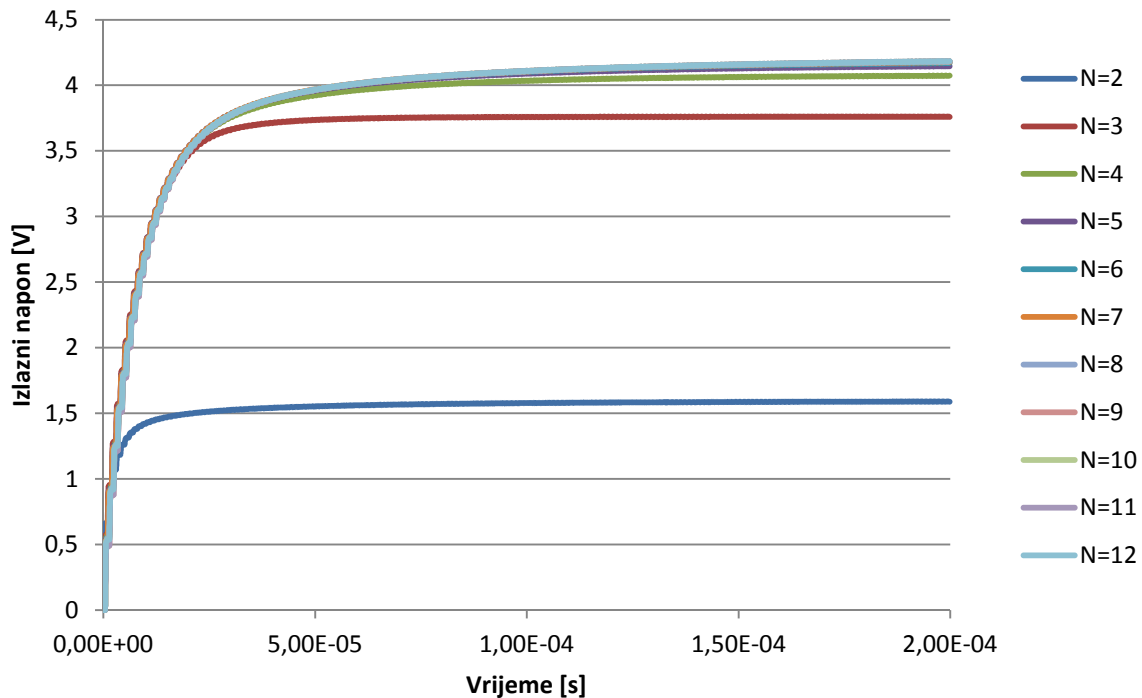


Slika 6.9. Modificirana CTS nabojna pumpa s $N = 4$ stupnja

Modificirana CTS nabojna pumpa ima u svakom stupnju, osim izlaznog, još dva dodatna tranzistora, jedan PMOS i jedan NMOS, kojima se regulira napon upravljačke elektrode tranzistora dodanog u CTS strukturi nabojne pumpe. Time se sprečava curenje naboja te nabojna pumpa daje identične izlazne napone bez obzira da li je prvi stupanj spojen na napon napajanja ili na signal takta. Ovakvo rješenje omogućava šire područje potencijalne primjene

nabojske pumpe, poglavito u sustavima kod kojih nije dostupan istosmjerni napon U_{DD} , kao na primjer pasivno napajani sklopovi koji koriste RF izmjenični signal za napajanje.

Rezultati simulacije izlaznih napona modificirane CTS nabojske pumpe prikazani su slikom 6.10. Kao i kod CTS nabojske pumpe, simulirana je pumpa s $N = 2$ do $N = 12$ stupnjeva.



Slika 6.10. Izlazni naponi modificirane CTS nabojske pumpe za $N = 2$ do $N = 12$

Vidljivo je da se maksimalna vrijednost izlaznog napona postiže već sa 4 stupnja, za razliku od CTS nabojske pumpe kod koje je potrebno 5 stupnjeva, odnosno Dicksonove nabojske pumpe sa potrebnih barem 12 stupnjeva. Kod sve tri strukture nabojskih pumpi maksimalni ostvareni izlazni napon ne prelazi 4,5 V iako CTS i modificirana CTS nabojska pumpa koriste metodu poništavanja utjecaja napona praga tranzistora. Razlog tomu je izlazni stupanj gdje se ne može poništiti utjecaj napona praga njegovog tranzistora. Tranzistor u izlaznom stupnju je spojen na najviši napon u nabojskoj pumpi, te ne postoji viši napon koji bi se mogao iskoristiti za poništavanje utjecaja njegovog napona praga.

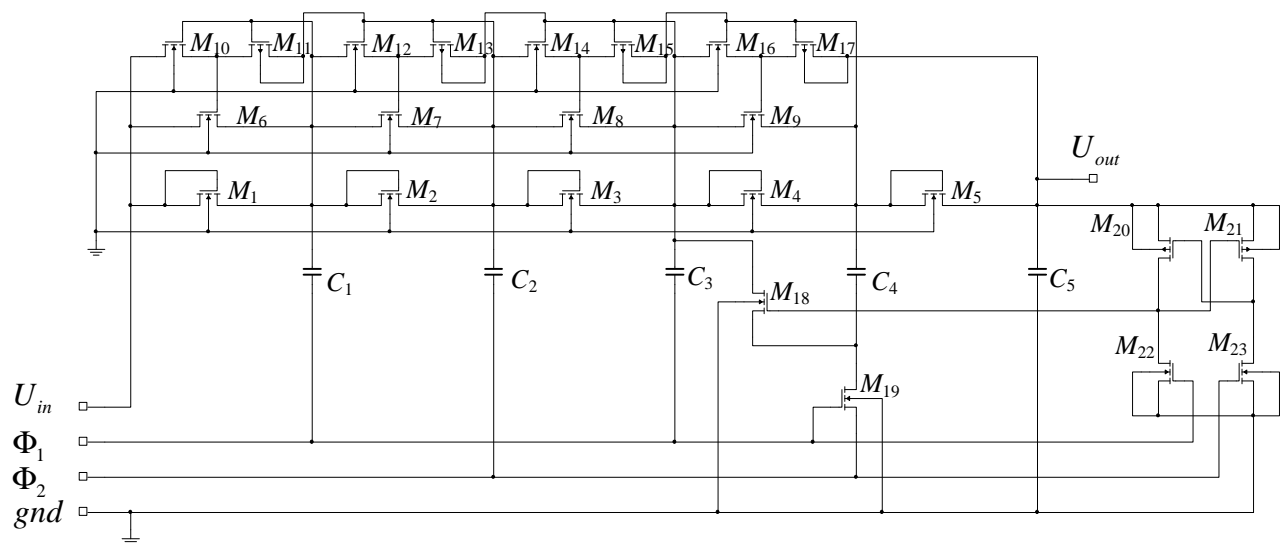
Ograničenje koje predstavlja napon praga tranzistora u izlaznom stupnju ovisi i o amplitudi signala takta, jer kada napon praga tranzistora postaje jednak ili veći od amplitude signala takta, izlazni napon nabojske pumpe neće se povećavati bez obzira na broj dodanih stupnjeva.

Kao što je objašnjeno u poglavlju 4.4, udvostručenjem amplitude signala takta umanjuje se problem utjecaja napona praga tranzistora. Međutim, takvo rješenje iziskuje bitno veću površinu silicija, budući da kondenzatori potrebni za realizaciju generatora dvostruke amplitude moraju biti bitno veći od kondenzatora u pojedinom stupnju nabojne pumpe.

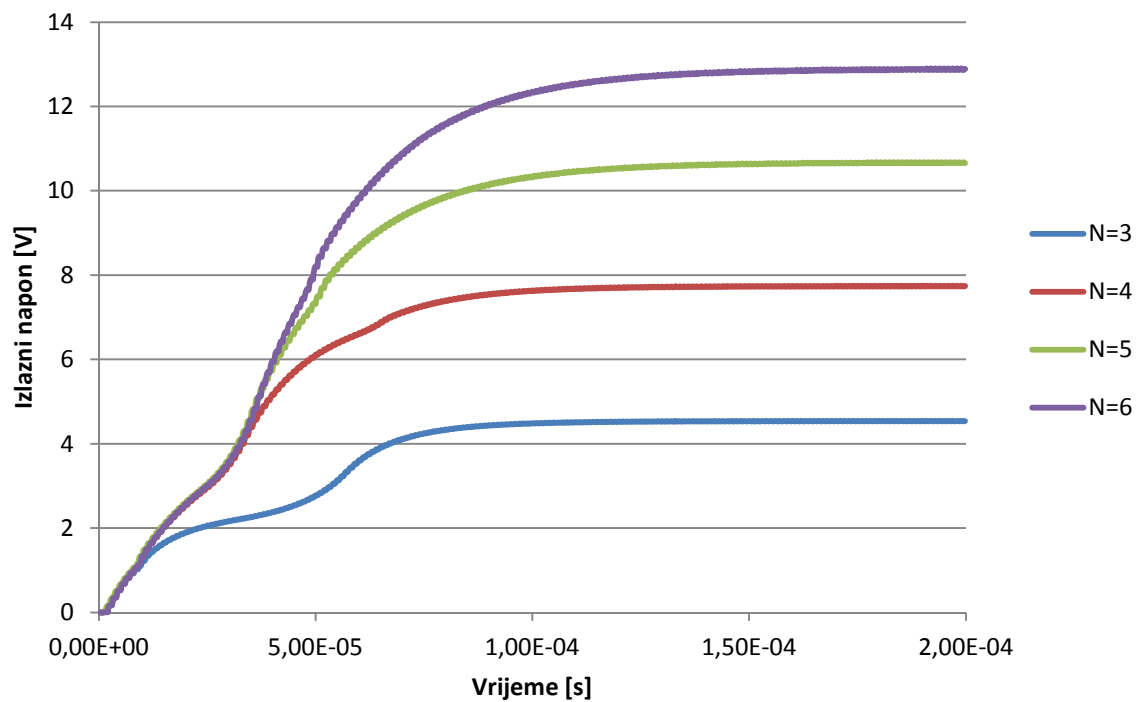
Dakle, problem je u naponu koji se javlja na ulazu izlaznog stupnja. Rezultati simulacija Dicksonove, CTS i modificirane CTS nabojne pumpe pokazuju da već kod vrijednosti izlaznog napona od 4 V, napon praga izlaznog kondenzatora premašuje vrijednost amplitude signala takta koja iznosi 1,8 V. Način na koji se može povećati napon na ulazu izlaznog stupnja jest korištenje Fibonaccijevog stupnja. Kod Fibonaccijeve nabojne pumpe napon pojedinog stupnja jednak je zbroju napona prethodna dva stupnja. Budući da je napon svakog stupnja u pravilu viši od amplitude signala takta, korištenjem Fibonaccijevog stupnja moguće je povećati napon na ulazu izlaznog stupnja u dovoljnoj mjeri da njegova razina bude viša od napona praga izlaznog stupnja. U tom slučaju povećati će se vrijednost izlaznog napona što osigurava uspješno poništavanje utjecaja napona praga u prethodnom stupnju nabojne pumpe, pa izlazni napon nabojne pumpe dodatno raste. Slika 6.11 prikazuje arhitekturu nabojne pumpe s Fibonaccijevim stupnjem. Fibonaccijev stupanj je ostvaren dodavanjem dvaju dodatnih NMOS tranzistora u posljedni (ne izlazni!) stupanj nabojne pumpe.

Kao što je opisano u poglavlju 5., kod Fibonaccijevog stupnja se javlja problem upravljanja NMOS tranzistorom M_{18} koji je zadužen za serijsko spajanje kondenzatora iz trećeg i četvrtog (posljednjeg) stupnja prema slici 6.11. Zbog toga je arhitekturi nabojne pumpe dodan CVSL sklop kojeg čine tranzistori M_{20} , M_{21} , M_{22} i M_{23} . Zadatak CVSL sklopa je povećati amplitudu signala takta na razinu izlaznog napona. Tim novodobivenim signalom upravlja se tranzistorom M_{18} .

Simulacija nove arhitekture nabojne pumpe provedena je za pumpu od $N = 3$ do $N = 6$ stupnjeva, a rezultati su prikazani slikom 6.12.



Slika 6.11. Nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem za $N = 4$



Slika 6.12. Izlazni naponi nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem za $N = 3$ do $N = 6$

Za razliku od rezultata simulacija Dicksonove, CTS i modificirane CTS nabojske pumpe, može se vidjeti da kod nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem izlazni napon prelazi vrijednost od 4,5 V koja je bila gornja granica koju su postizale navedene nabojske pumpe. Ovdje također postoji utjecaj napona praga tranzistora u izlaznom stupnju

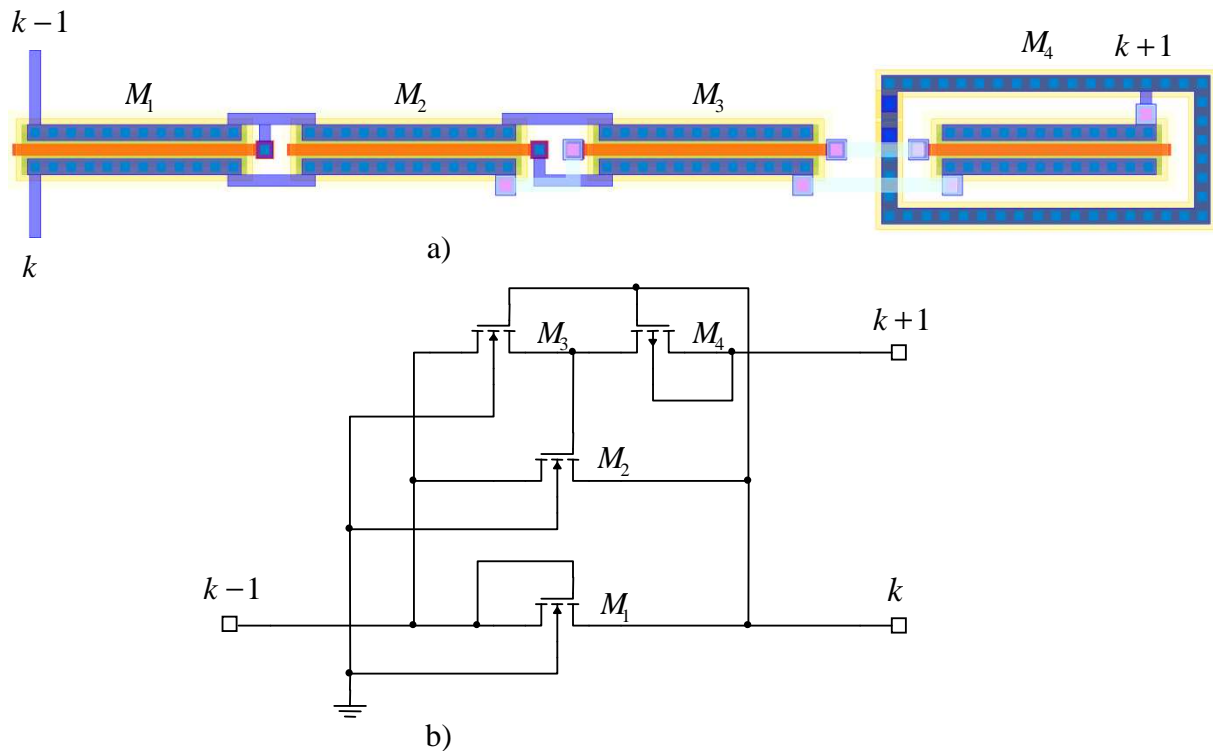
ali je njegov utjecaj manji. Za razliku od npr. Dicksonove nabojne pumpe, na slici 6.12 se može uočiti razlika u obliku krivulje punjenja izlaznog stupnja kod nove arhitekture nabojne pumpe. Naime, kod arhitekture s Fibonaccievim stupnjem javlja se još jedno „koljeno“ nakon kojeg počinje utjecaj Fibonaccievog stupnja na izlazni napon.

Može se vidjeti da postoji razlika u obliku krivulje punjenja između pumpe s tri stupnja i preostalih simularanih nabojnih pumpi s četiri, pet i šest stupnjeva. Naime, da bi počeo utjecaj Fibonaccievog stupnja na izlazni napon nabojne pumpe potrebna je određena vrijednost izlaznog napona koja odgovara naponu „koljena“. Budući da je za upravljanje Fibonaccievim stupnjem dodan CVSL sklop koji se napaja izlaznim stupnjem, amplituda signala kojim se upravlja Fibonaccievim stupnjem ovisi o vrijednosti izlaznog napona nabojne pumpe. Nabojnoj pumpi s 3 stupnja potrebno je dulje vrijeme za postizanje napona „koljena“, te se stoga i javlja razlika u obliku krivulje.

6.4 Topološki nacrt testnog integriranog sklopa

Nakon simulacija provedenih na razini shematskog prikaza, potrebno je potvrditi rezultate simuliranjem topološkog nacrt pojedine nabojne pumpe. Nakon izrade topološkog nacrt, tj. dimenzija pojedinih komponenti, njihovog međusobnog rasporeda, duljine spojnih metalnih vodova, itd., provodi se ekstrakcija parazitnih vrijednosti kapaciteta i otpora. Simulacija korištenjem ekstrahiranih parametara daje rezultate koji su znatno bliži stvarnim rezultatima, tj. rezultatima mjerenja koji se mogu očekivati nakon izrade integriranog sklopa.

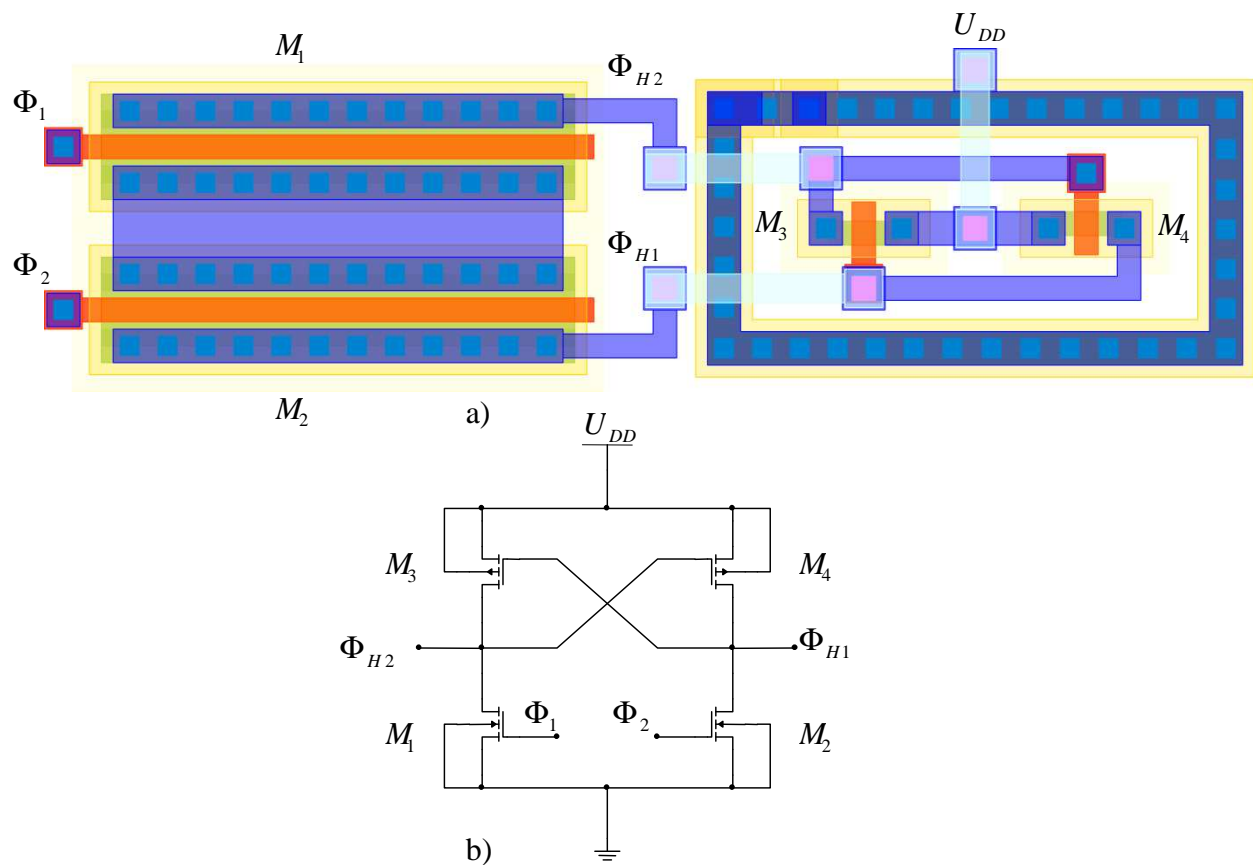
Radi jednostavnijeg crtanja topološkog nacrt, pojedini dijelovi nabojne pumpe projektirani su odvojeno. Prema slici 6.11, svaki stupanj nabojne pumpe, osim izlaznog, koristi isti sklop od četiri tranzistora za prijenos naboja između susjednih stupnjeva, pa je taj dio arhitekture nabojne pumpe projektiran kao zasebna cjelina. Prikaz topološkog nacrt sklopa tranzistora za prijenos naboja dan je slikom 6.13.



Slika 6.13. a) Topološki nacrt i b) shematski prikaz sklopa tranzistora za prijenos naboja (modificirana CTS struktura)

Budući da je prilikom projektiranja integriranog sklopa cilj imati što manje neiskorištenog silicija, tranzistori su u topološkom nacrtu postavljeni na takav način da njihovim smještanjem između dva susjedna kondenzatora nabojske pumpe zauzimaju što manje mjesta, tj. da razmak između dva susjedna kondenzatora bude što je moguće manji. Na slici 6.13 označeno je mjesto spajanja pojedinih dijelova sheme. S obzirom da prikazani dio arhitekture nabojske pumpe služi prijenosu naboja između dva susjedna stupnja, spaja se na prethodni ($k-1$) i trenutni (k) stupanj, dok se za poništavanje utjecaja napona praga koristi naponska razina sa sljedećeg ($k+1$) stupnja nabojske pumpe. Zbog korištenja PMOS tranzistora, u topološkom se nacrtu može vidjeti zaštitni prsten (eng. *guard ring*) koji ga okružuje u njegovom N-području.

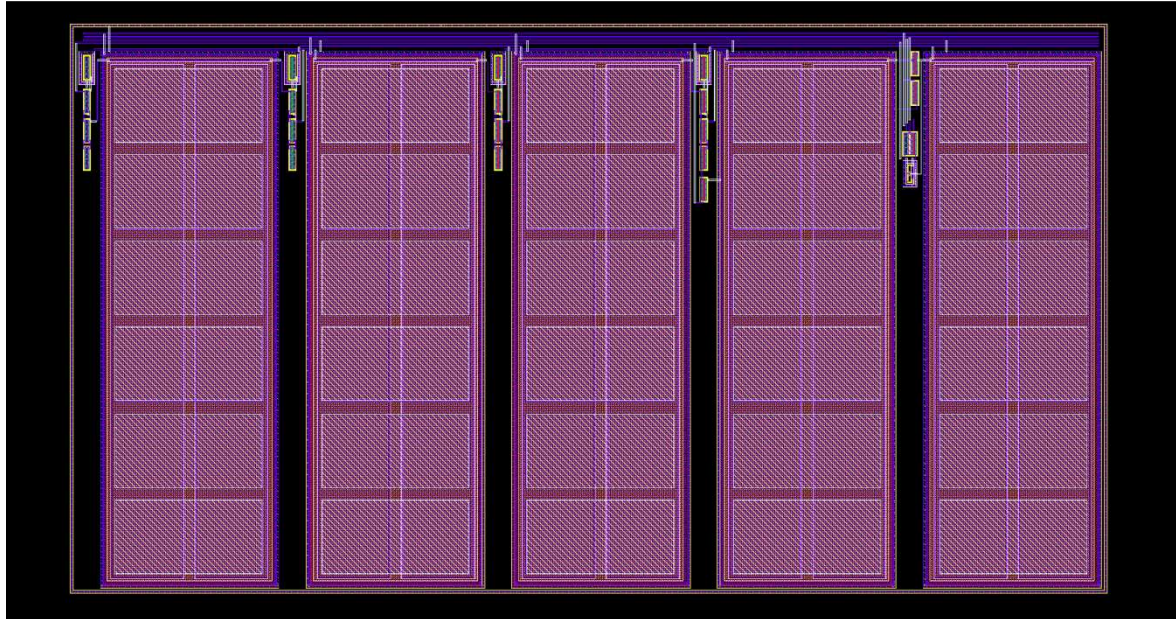
Osim tranzistora za prijenos naboja, CVSL sklop je također projektiran kao zasebna cjelina. Prikaz topološkog nacrtu zajedno sa shematskim prikazom dan je slikom 6.14.



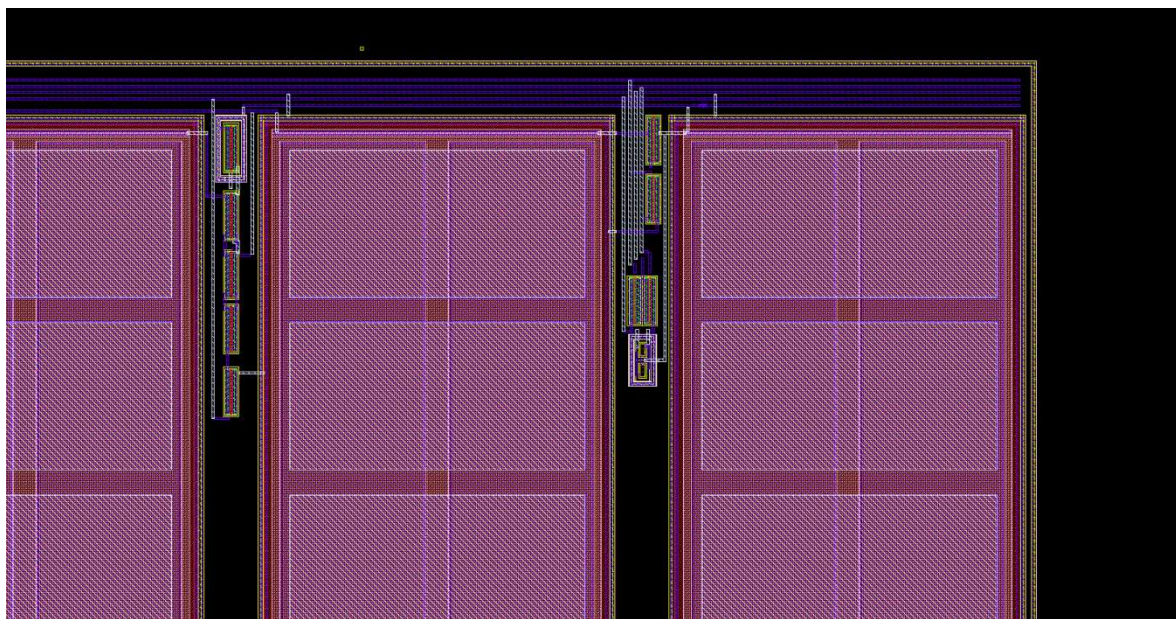
Slika 6.14. a) Topološki nacrt i b) shematski prikaz kaskodnog stupnja za pomak naponske razine

U poglavlju 5.4, gdje je detaljnije opisan kaskodni stupanj za pomak naponske razine, objašnjeno je da PMOS tranzistori moraju biti manjih dimenzija radi smanjivanja potrošnje samog CVSL sklopa. Iz tog razloga korišteni su PMOS tranzistori širine $W = 0,5 \mu\text{m}$ i duljine $L = 0,5 \mu\text{m}$, za razliku od NMOS tranzistora čije su dimenzije: $W = 10 \mu\text{m}$, $L = 0,5 \mu\text{m}$. Također, kao i kod sklopa tranzistora za prijenos naboja, PMOS tranzistori su okruženi zaštitnim prstenom u njihovom N-području.

Koristeći gotove module CVSL sklopa i sklopa tranzistora za prijenos naboja, topološki nacrt nove arhitekture nabojske pumpe s Fibonaccijevim stupnjem dobiva izgled kao na slici 6.15.



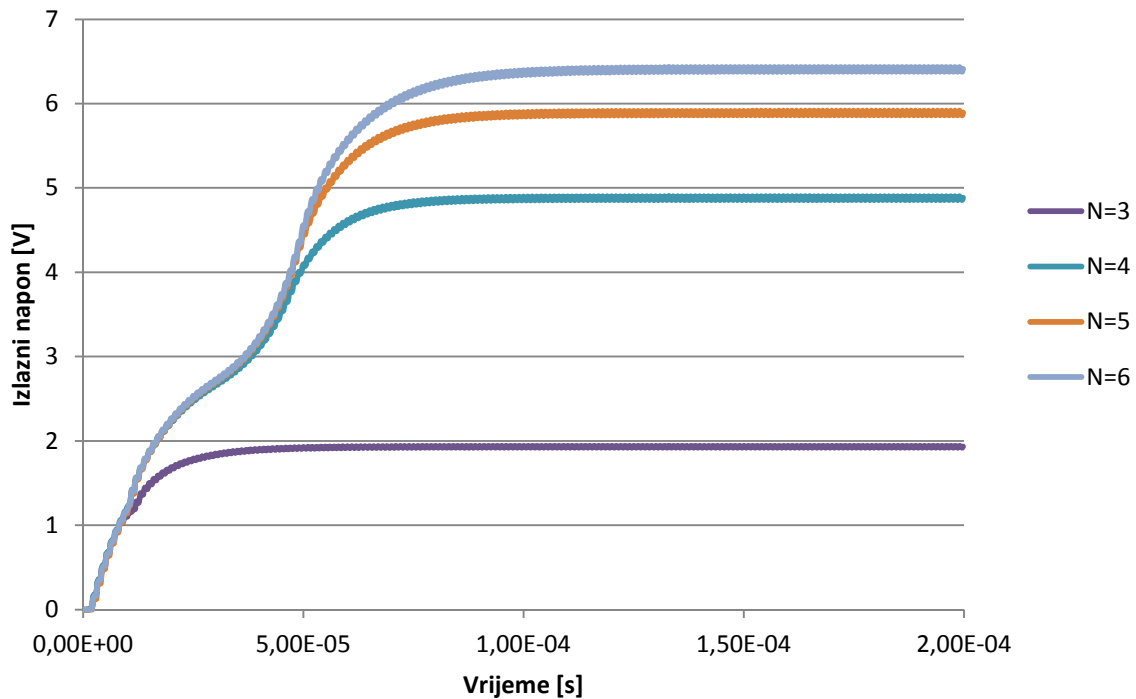
Slika 6.15. Topološki nacrt nove arhitekture nabojske pumpe s Fibonaccievim stupnjem za $N = 4$



Slika 6.16. Uvećani prikaz topološkog nacrtu nove arhitekture nabojske pumpe s Fibonaccievim stupnjem

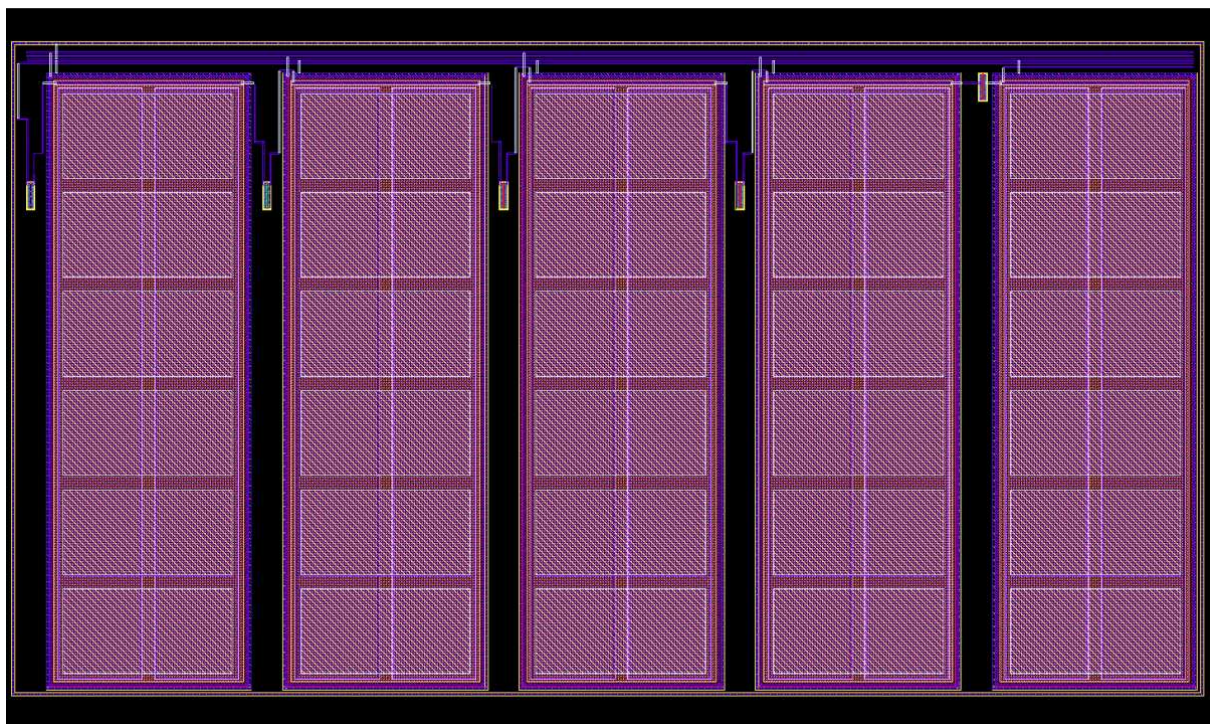
Na slici 6.16 prikazana su uvećano posljednja dva stupnja nabojske pumpe, kao i izlazni stupanj, kako bi se mogao detaljnije vidjeti položaj CVSL sklopa, kao i dva dodatna tranzistora koji tvore Fibonacciev stupanj. Kapaciteti kondenzatora od 15 pF, kao i dimenzije svih tranzistora u pojedinom stupnju nabojske pumpe odgovaraju vrijednostima korištenim u shematskom prikazu. Slika 6.15 prikazuje arhitekturu nabojske pumpe sa četiri stupnja, dok

su simulacije također provedene i za topološki nacrt pumpe sa tri, pet i šest stupnjeva. Na slici 6.17. prikazani su izlazni naponi nabojske pumpe za pobudu identičnu onoj korištenoj u simulaciju na razini shematskog prikaza.



Slika 6.17. Izlazni napon nove arhitekture nabojske pumpe – simulacija s ekstrahiranim parametrima

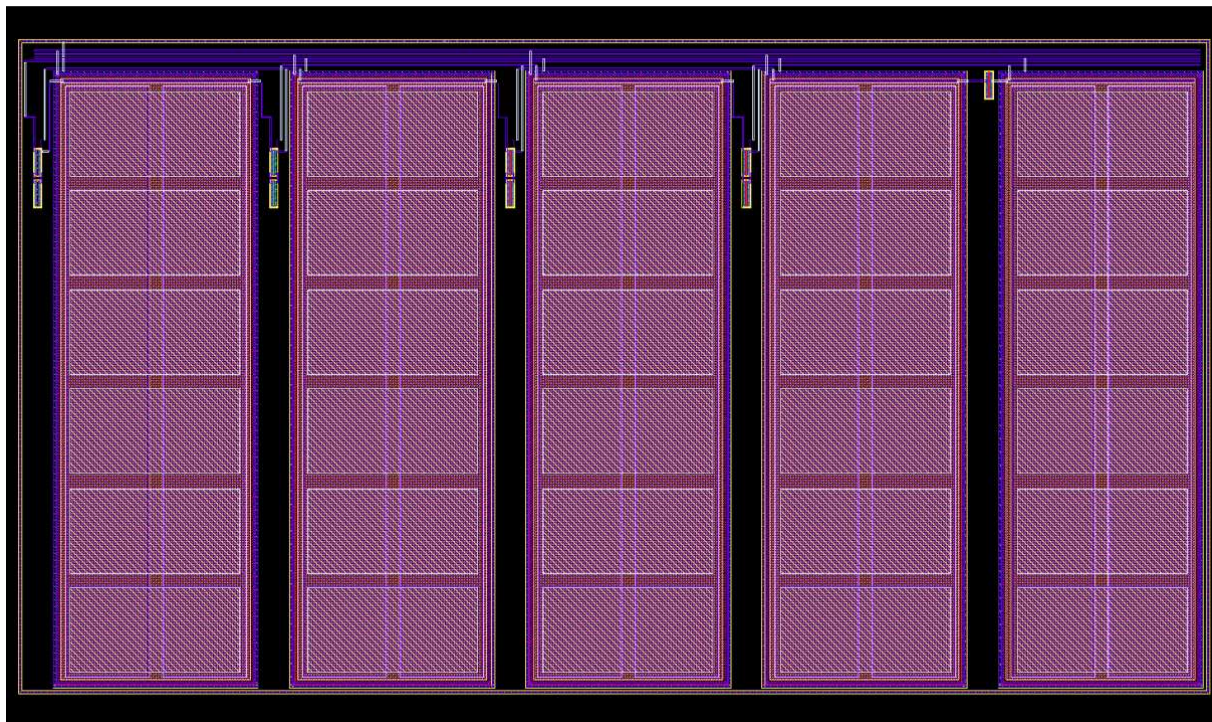
Nakon provedene simulacije s ekstrahiranim parametrima, odlučeno je da se za izvedbu u integriranom sklopu odabere nabojska pumpa sa četiri stupnja, budući da ona postiže izlazni napon od gotovo 5 V, što je i tehnološko ograničenje korištene tehnologije. Da bi se provela kvalitetna usporedba nove arhitekture nabojske pumpe s postojećim rješenjima, osim za novu arhitekturu s Fibonaccijevim stupnjem, projektiran je i tehnološki nacrt za Dicksonovu, CTS i modificiranu CTS nabojsku pumpu. Slijedeće slike prikazuju navedene topološke nacрте. Sve te nabojske pumpe su također pumpe sa četiri stupnja.



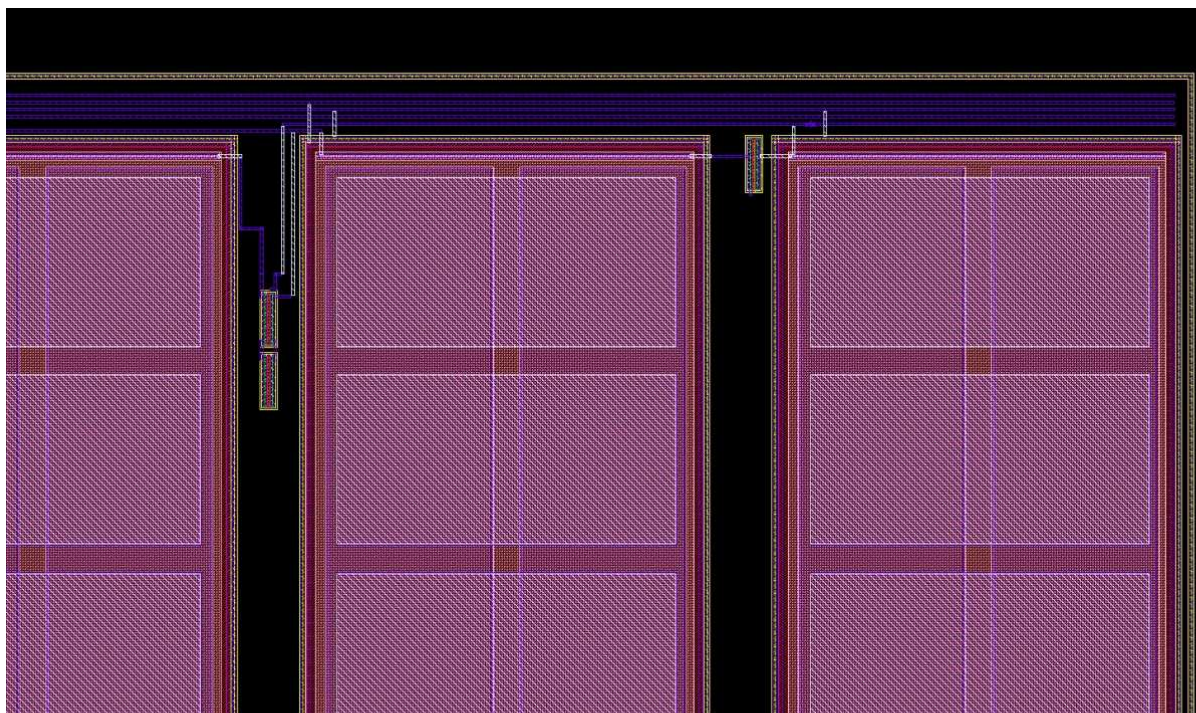
Slika 6.18. Topološki nacrt Dicksonove nabojske pumpe



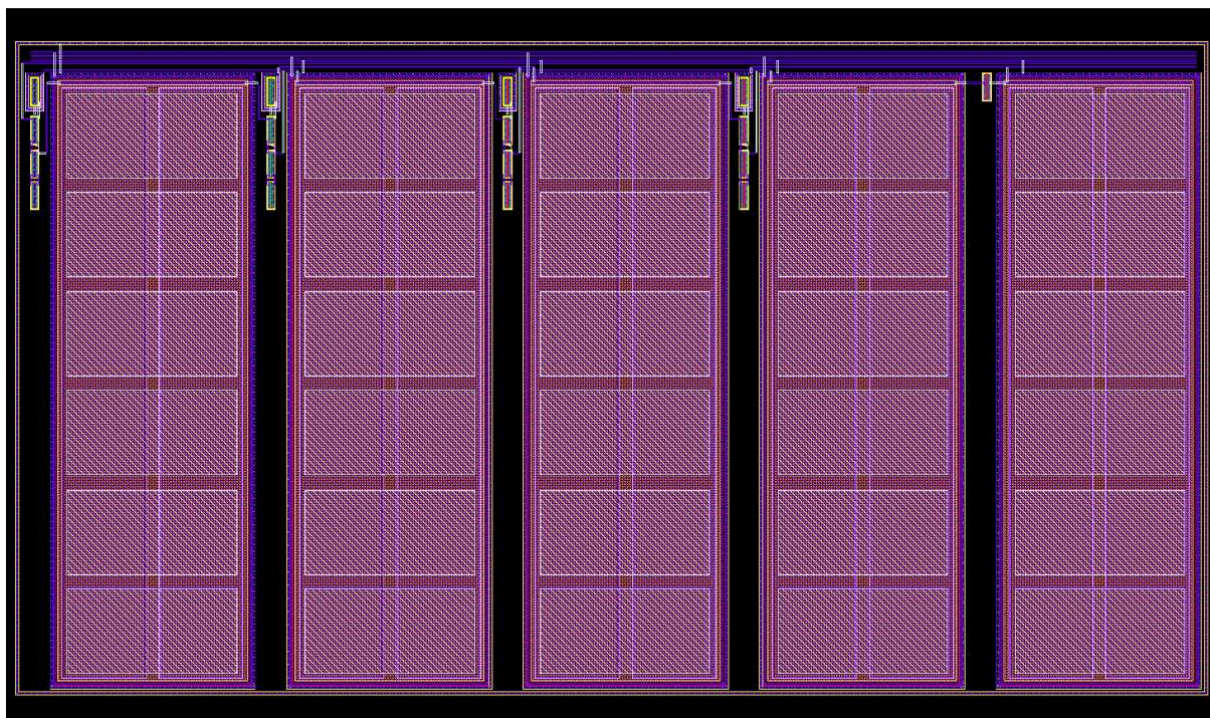
Slika 6.19. Topološki nacrt Dicksonove nabojske pumpe – uvećani prikaz



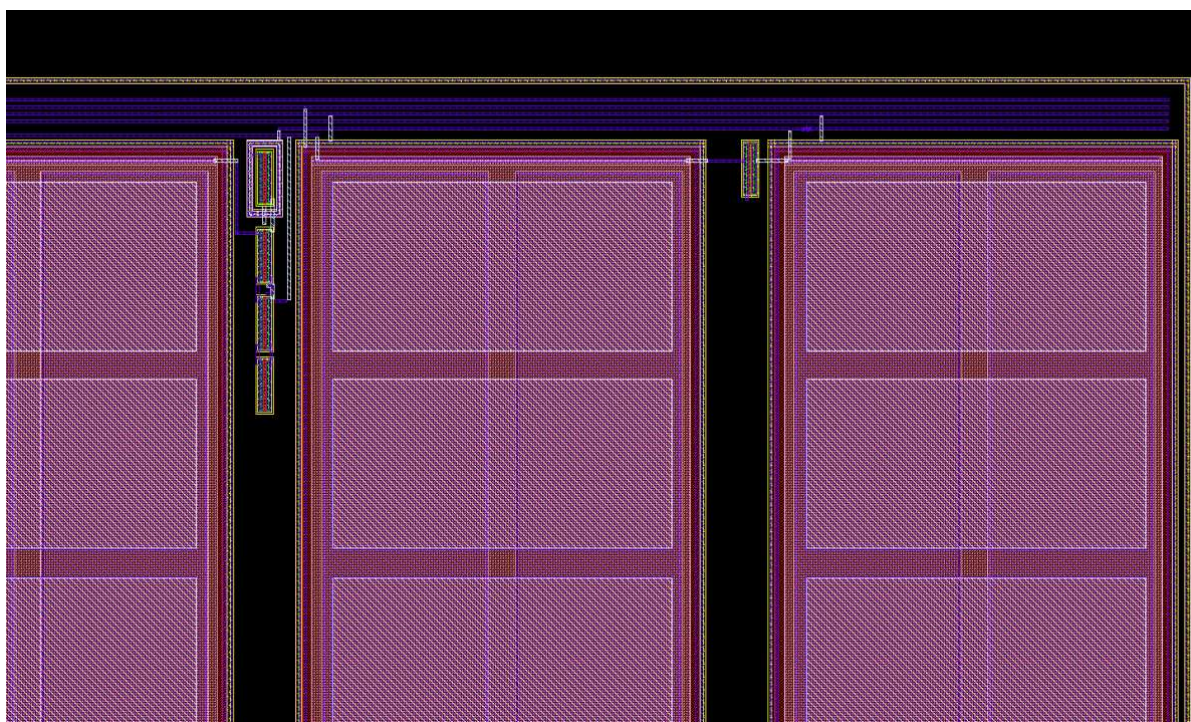
Slika 6.20. Topološki nacrt CTS nabojske pumpe



Slika 6.21. Topološki nacrt CTS nabojske pumpe – uvećani prikaz

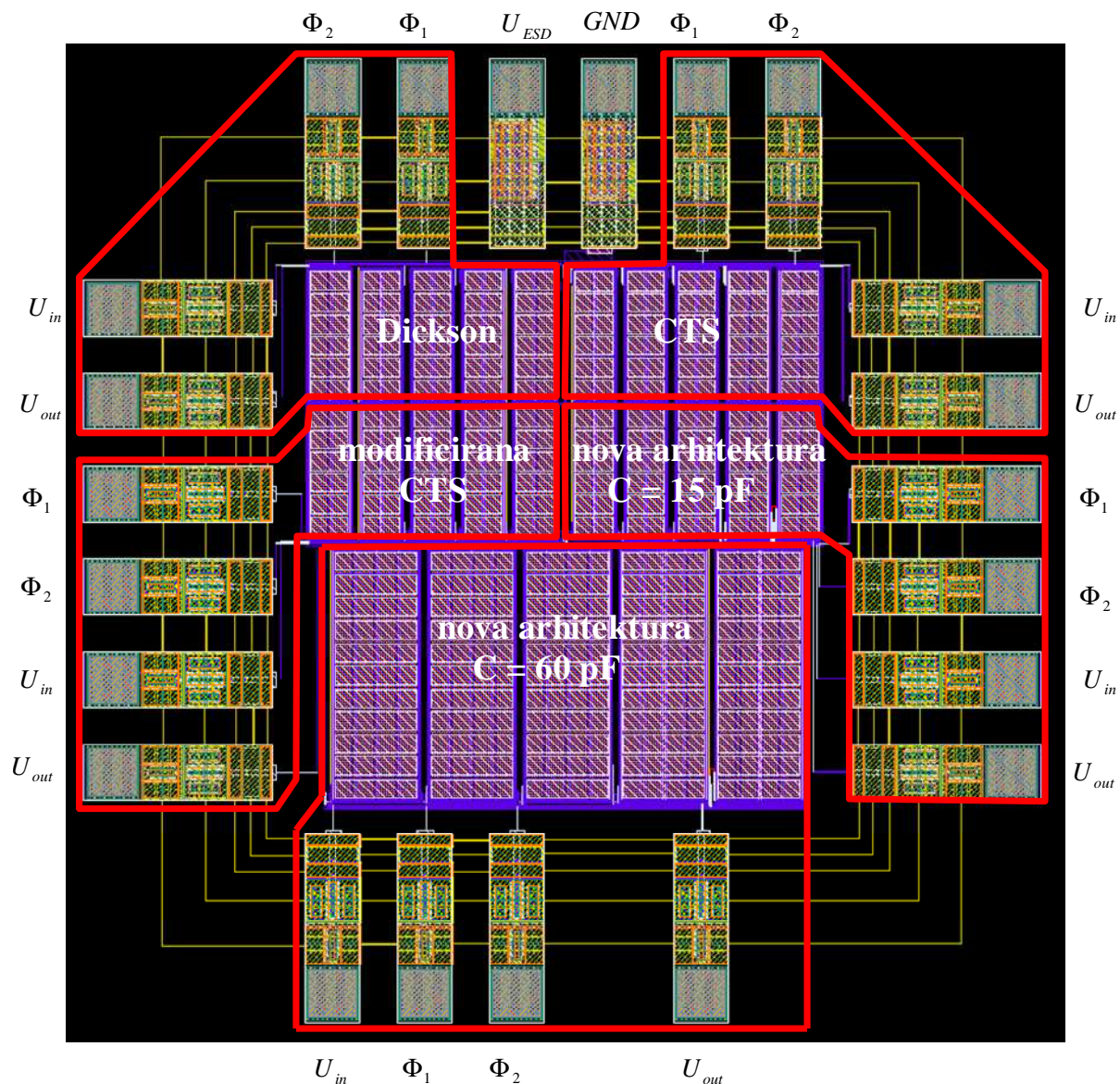


Slika 6.22. Topološki prikaz modificirane CTS nabojske pumpe



Slika 6.23. Topološki prikaz modificirane CTS nabojske pumpe – uvećani prikaz

Svi prikazani topološki nacrti nabojskih pumpi su objedinjeni u jedinstvenu cjelinu testnog integriranog sklopa prikazanu slikom 6.24.



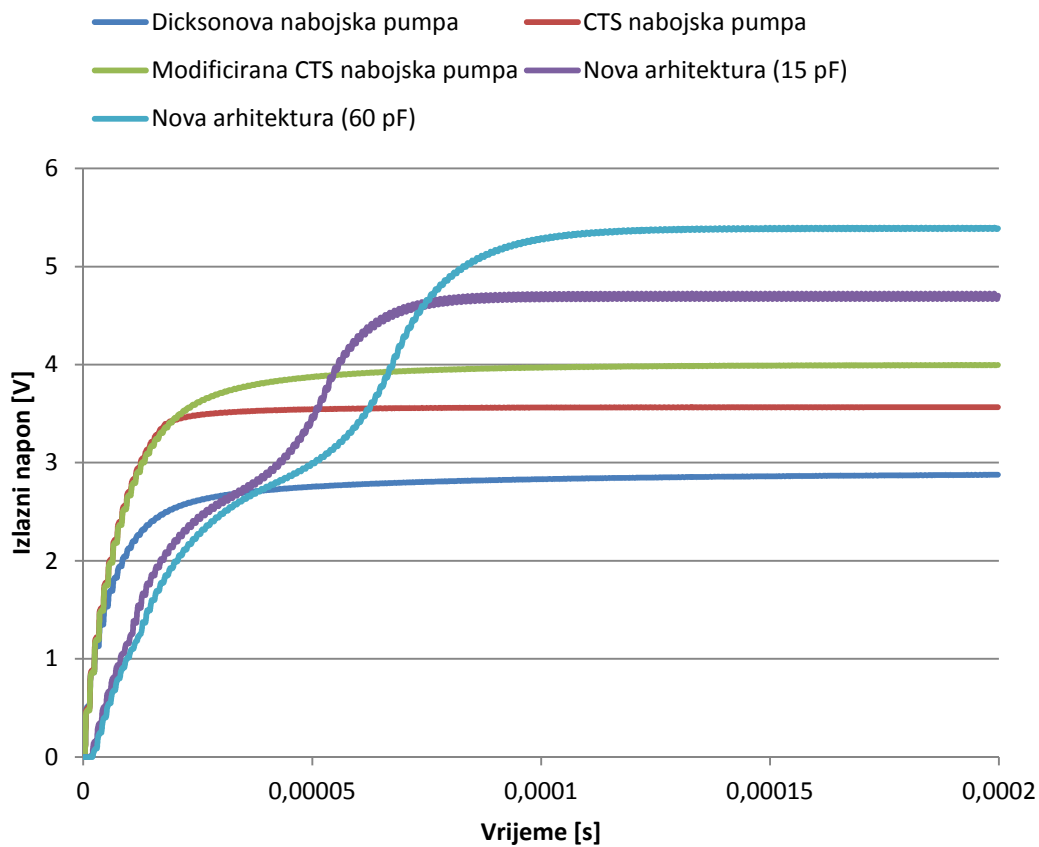
Slika 6.24. Topološki nacrt integriranog sklopa

Topološki nacrt integriranog sklopa sadrži pet nabojskih pumpi: Dicksonovu, CTS, modificiranu CTS i novu arhitektura – sve s kondenzatorima od 15 pF, te još jednom novu arhitekturu nabojske pumpe s kondenzatorima od 60 pF. Osim samih nabojskih pumpi, topološki nacrt integriranog sklopa sadrži ulazno/izlazne priključke (eng. *pad*) s elektrostatskom zaštitom (eng. *Electrostatic Discharge - ESD*).

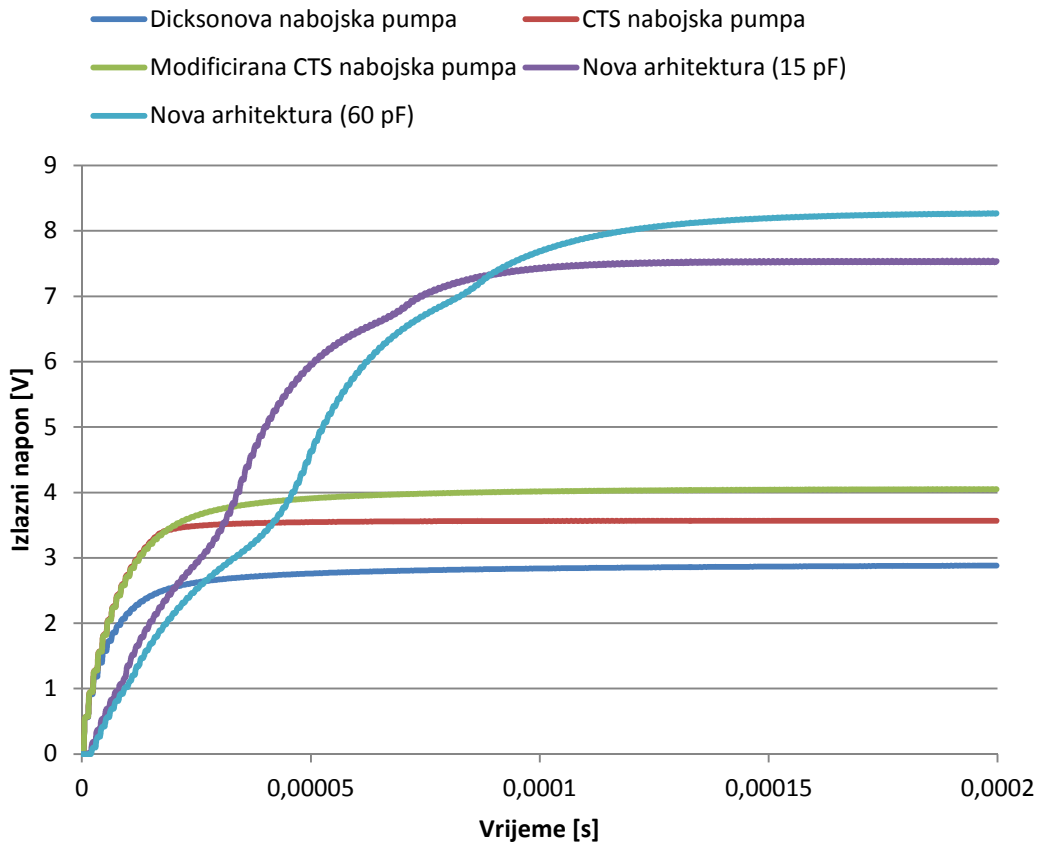
Svaka nabojska pumpa prikazana u topološkom nacrtu koristi tri zasebna ulazna priključka (napon napajanja U_{in} i dva signala takta) i jedan zasebni izlazni (izlazni napon nabojske pumpe). Sve nabojske pumpe dijele zajedničku masu (gnd priključak), dok se priključak označen sa U_{ESD} koristi zbog elektrostatičke zaštite priključaka. Istosmjerni napon doveden na U_{ESD} priključak definira naponsku razinu kod koje se uključuje elektrostatička zaštita.

Raspored nabojskih pumpi je određen u skladu s pravilima za projektiranje topološkog nacrtu (poglavlje 6.2). Korištenjem uskih kondenzatora smanjena je ukupna duljina metalnih vodova kojima se do nabojskih pumpi dovode (vanjski) signali takta.

Simulacija izlaznih napona nabojskih pumpi za topološki nacrt projektiranog testnog integriranog sklopa (Slika 6.24) sa ekstrahiranim parametrima i bez ekstrahiranih parametara dana je slikom 6.25. Ulazna pobuda jednaka je prethodnim simulacijama: tj. amplituda signala takta jednaka je naponu napajanja $U_{DD} = 1,8 \text{ V}$, frekvencija rada je $f = 1 \text{ MHz}$, otporno trošilo ima vrijednost od $R_{load} = 100 \text{ M}\Omega$.



a)

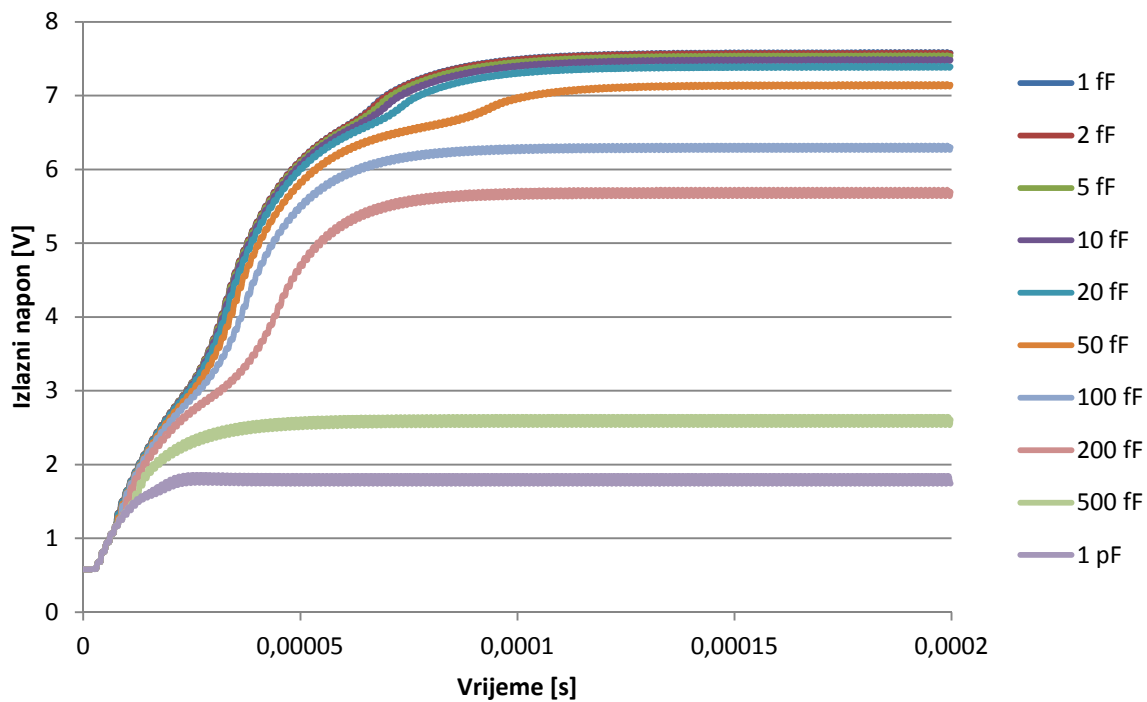


b)

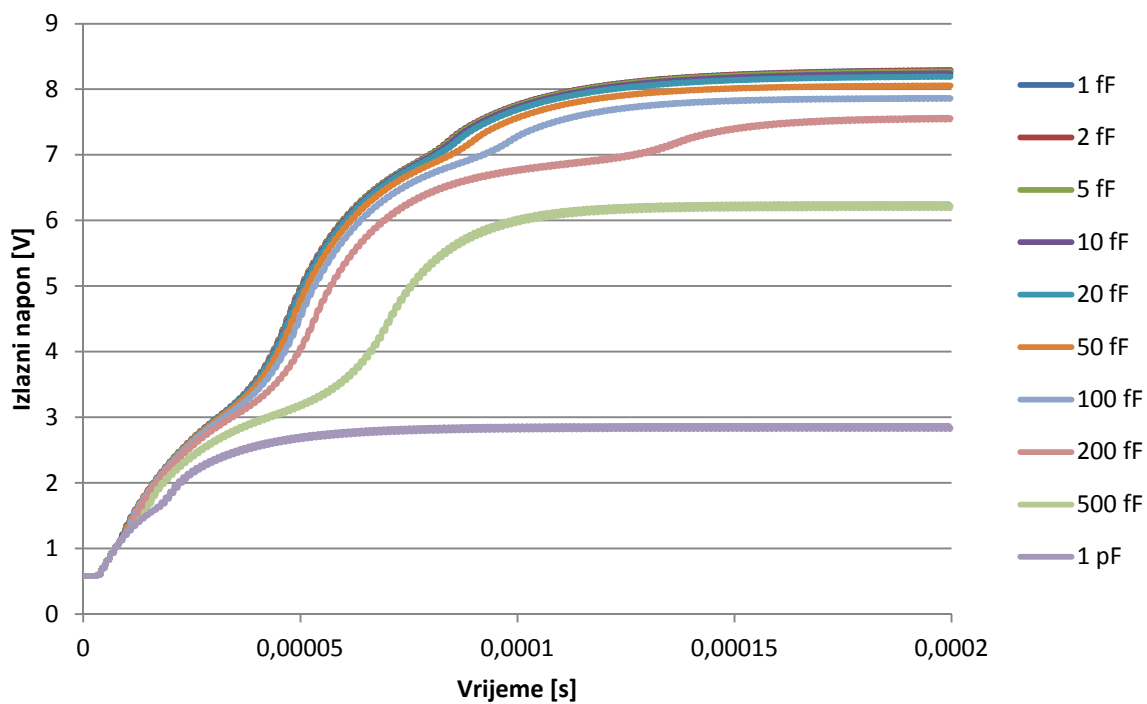
Slika 6.25. Simulacija izlaznih napona nabojnih pumpi za topološki nacrt projektiranog testnog integriranog sklopa sa a) ekstrahiranim parametrima i b) bez ekstrahiranih parametara

Vrijednosti izlaznog napona nove arhitekture dobivene simulacijom s ekstrahiranim parametrima bitno su niže u usporedbi s rezultatima dobivenim simulacijom shematskog prikaza (bez ekstrahiranih parametara). Razlog tome jest parazitni kapacitet izlaza CVSL sklopa, koji ovisi o kapacitetu upravljačke elektrode tranzistora u Fibonaccijevoj stupnju i o ukupnoj površini metalnih vodova spojenih na izlaz CVSL sklopa. Na slici 6.24 mogu se vidjeti dva prazna mjesta za ulazno/izlazne priključke koja su bila predviđena za mjerenje signala na izlazu CVSL sklopa. Kada su ti priključci spojeni simulacija izlaznog napona nove arhitekture nabojne pumpe daje rezultat na razinu napona napajanja od 1,8 V. Razlog tomu je značajno povećanje parazitnog kapaciteta na izlazu CVSL sklopa uslijed velike površine priključka. Nakon te simulacije odustalo se je od ugradnje tih priključaka.

Da bi se provjerila ova tvrdnja, ponovljene su simulacije bez ekstrahiranih parametara ali uz izlaz CVSL sklopa opterećen kondenzatorom čija je vrijednost mijenjana od 1 fF do 1 pF, a rezultati su dani slikom 6.26.



a)



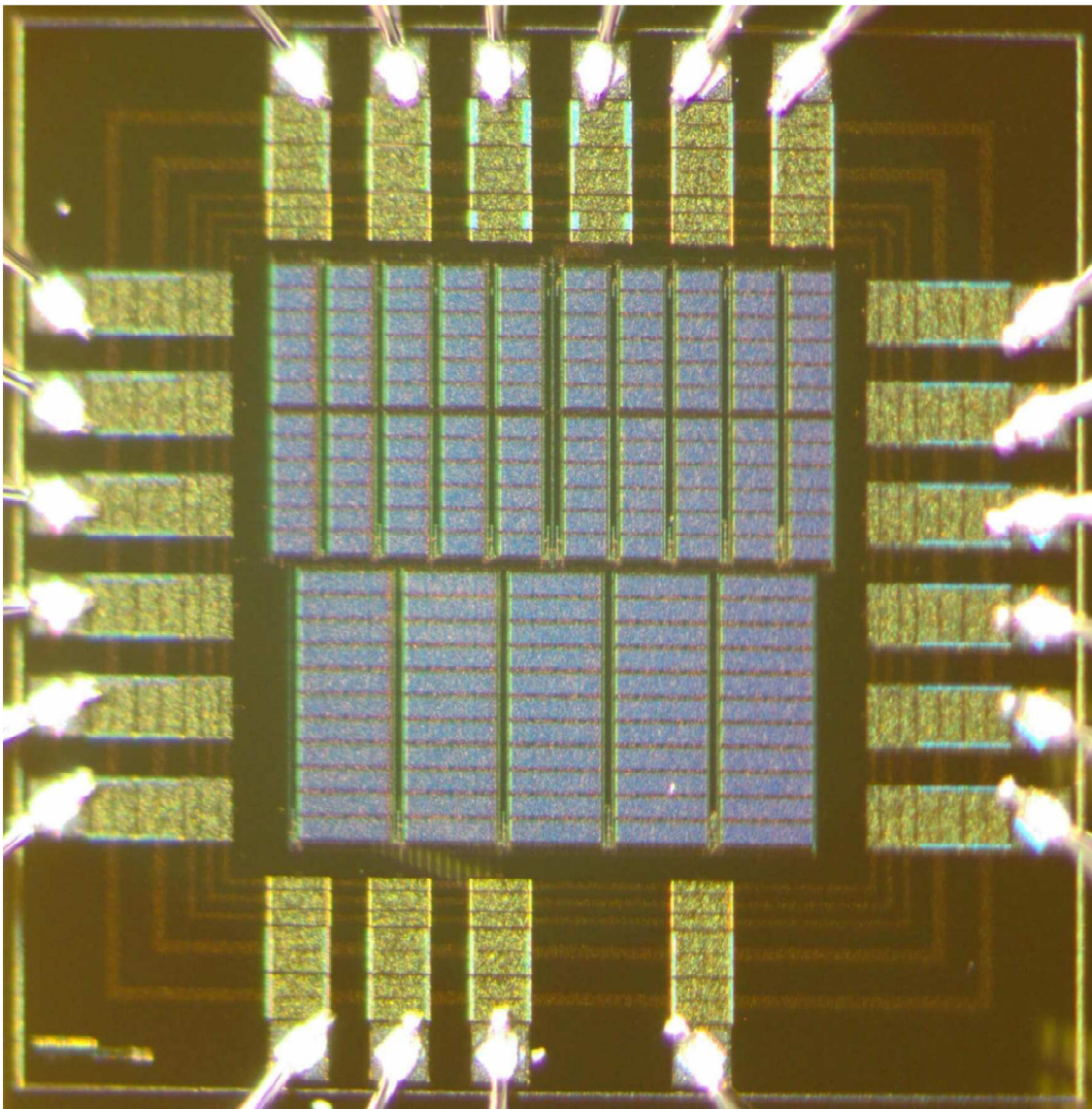
b)

Slika 6.26. Utjecaj parazitnog kapaciteta izlaza CVSL sklopa na izlazni napon nabojske pumpe za novu arhitekturu nabojske pumpe s kondenzatorima od a) 15 pF i b) 60 pF

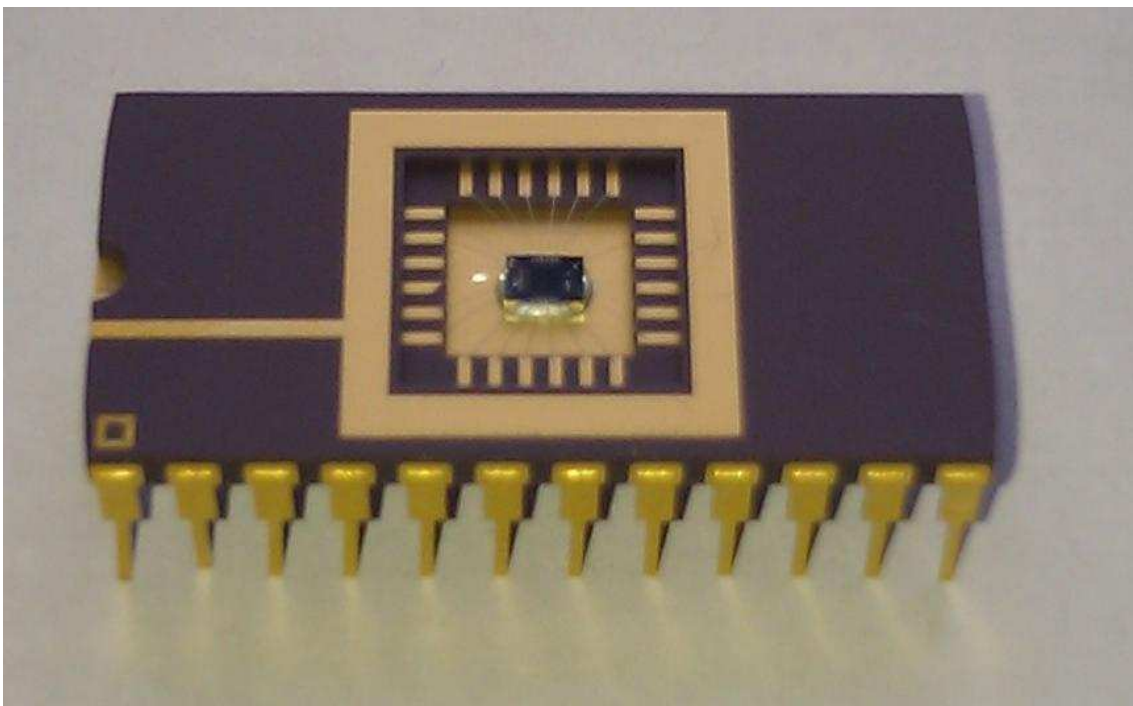
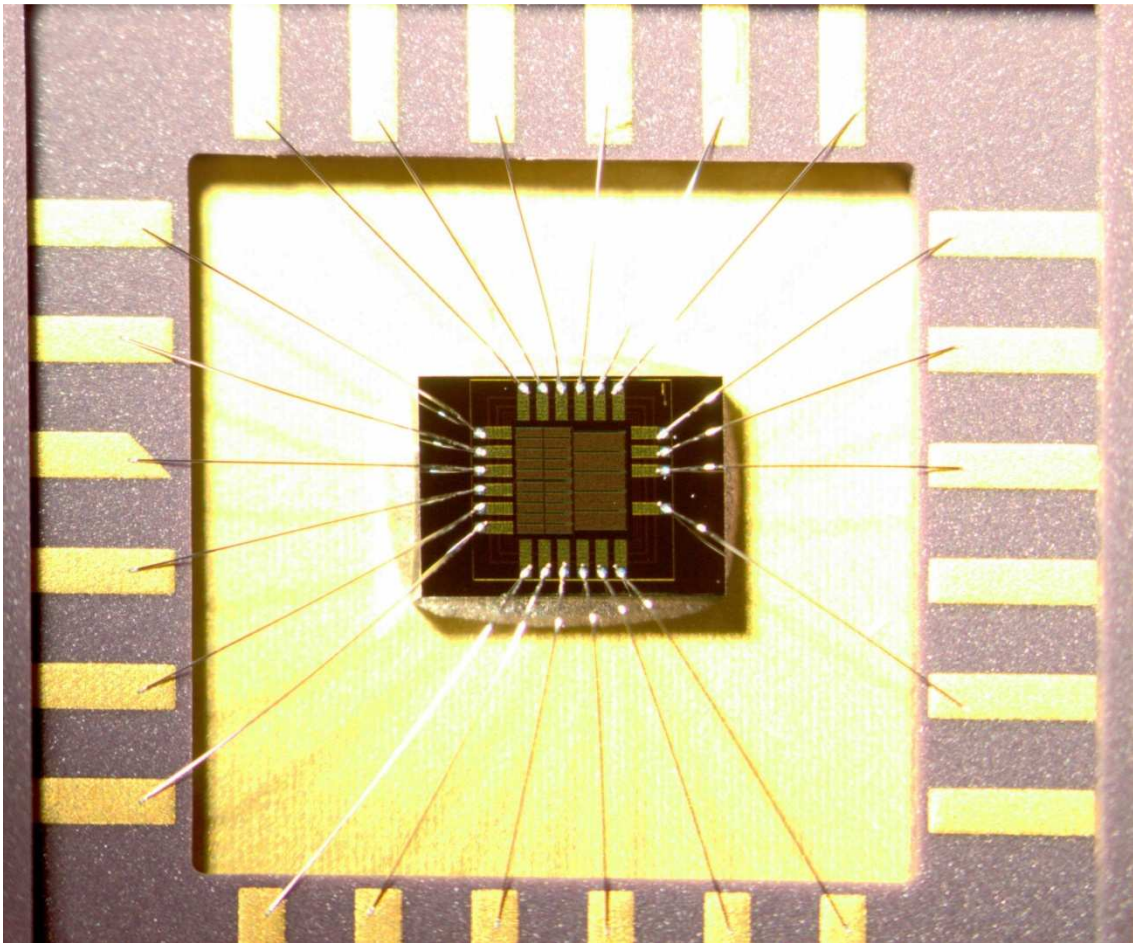
Povećanjem vrijednosti ukupnog kapaciteta na izlazu CVSL sklopa, izlazni napon nabojske pumpe pada, kao što je objašnjeno u poglavlju 5.4. Također je pokazano da je uzrok nižem izlaznom naponu nove arhitekture nabojske pumpe kod simulacije sa ekstrahiranim parametrima (u odnosu na simulaciju bez ekstrahiranih parametara) parazitni kapacitet izlaza CVSL sklopa. Bitno je i primjetiti da je izlazni napon nabojske pumpe s kondenzatorima od 60 pF viši od izlaznog napona nabojske pumpe s kondenzatorima od 15 pF. Razlog tomu je veća izlazna struja koju može postići nabojska pumpa s kondenzatorima od 60 pF, tj. izlazni kondenzator kod pumpe s kondenzatorima od 60 pF ima četiri puta više akumuliranog naboja u usporedbi s izlaznim kondenzatorom kod nabojske pumpe s kondenzatorima od 15 pF.

7. Mjerenja

Mikrofotografija procesiranog integriranog sklopa i njegova izvedba u DIL kućištu prikazana je slikom 7.1. Testni integrirani sklop procesiran je preko organizacije Europractice, koja između ostalih tehnologija nudi i AMS-ovu (Austria Micro Systems) tehnologiju koja je odabrana za izradu testnog integriranog sklopa. Sklop je procesiran u Austriji (u AMS-u), dok je bondanje i montiranje sklopa u DIL kućište sa 24 nožice napravljeno u IMEC-u (istraživanje i razvoj u području nanoelektronike) u Belgiji. Simulacije koje su prethodile procesiranju testnog integriranog sklopa provedene su u Cadence softverskom paketu, koji je također korišten pri projektiranju topološkog nacrtu, te dodatnim simulacijama sa ekstrahiranim parametrima.



a)

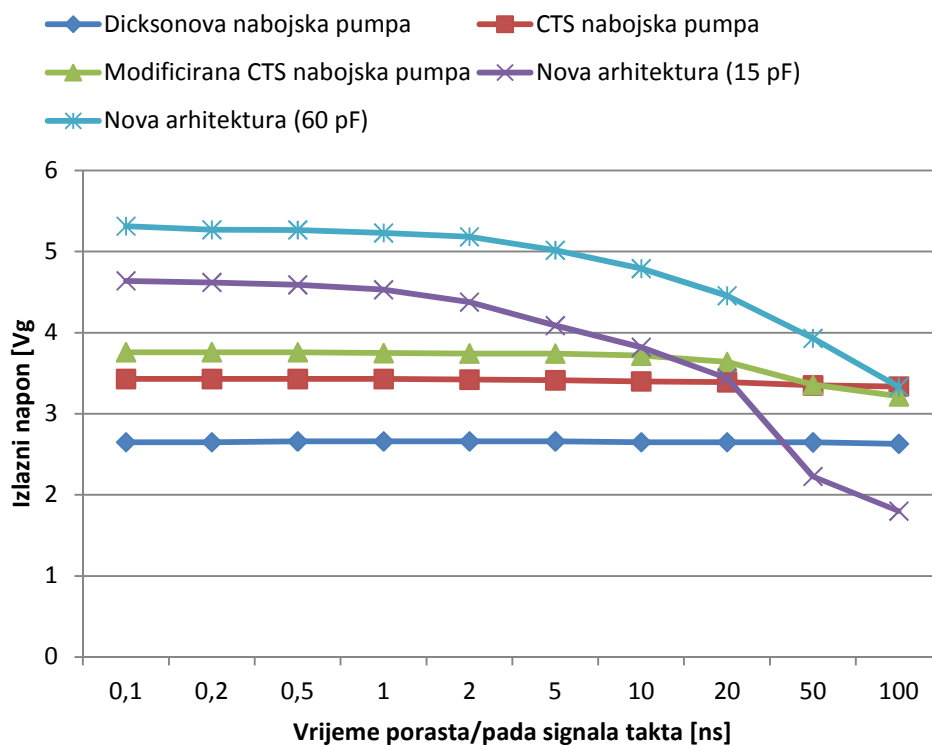


b)

Slika 7.1. a) Mikrofotografija procesiranog integriranog sklopa i b) integrirani sklop u plastičnom DIL kućištu sa 24 nožice

Mjerenja karakteristika procesiranih nabojskih pumpi provedena su na sljedeći način: kao generatori signala takta korištena su dva funkcijska generatora Agilent 33250A, koji imaju mogućnost podešavanja međusobnog faznog pomaka. Time je osigurano da se za svako mjerenje koriste nepreklapajući signali takta. Ograničenje korištenih funkcijskih generatora jest njihovo fiksno vrijeme porasta i vrijeme pada kod pravokutnog valnog oblika koje iznosi 5 ns. Vrijednost izlaznog napona nabojske pumpe mjerena je osciloskopom Agilent 54616B s pripadajućom sondom unutarnjeg otpora 10 M Ω .

U prethodnom poglavlju je opisan postupak projektiranja procesiranih nabojskih pumpi. Prilikom provedenih simulacija korišteni su signali takta s vremenom porasta/pada od 100 ps. Budući da nova arhitektura nabojske pumpe koristi kaskodni stupanj za pomak naponskih razina (koji je detaljnije opisan u poglavlju 5.4.) različita vremena porasta/pada signala takta imaju različiti utjecaj na vrijednost izlaznog napona nabojske pumpe. Iz tog je razloga provedena dodatna simulacija svih procesiranih pumpi. Ovisnost izlaznog napona pojedine nabojske pumpe o vremenu porasta/pada signala takta dana je slikom 7.2. Amplituda signala takta iznosi 1,8 V, frekvencija rada nabojske pumpe iznosi $f = 1$ MHz, što odgovara simulacijama provedenim tijekom postupka projektiranja nabojskih pumpi.



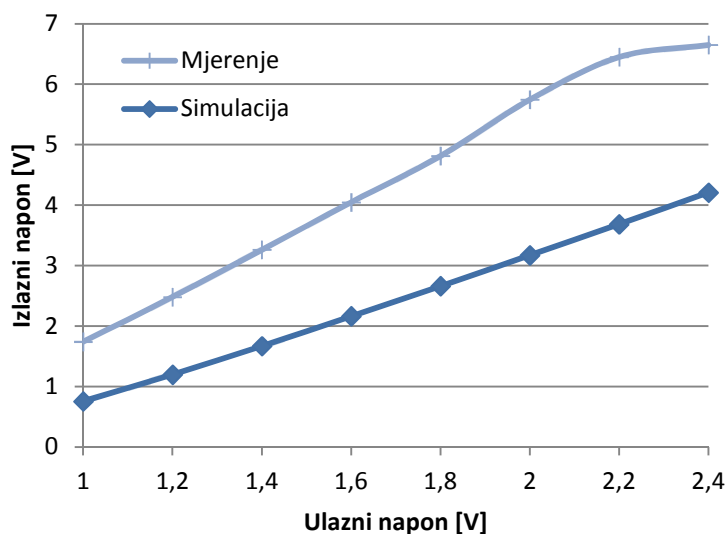
Slika 7.2. Simulacija ovisnosti izlaznog napona nabojskih pumpi o vremenu porasta/pada signala takta

Vidljiv je značajan utjecaj vremena porasta/pada signala takta na izlazni napon nove arhitekture nabojne pumpe. Također se pri većim vrijednostima vremena porasta/pada javlja utjecaj i kod modificirane CTS nabojne pumpe, ali u znatno manjoj mjeri. Kod klasične CTS i Dicksonove nabojne pumpe ne primjećuje se utjecaj vremena porasta/pada signala takta na izlazni napon.

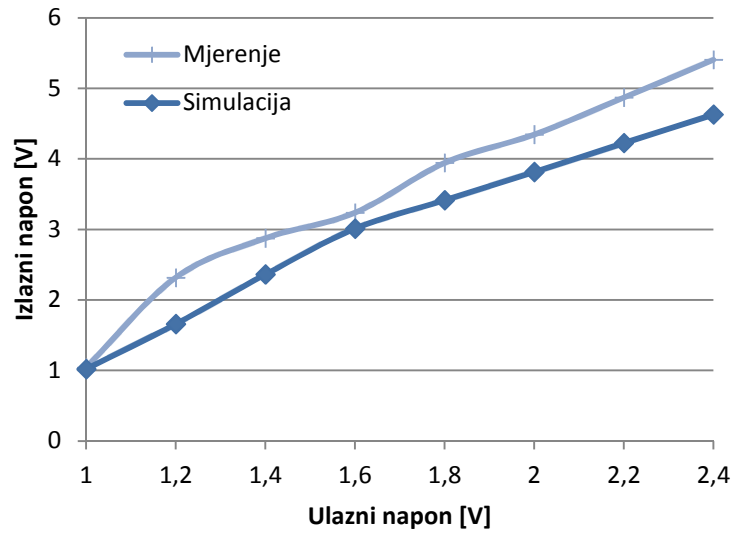
Budući da uslijed vremena porasta/pada signala signala postoji razlika u izlaznom naponu kod nove arhitekture nabojne pumpe, mjerenja su uspoređivana s novim setom simulacija kod kojih je vrijeme porasta/pada postavljeno na 5 ns, što odgovara korištenim funkcijskim generatorima.

7.1 Izlazni napon pri kapacitivnom opterećenju

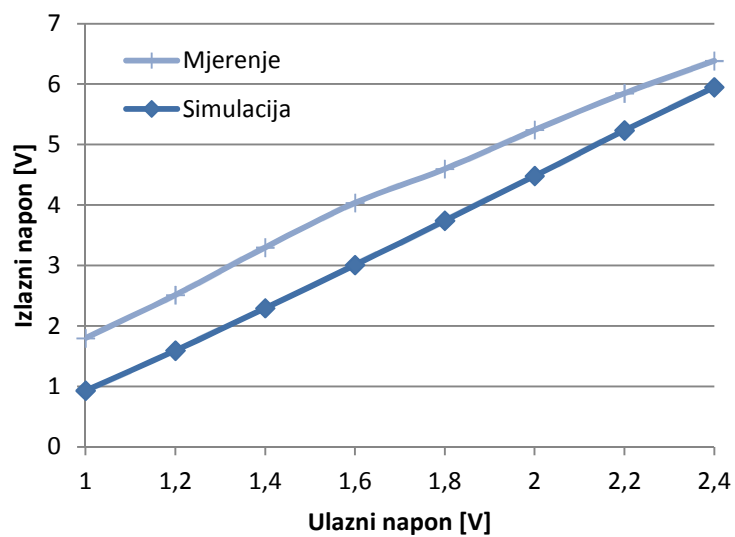
Izlazni napon nabojne pumpe pri kapacitivnom opterećenju postiže svoju maksimalnu vrijednost. Zbog mjerne sonde otpora $10\text{ M}\Omega$, mjerenje karakteristika nabojne pumpe pri čisto kapacitivnom opterećenju nije izvedivo. Koristeći izraz (3-75) za izlaznu struju nabojne pumpe, može se vidjeti da sonda od $10\text{ M}\Omega$ pri frekvenciji rada od 1 MHz ipak predstavlja strujno opterećenje koje je znatno manje (2 reda veličine) od izlazne struje koju nabojna pumpa može osigurati. Stoga se za mjerenje izlaznog napona pri „gotovo“ kapacitivnom opterećenju može koristiti i osciloskop s pripadajućom sondom otpora $10\text{ M}\Omega$. Usporedba rezultata mjerenja i simulacija izlaznog napona pojedine nabojne pumpe u ovisnosti o ulaznom naponu pri frekvenciji od 1 MHz, dana je sljedećim slikama.



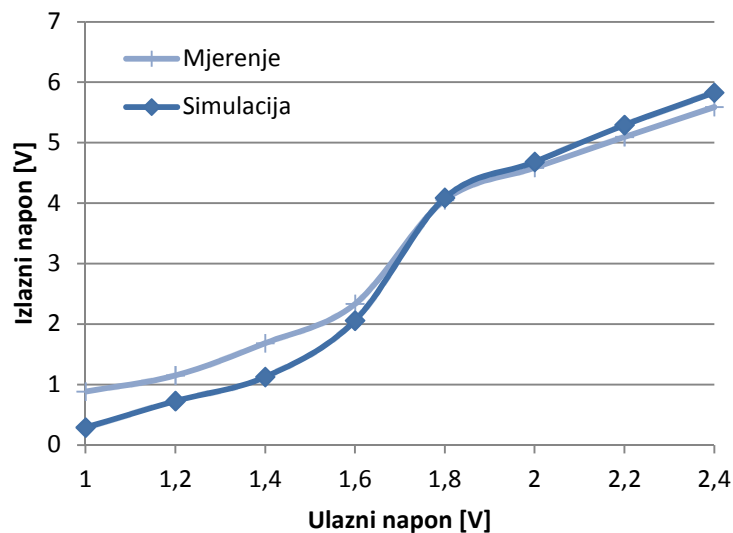
Slika 7.3. Izlazni napon Dicksonove nabojne pumpe pri kapacitivnom opterećenju



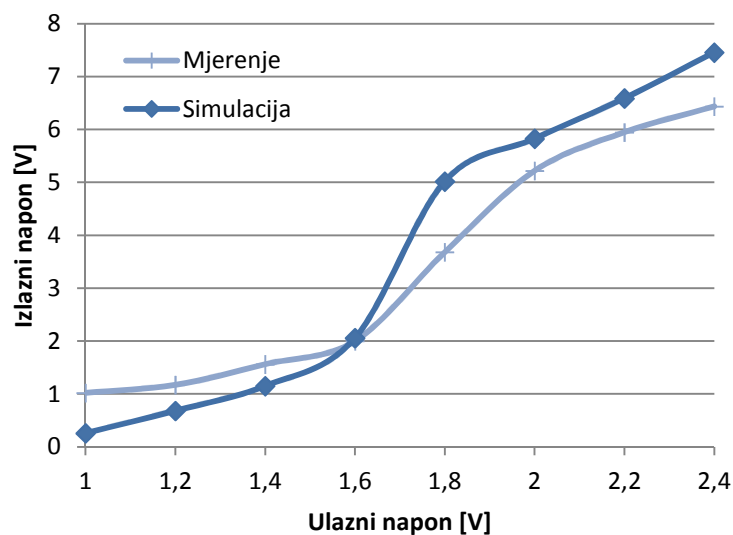
Slika 7.4. Izlazni napon CTS nabojske pumpe pri kapacitivnom opterećenju



Slika 7.5. Izlazni napon modificirane CTS nabojske pumpe pri kapacitivnom opterećenju



Slika 7.6. Izlazni napon nove arhitekture nabojske pumpe s kondenzatorima od 15 pF pri kapacitivnom opterećenju



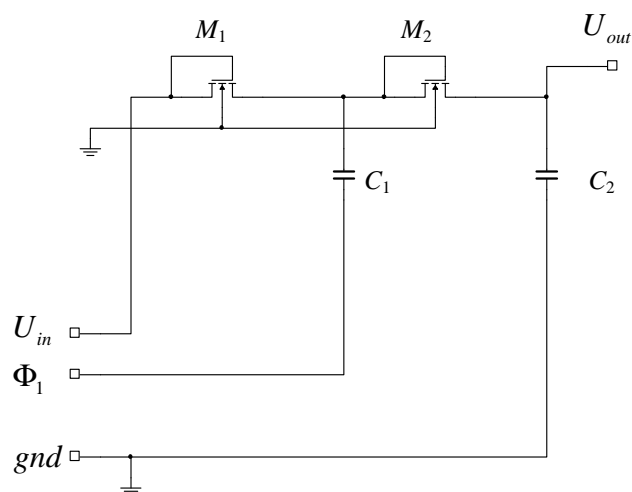
Slika 7.7. Izlazni napon nove arhitekture nabojske pumpe s kondenzatorima od 60 pF pri kapacitivnom opterećenju

Rezultati usporedbe simulacije i mjerenja pokazuju značajnu razliku u izlaznom naponu kod Dicksonove nabojske pumpe. Mjerenjem su dobiveni gotovo dvostruko viši izlazni naponi u usporedbi s rezultatima simulacije. Bolji rezultati dobiveni mjerenjem procesiranih nabojskih pumpi vidljivi su i kod CTS i kod modificirane CTS nabojske pumpe. Kod nove arhitekture nabojske pumpe s kondenzatorima od 15 pF postoji najveće poklapanje rezultata simulacije i mjerenja, dok kod nove arhitekture s kondenzatorima od 60 pF postoji veće

odstupanje i u usporedbi s ostalim procesiranim pumpama daje najlošije rezultate kod ulaznog napona od 1.8 V za koji su nabojne pumpe i projektirane.

7.2 Ograničenja SPICE modela MOS tranzistora

Da bi se objasnio odstupanje rezultata mjerenja i rezultata dobivenih simulacijom, proveden je sljedeći eksperiment. Koristeći integrirani sklop CD4007 koji se sastoji od 3 PMOS/NMOS para tranzistora, realizirana je nabojna pumpa s jednim stupnjem, tj. udvostručivač napona prikazan slikom 7.8. Po svojoj arhitekturi, korišteni udvostručivač napona identičan je Dicksonovoj nabojnoj pumpi, dok je vrijednost korištenih kondenzatora 10 nF.



Slika 7.8. Udvostručivač napona

Mjerenje i simulacija izlaznog napona su provedeni za različite vrijednosti ulaznog napona pri frekvenciji od 1 MHz i kapacitivnom opterećenju, a dobiveni su rezultati prikazani slikom 7.9. Osim za kapacitivno opterećenje, isto mjerenje i simulacija provedeni su i za opterećenje otpornikom od 100 k Ω , čiji su rezultati prikazani slikom 7.10. U oba slučaja korištena su tri SPICE modela dostupna na web-u:

SPICE model 1 [71]:

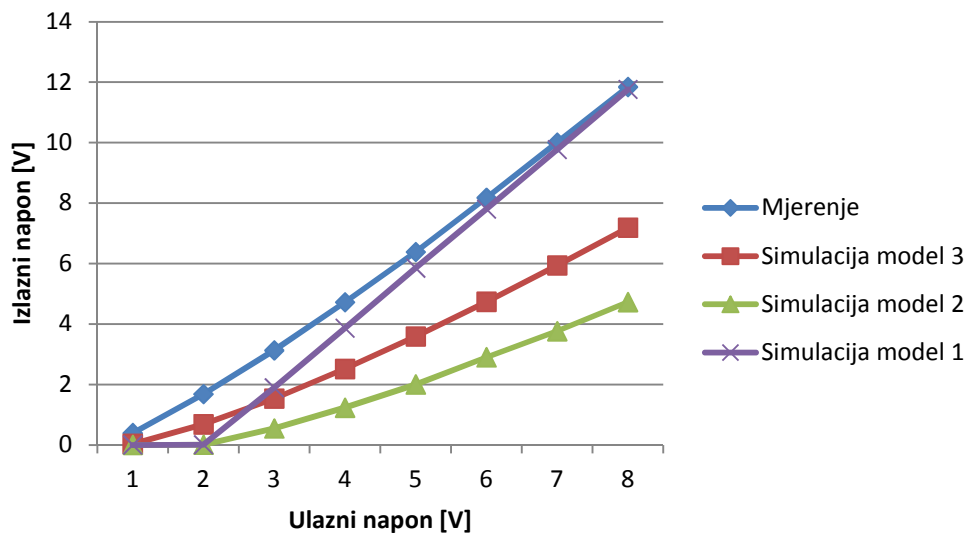
```
.model MbreakND NMOS
+ Level=1      Gamma= 0      Xj=0
+ Tox=1200n   Phi=.6        Rs=0          Kp=111u      Vto=2.0      Lambda=0.01
+ Rd=0        Cbd=2.0p      Cbs=2.0p     Pb=.8        Cgso=0.1p
+ Cgdo=0.1p   Is=16.64p        N=1
```


SPICE model 2 [72]:

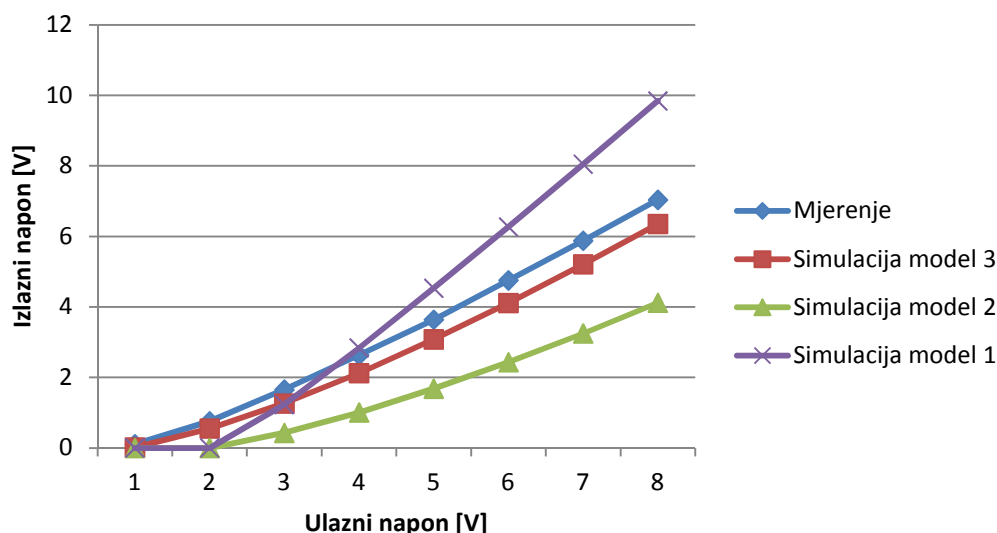
```
.model CD4007 NMOS
+ Level=1      Gamma= 2.7   Xj=0
+ Tox=1200n   Phi=.6      Rs=0      Kp=111u   Vto=2.0   Lambda=0.01
+ Rd=0        Cbd=2.0p    Cbs=2.0p  Pb=.8    Cgso=0.1p
+ Cgdo=0.1p   Is=16.64p  N=1      L=10E-6  W=30E-6
```

SPICE model 3 [72]:

```
(LEVEL=1 CBD=2.0p CBS=2.0p CGDO=0.1p CGSO=0.1p GAMMA=1.8
+ IS=16.64p KP=150u L=10E-6 LAMBDA=0.01 PB=.8 PHI=.3 TOX=1200n VTO=0.95
W=33E-6)
```

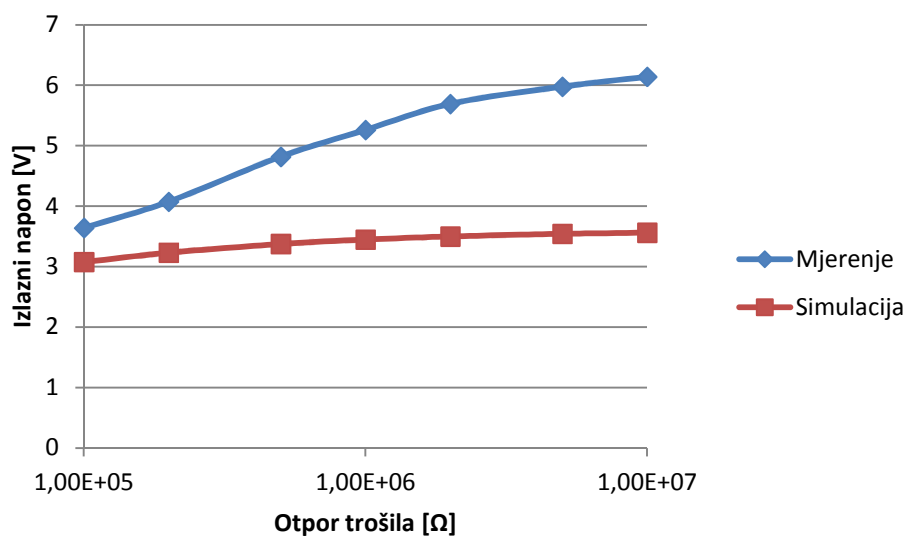


Slika 7.9. Izlazni napon udvostručivača napona pri kapacitivnom opterećenju dobiven mjerenjem i simulacijom modelima 1 do 3

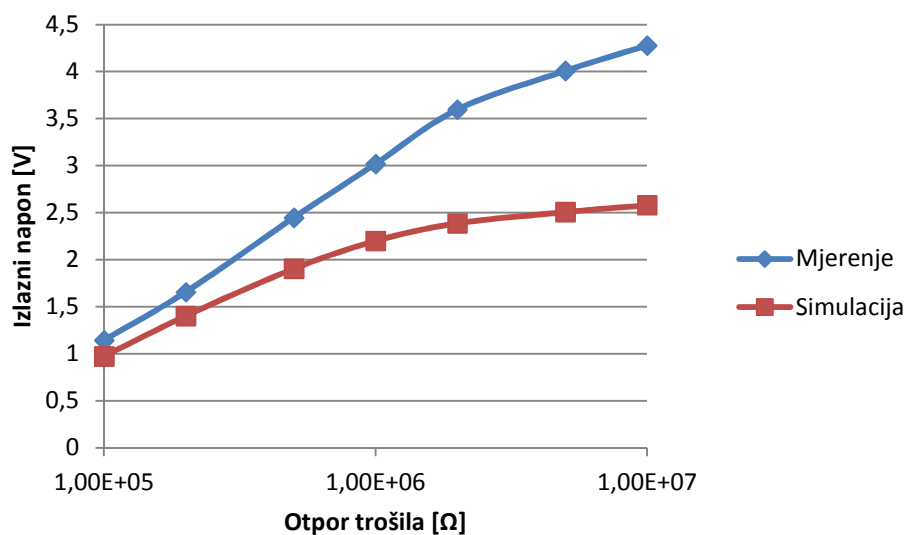


Slika 7.10. Izlazni napon udvostručivača napona pri opterećenju otpornikom od 100 kΩ dobiven mjerenjem i simulacijom modelima 1 do 3

Rezultati pokazuju da SPICE model 3, koji je prema [72] najtočniji SPICE model, najbolje opisuje rad NMOS tranzistora integriranog sklopa CD4007 kada postoji otporno opterećenje mjerenog sklopa. Kod kapacitivnog opterećenja, za SPICE model 3, vidljivo je podjednako odstupanje rezultata simulacije i mjerenja kao i kod simulacija i mjerenja Dicksonove nabojske pumpe u sklopu testnog integriranog sklopa. Zbog toga je u sljedećim analizama korišten SPICE model 3, jer ostala dva SPICE modela daju bitno veće pogreške, poglavito za niže ulazne napone. SPICE model 1, koji za kapacitivno opterećenje čak daje i najtočnije rezultate u potpunosti zanemaruje efekt podloge ($\Gamma = 0$), te se kao takav ne može koristiti. Budući da kod nabojske pumpe s većom izlaznom strujom raste poklapanje rezultata mjerenja i simulacije izlaznog napona, provedena je usporedba rezultata mjerenja i simulacije za različite vrijednosti otpora opterećenja pri konstantnoj vrijednosti ulaznog napona. Na slici 7.11. prikazani su rezultati usporedbe za udvostručivač napona realiziran pomoću sklopa CD4007 s ulaznim naponom $U_{in} = 5$ V, kao i za procesiranu Dicksonovu nabojsku pumpu u sklopu testnog integriranog sklopa s ulaznim naponom $U_{in} = 1,8$ V.



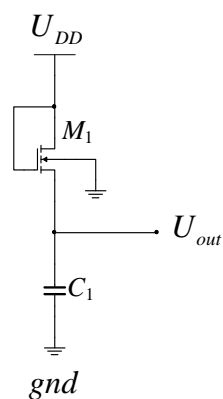
a)



b)

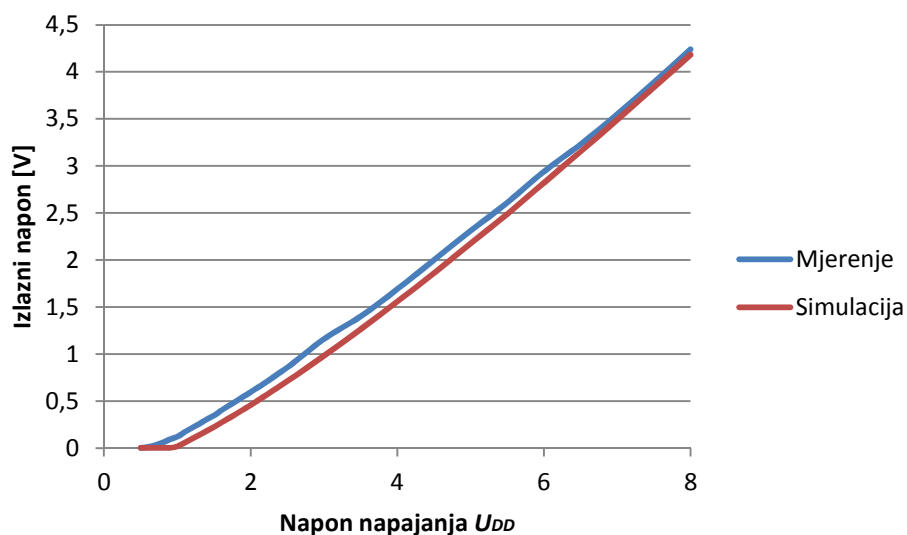
Slika 7.11. Izlazni napon a) udvostručivača napona (uz $U_{in} = 5 \text{ V}$) i b) Dicksonove nabojске pumpe u sklopu testnog integriranog sklopa (uz $U_{in} = 1,8 \text{ V}$) za različita otporna opterećenja

Sa slike 7.11. vidljivo je da sa smanjenjem izlazne struje raste odstupanje između rezultata mjerenja i simulacije, i to u korist stvarnog, mjerenog sklopa. Također se može primijetiti kvalitativno vrlo slične krivulje za udvostručivač napona i Dicksonovu nabojску pumpu u sklopu testnog integriranog sklopa. Budući da se kod nabojске pumpe tranzistori koriste na način da uvod i podloga NMOS tranzistora nisu spojeni zajedno (pojava efekta podloge), provedena je usporedba mjerenja i simulacije električnog sklopa realiziranog pomoću integriranog sklopa CD4007 i prikazanog slikom 7.12.

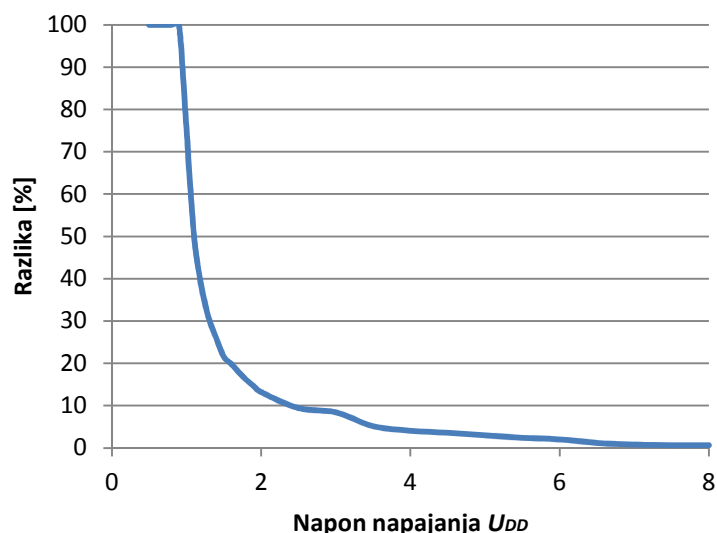


Slika 7.12. Mjerenje izlaznog napona jednog stupnja Dicksonove nabojske pumpe izvedene pomoću integriranog sklopa CD4007 u statičkom režimu rada

Promjenom napona napajanja U_{DD} mijenja se i napon U_{out} . Shematski prikaz sa slike 7.12. odgovara načinu rada svakog stupnja u Dicksonovoj nabojskoj pumpi. Diodno spojeni NMOS tranzistor M_1 puni kondenzator C_1 , a izlazni napon ovisi o naponu praga tranzistora. Budući da u situaciji prikazanoj slikom 7.12. nema otpornog trošila, izlazni napon U_{out} trebao bi postići višu vrijednost od $U_{DD} - U_m$, jer tranzistor u području rada ispod napona praga nastavlja puniti kondenzator, samo bitno manjom strujom. Vrijednosti izlaznog napona U_{out} dobiveni mjerenjem i simulacijom prikazani su slikom 7.13.



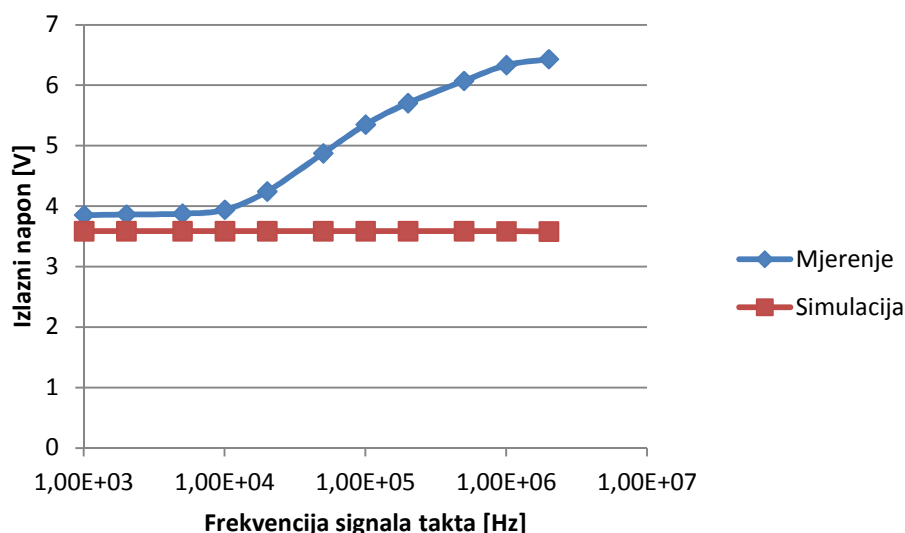
a)



b)

Slika 7.13. a) Rezultati mjerenja i simulacije izlaznog napona jednog stupnja Dicksonove nabojne pumpe u statičkom režimu rada i b) razlika simuliranih i mjerenih izlaznih veličina u postocima

Za napone napajanja niže od 2 V, postoji značajna razlika između mjerenja i simulacije izlaznog napona. Kod napona napajanja nižih od 0,95 V, što je napon praga NMOS tranzistora određen SPICE modelom ($V_{TO}=0,95$), izlazni napon simuliranog sklopa prikazanog slikom 7.12. jednak je nuli. Mjerenjem je pak pokazano da i u području rada ispod napona praga tranzistora postoji određena pozitivna vrijednost izlaznog napona. Takav način modeliranja područja rada tranzistora ispod napona praga (eng. *subthreshold*) rezultira odstupanjem rezultata mjerenja i simulacije koji su izraženiji sa smanjenjem izlazne struje nabojne pumpe. Premda je relativna razlika između mjerenja i simulacije prikazana slikom 7.13.b) značajna, apsolutna vrijednost razlike je reda veličine 100 mV. Iz tog je razloga provedena dodatna analiza udvostručivača napona (slika 7.8.), kod koje je uspoređivan izlazni napon dobiven mjerenjem, odnosno simulacijom za različite frekvencije signala takta, uz ulazni napon od 5 V i kapacitivno opterećenje.



Slika 7.14. Izlazni napon udvostručivača napona za različite frekvencije signala takta

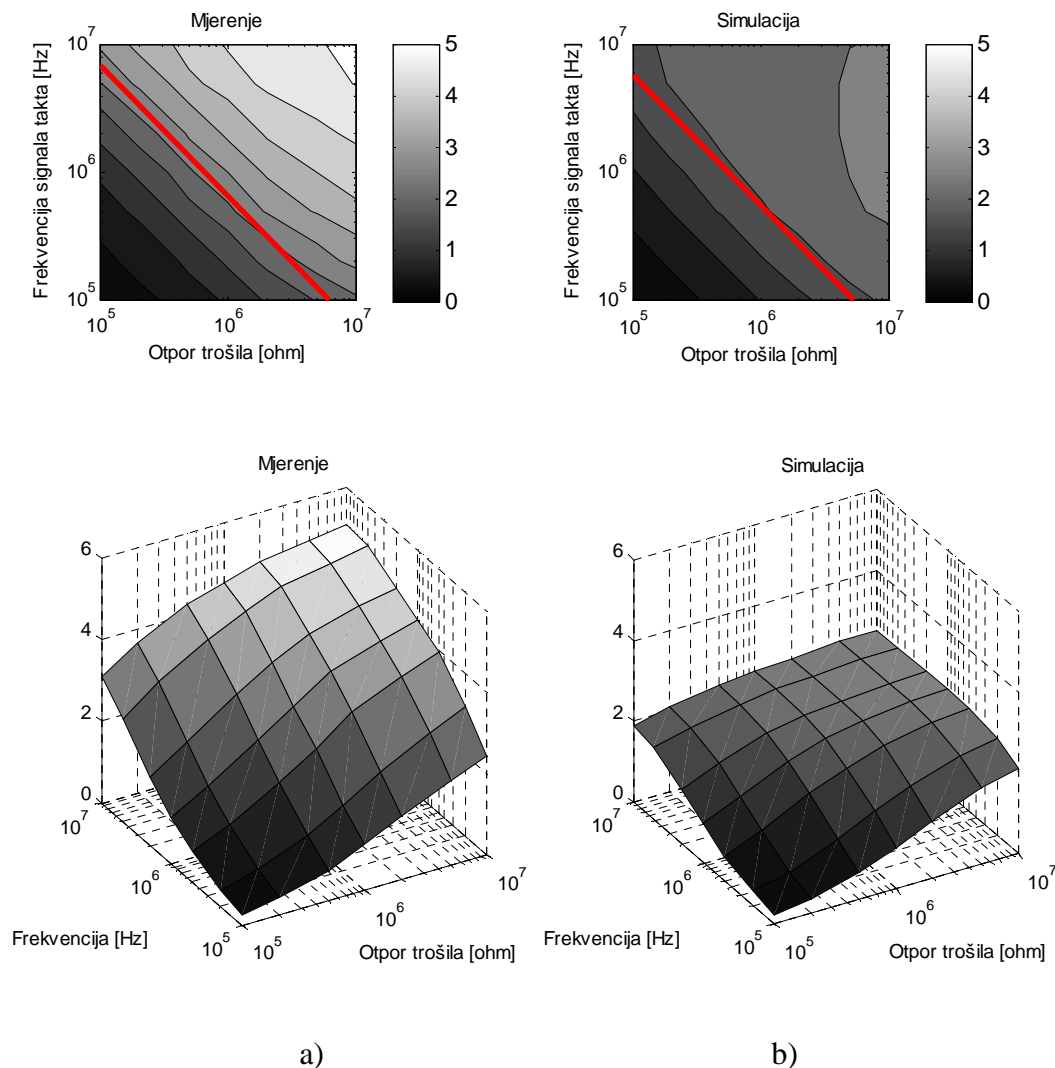
Rezultati usporedbe pokazuju da s porastom frekvencije signala takta, raste i odstupanje između rezultata mjerenja i simulacije. Nakon provedenih analiza, može se zaključiti da standardni SPICE modeli korišteni u simulacijama nedovoljno točno modeliraju ponašanje tranzistora u području rada bliskom ili ispod napona praga. Također, razlika je izraženija s porastom frekvencije rada tranzistora, tj. u ovom slučaju, s porastom frekvencije signala takta.

U AMS-ovoj dokumentaciji navedena je vrijednost struje u području rada ispod napona praga, a također je i opisan način njezinog određivanja. Prilikom određivanja vrijednosti struje tranzistoru u području ispod napona praga, uvod i podloga se spajaju zajedno, na odvod je dovedena naponska razina od 3,3 V, te se napon upravljačke elektrode mijenja u rasponu vrijednosti od 0 V do napona praga. Iz ovog opisa može se zaključiti da opisani princip određivanja struje tranzistora u području rada ispod napona praga ne odgovara situaciji koja se javlja kod upotrebe tranzistora u nabojskim pumpama. Osim što su uvod i podloga kratko spojeni, korišteni su istosmjerni naponi za koje se i kod integriranog sklopa CD4007 pokazalo da su prilično točno modelirani SPICE modelom (slika 7.13.).

7.3 Izlazni napon nabojske pumpe u f - R ravnini

U poglavlju 3. opisan je matematički model Dicksonove nabojske pumpe koji modelira izlazni napon nabojske pumpe za različite vrijednosti otpora trošila i frekvencije rada nabojske pumpe. Da bi se provjerila točnost predstavljene metode određivanja parametara nabojske pumpe (poglavljje 3.4) provedena su mjerenja i simulacije izlaznog napona

Dicksonove i nove arhitekture nabojske pumpe za različite vrijednosti otpora trošila i frekvencije rada nabojske pumpe.

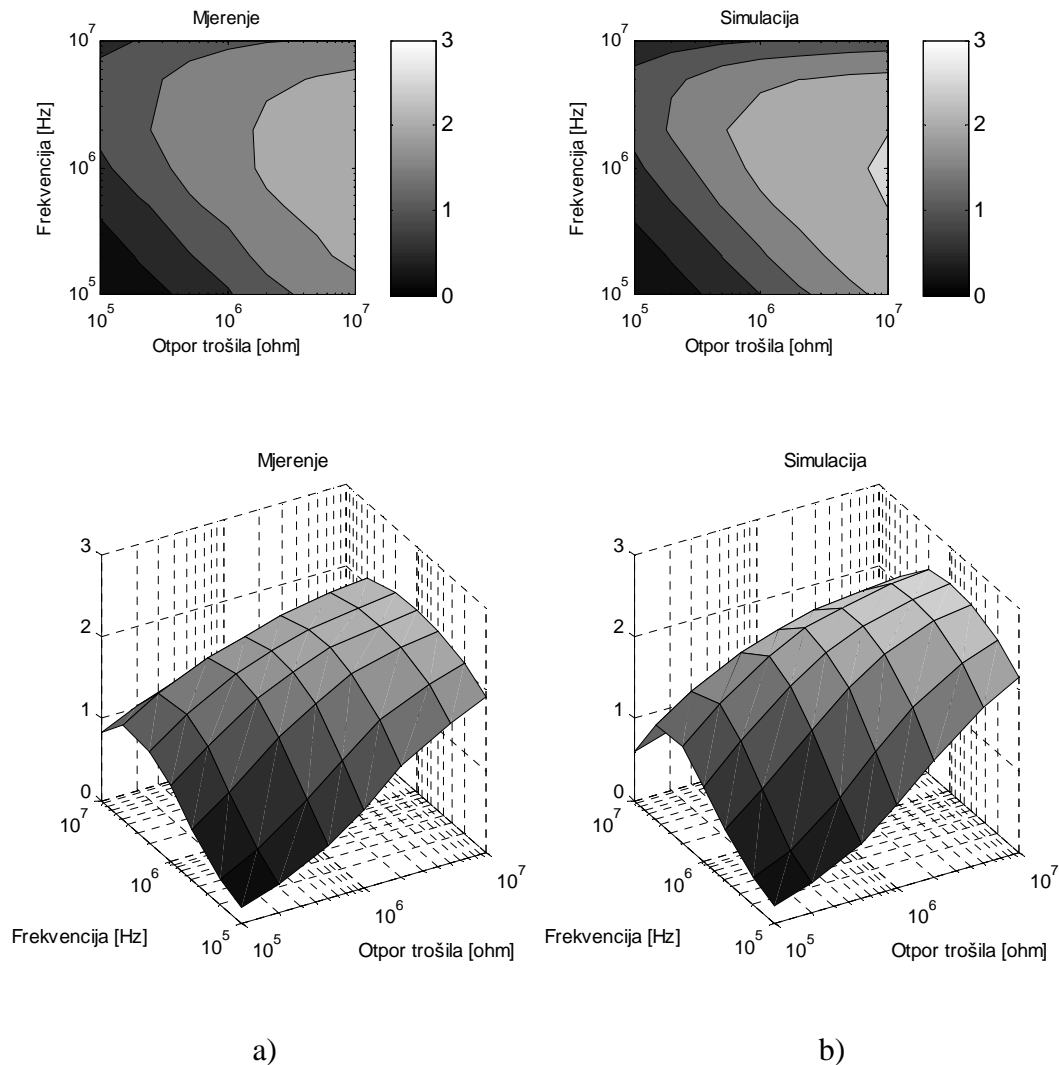


Slika 7.15. a) Mjerenje i b) simulacija izlaznog napona Dicksonove nabojske pumpe u f - R ravnini

Korištenjem osnovnog matematičkog modela Dicksonove nabojske pumpe određeni su pravci označeni na slici 7.15. koji definiraju granicu zadovoljavajućeg rada nabojske pumpe. Izlazni napon Dicksonove nabojske pumpe u području koje se nalazi desno i iznad pravca postiže $2/3$ svoje maksimalne vrijednosti. Premda se rezultati mjerenja i simulacije bitno razlikuju, matematički model je primjenjiv u oba slučaja. Vidljivo je da simulacija daje bitno niže izlazne napone, te da izohipsa plohe koja prikazuje izlazni napon u f - R ravnini pri višim izlaznim naponima odstupa od pravca kojim je definiran osnovni matematički model, tj. javlja

se određeno izobličenje, što je posljedica ograničenja SPICE modela objašnjenog u prethodnom poglavlju.

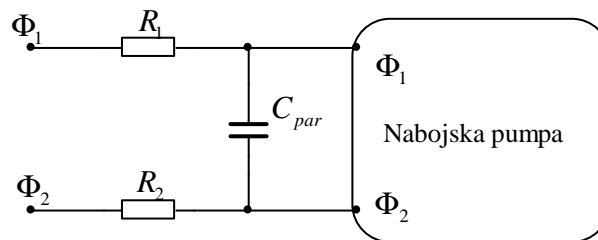
Novi matematički model (poglavlje 3.2) definira ponašanje nabojske pumpe s obzirom na ulazni otpor i/ili otpor sklopki između stupnjeva nabojske pumpe. Mjerenje i simulacija prikazani slikom 7.15. ponovljeni su s tim da je na svaki ulaz signala takta dodan serijski spojen otpor od 1 k Ω . Rezultati su prikazani slikom 7.15.



Slika 7.16. a) Mjerenje i b) simulacija izlaznog napona u f - R ravni za Dicksonovu nabojsku pumpu s ulaznim otporom signala takta od 1 k Ω

Može se vidjeti da je poklapanje rezultata simulacije i mjerenja bitno bolje nego kod rezultata prikazanih slikom 7.15, premda rezultati mjerenja, kao i rezultati simulacije ne odgovaraju matematičkom modelu (Slika 3.8). Razlog tomu je parazitni kapacitet između priključaka signala takta na integriranom sklopu. Na slici 6.24. označeni su priključci na

projektiranom integriranom sklopu. Dva signala takta potrebnih za rad nabojske pumpe nalaze se jedan uz drugog. U topološkom nacrtu nabojske pumpe metalni vodovi oba signala takta također su smješteni jedan uz drugi, a kod bondanja izvoda procesiranog integriranog sklopa, nožice signala takta se također nalaze kao susjedne nožice kućišta. Tako nastali parazitni kapacitet, zajedno sa serijskim otporom na oba priključka signala takta, tvori nisko propusni filter čiji je shematski prikaz dan slikom 7.17.



Slika 7.17. Parazitni niskopropusni filter na ulazu nabojske pumpe

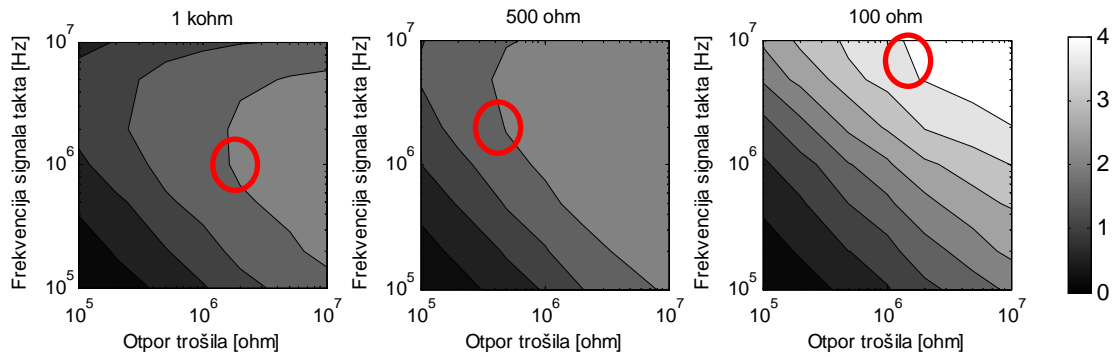
Gornja granična frekvencija f_g ovog niskopropusnog filtra može se odrediti pomoću izraza:

$$f_g = \frac{1}{2\pi(R_1 + R_2)C_{par}}, \quad (7-1)$$

gdje je C_{par} parazitni kapacitet između priključaka signala takta nabojske pumpe, a R_1 i R_2 su parazitni otpori vodova od izvoda na kućištu do nabojske pumpe.

Zbog postojanja tog niskopropusnog filtra, izlazni napon nabojske pumpe s povećanjem frekvencije rada preko frekvencije f_g postepeno pada prema nuli, umjesto da se ponaša prema opisu u novom matematičkom modelu.

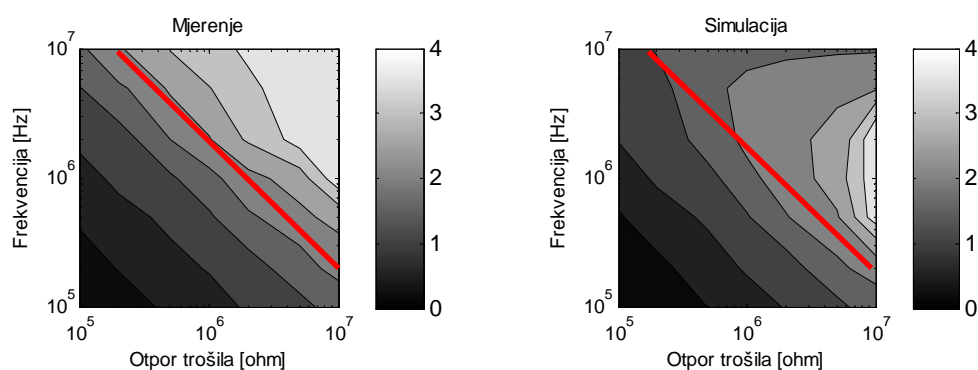
Da bi se potvrdila tvrdnja o utjecaju parazitnog filtra na izlazni napon nabojske pumpe, izmjeren je izlazni napon Dicksonove nabojske pumpe u f - R ravnini za dvije dodatne vrijednosti serijskog otpora na oba priključka signala takta: 500 Ω i 100 Ω . Slika 7.18. prikazuje izlazne napone Dicksonove nabojske pumpe u f - R ravnini za sva tri slučaja.

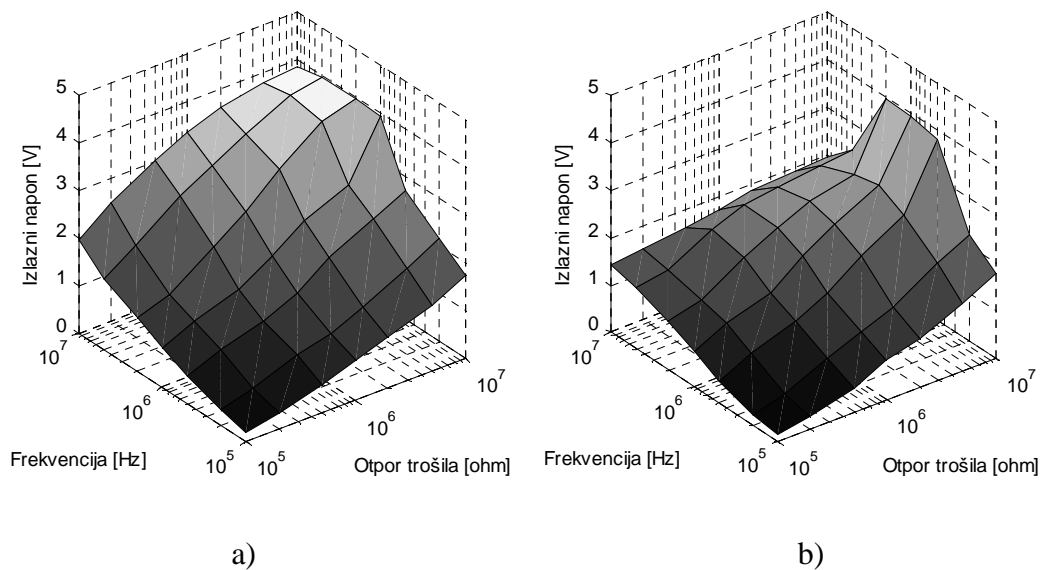


Slika 7.18. Mjerenje i simulacija izlaznog napona Dicksonove nabojne pumpe u f - R ravnini za različite vrijednosti serijskog otpora signala takta

S obzirom da je korištenjem otpora od 100Ω , gornja granična frekvencija parazitnog filtra povećana 10 puta, početak izobličenja (označeno crvenom bojom) javlja se na 10 puta višoj frekvenciji s obzirom na pumpu s ulaznim otporima od $1 \text{ k}\Omega$. Kod mjerenja s otporom od 500Ω , gornja granična frekvencija se pojavljuje na dvostruko višoj frekvenciji, što se također poklapa sa analitičkim izrazom za gornju graničnu frekvenciju (7-1). Iz rezultata mjerenja, pomoću izraza (7-1), može se odrediti približna vrijednost parazitnog kapaciteta C_{par} , koja odgovara redu veličine spojnih kondenzatora u procesiranim nabojnim pumpama.

Mjerenje i simulacija izlaznog napona u f - R ravnini također je provedeno za novu arhitekturu nabojne pumpe, a rezultati su prikazani slikom 7.19.

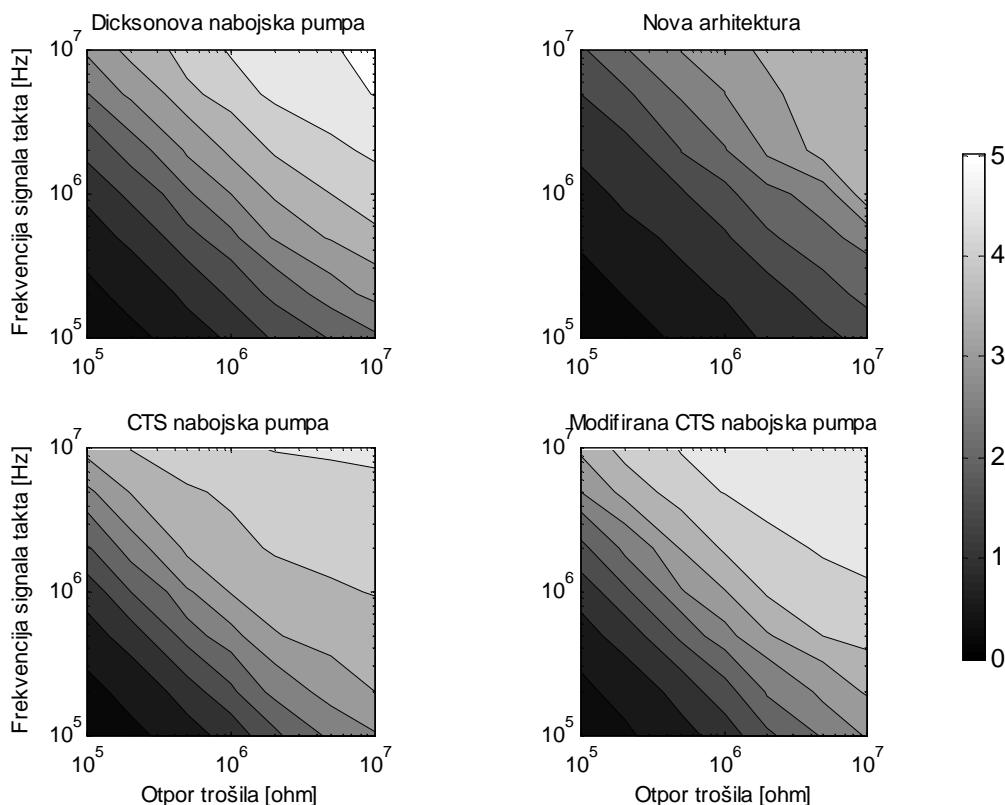




Slika 7.19. a) Mjerenje i b) simulacija izlaznog napona nove arhitekture nabojske pumpe u f - R ravnini

Kao i kod Dicksonove nabojske pumpe, javlja se izobličenje kod rezultata simulacije koje nije prisutno kod mjerenja, te su mjerenjem dobivene bolje karakteristike izlaznog napona nove arhitekture nabojske pumpe. Koristeći novu metodu određivanja parametara nabojske pumpe, određeno je područje unutar kojega nabojska pumpa ostvaruje $2/3$ maksimalnog izlaznog napona. Za razliku od Dicksonove nabojske pumpe, nova arhitektura koja koristi Fibonaccijev stupanj ima veći ekvivalentni serijski otpor (3-83), te je stoga i definirano područje rada (desno i iznad pravca na slici 7.19) nešto manje nego kod Dicksonove nabojske pumpe.

Ranije je pokazano da zbog postojanja parazitnog niskopropusnog filtra mjerenja i simulacije s ulaznim otporom ne odgovaraju novom matematičkom modelu (poglavlje 3.2), pa kod nove arhitekture nabojske pumpe nisu mjerene njene karakteristike sa serijskim otporom izvora, tj. signala takta.

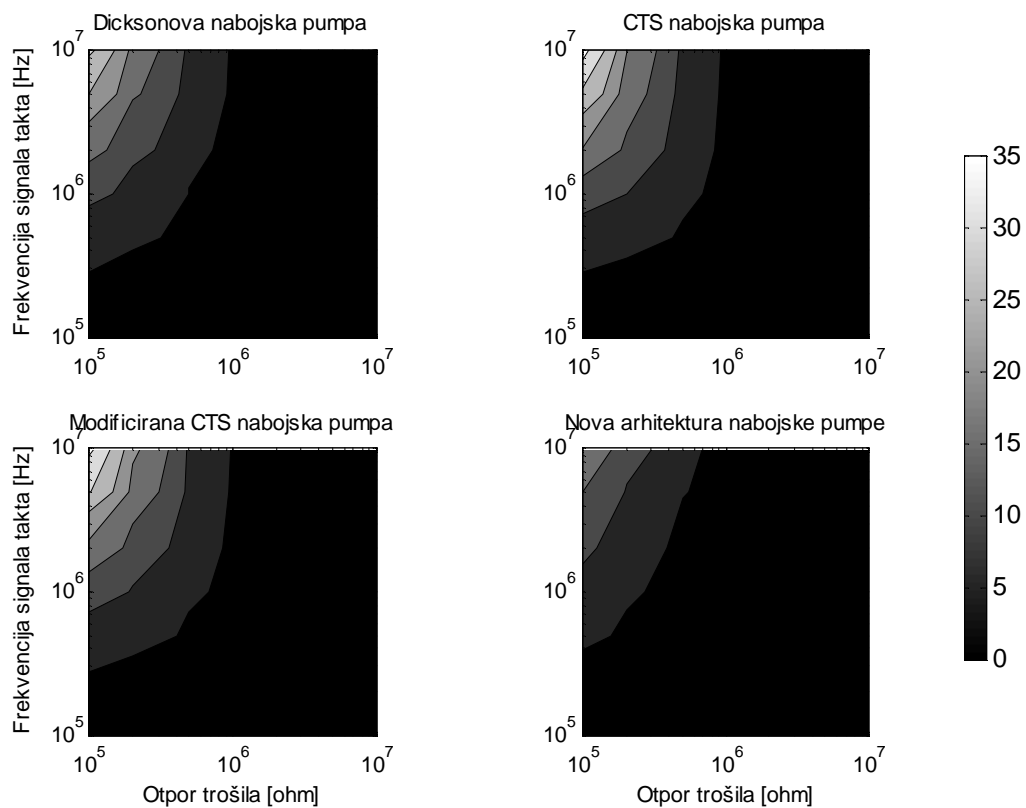


Slika 7.20. Izlazni naponi nabojskih pumpi na testnom integriranom sklopu u f - R ravni

Slika 7.20. prikazuje rezultate mjerenja izlaznog napona procesiranih nabojskih pumpi u f - R ravni. Za razliku od simulacija, gdje je Dicksonova nabojska pumpa ostvarivala najlošije rezultate, mjerenjem su dobiveni najviši izlazni naponi upravo kod Dicksonove nabojske pumpe. Kao što je opisano u prethodnom poglavlju, razlika koja se javlja zbog ograničenja SPICE modela tranzistora najizraženija je kod Dicksonove nabojske pumpe koja nema statičku potrošnju. Preostale tri arhitekture nabojskih pumpi, premda su simulacijom postigle više izlazne napone u usporedbi s Dicksonovom nabojskom pumpom, imaju i statičku potrošnju zbog dodatnih tranzistora koji se koriste za poništavanje utjecaja napona praga. Statička potrošnja, koja je najizraženija kod CTS nabojske pumpe zbog curenja naboja u prethodni stupanj, može se i vidjeti u izlaznom naponu kao odmak od osi apscise, kao što je i opisano u novom matematičkom modelu.

7.4 Izlazna struja nabojske pumpe u f - R ravnini

CTS i modificirana CTS nabojska pumpa koje koriste dinamičko poništavanje utjecaja napona praga tranzistora trebale bi imati bolje radne značajke od Dicksonove nabojske pumpe. Rezultati mjerenja su pokazali da pri kapacitivnom opterećenju Dicksonova nabojska pumpa postiže najviše napone, dok su CTS arhitekture nabojskih pumpi namijenjene radu s višim izlaznim strujama. Slika 7.21. daje vrijednosti izlaznih struja procesiranih nabojskih pumpi u f - R ravnini.



Slika 7.21. Izlazna struja [μA] nabojskih pumpi u testnom integriranom sklopu u f - R ravnini

Kao što je i ranije spomenuto, CTS arhitekture nabojskih pumpi ostvaruju više izlazne struje od Dicksonove nabojske pumpe koja pri kapacitivnom opterećenju postiže viši izlazni napon od ostalih procesiranih nabojskih pumpi. Nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem ostvaruje nižu izlaznu struju od preostale tri arhitekture (Dicksonova, CTS i modificirana CTS), prvenstveno iz razloga što je zbog korištenja Fibonaccijevog stupnja, ekvivalentni serijski otpor nove arhitekture nabojske pumpe veći od ekvivalentnog serijskog otpora ostalih procesiranih nabojskih pumpi. Zbog većeg ekvivalentnog serijskog otpora, područje rada unutar kojeg nabojska pumpa ostvaruje $2/3$

maksimalnog izlaznog napona, a time i struje, pomaknuto je prema području viših frekvencija i većih otpora trošila, promatrano u f - R ravnini, te je stoga nova arhitektura primjerenija radu s nižim izlaznim strujama. Budući da nabojske pumpe maksimalnu struju postižu za male otpore trošila i visoke frekvencije signala takta, nova arhitektura nabojske pumpe u tim uvjetima očekivano postiže niže izlazne struje od nabojskih pumpi bez Fibonaccijevog stupnja, tj. od nabojskih pumpi s nižim ekvivalentnim serijskim otporom.

Ovdje je bitno naglasiti da prilikom projektiranja nabojske pumpe kod koje se traži veća izlazna struja, odabir područja rada s maksimalnom strujom (slika 7.21.), može rezultirati lošim radnim značajkama nabojske pumpe u slučaju da postoji značajan otpor izvora, kao što je opisano u poglavlju 3.

8. Zaključak

U ovoj je doktorskoj disertaciji predstavljena nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem. Cilj je bio pokazati da se predstavljenom novom arhitekturom, a korištenjem standardnog CMOS procesa mogu ostvariti viši izlazni naponi nego klasičnim arhitekturama nabojskih pumpi, kao što su Dicksonova nabojska pumpa i CTS arhitektura.

Nakon uvodnih razmatranja i opisa osnovnog principa rada Dicksonove nabojske pumpe, predstavljen je razvijen novi matematički model Dicksonove nabojske pumpe koji ne zanemaruje otpor diodno spojenih tranzistora kojima se prenosi naboj između susjednih stupnjeva nabojske pumpe. Tako dobiveni izrazi poopćeni su tako da uzimaju u obzir i otpor realnog naponskog izvora koji se koristi za napajanje nabojske pumpe, tj. serijski otpor generatora signala takta. Na temelju novog matematičkog modela razvijena je i metoda za optimiranje parametara nabojske pumpe, a kojom se definira područje ispravnog rada bilo koje dvo-fazne nabojske pumpe, pri čemu se također uzima u i obzir otpor sklopki (diodno spojenih tranzistora) između stupnjeva nabojske pumpe.

Za nabojske pumpe visokog dobitka, a koje su postale popularne u posljednje vrijeme, predložena je i analizirana primjena sklopa kaskodnog stupnja za pomak naponske razine (CVSL sklop) kao rješenje problema upravljanja sklopkama (tranzistorima) koji se javlja kod nabojskih pumpi s visokim dobitkom.

Razvijena je nova arhitektura nabojske pumpe koja koristi Fibonaccijev stupanj za čije se upravljanje koristi predloženi CVSL sklop. Predstavljena arhitektura je detaljno analizirana, počevši s utjecajem CVSL sklopa na radne značajke nabojske pumpe. Pokazano je da korištenje CVSL sklopa, premda omogućuje ispravno upravljanje tranzistorima u Fibonaccijevom stupnju, postavlja strožije zahtjeve na sam dizajn topološkog nacrtu nabojske pumpe i popratnog generatora signala takta. Naime, za razliku od standardnih arhitektura nabojskih pumpi, kao što su Dicksonova nabojska pumpa te CTS strukture, na radne značajke nove arhitekture nabojske pumpe značajniji utjecaj imaju dimenzije (PMOS) tranzistora u CVSL sklopu, parazitni kapacitet na izlazu CVSL sklopa koji ovisi o dizajnu topološkog nacrtu, te vrijeme porasta, odnosno pada, signala takta.

Nabojske pumpe opisane u doktorskoj disertaciji procesirane su u testnom integriranom sklopu u AMS-ovoj (Austria Micro Systems) C35B4C3 tehnologiji, koja je njihov standardni CMOS proces (0,35 μm , 5 V). Mjerenja nove arhitekture nabojske pumpe procesirane na testnom integriranom sklopu pokazuju vrlo dobro poklapanje s rezultatima simulacije, dok su

kod preostalih arhitektura nabojskih pumpi rezultati mjerenja bitno bolji od rezultata simulacije. Kod Dicksonove nabojske pumpe, izmjereni izlazni naponi su viši od rezultata dobivenih simulacijom u Cadence okruženju. Dodatnim mjerenjima, provedenim na dodatnom diskretnom sklopu izvedenom s CMOS tranzistorima iz integriranog sklopa CD4007, pokazano je da SPICE model iz Cadence okruženja netočno modelira područje rada ispod napona praga tranzistora, uslijed čega dolazi do značajnog odstupanja rezultata simulacije i mjerenja kod nabojskih pumpi bez statičke potrošnje. Ta razlika je najizraženija pri kapacitivnom opterećenju nabojske pumpe, a raste s porastom frekvencije rada nabojske pumpe.

Da bi se provela verifikacija novog matematičkog modela, provedeno je na testnom integriranom sklopu mjerenje karakteristika nabojskih pumpi gdje je svakom signalu takta serijski dodan otpor. Pokazano je da se zbog postojanja parazitnog kapaciteta između priključaka signala takta na integriranom sklopu, formira ulazni niskopropusni filter, koji onemogućava rad nabojske pumpe na višim frekvencijama. Iz toga slijedi da za pouzdan rad nabojske pumpe, generator signala takta mora biti integriran na integriranom sklopu neposredno uz nabojsku pumpu, kako bi se parazitni kapacitet između dva voda za prijenos signala takta sveo na minimum i time omogućio rad nabojske pumpe na višim frekvencijama u uvjetima kada postoji značajan serijski otpor napajanja. Za potrebe ove doktorske disertacije, korišteni su vanjski generatori signala takta sa ciljem da se karakteristike procesiranih nabojskih pumpi testiraju za što šire frekvencijsko područje, a što ne bi bilo izvedivo korištenjem integriranog generatora signala takta.

Kao zaključak, može se reći da se korištenjem CVSL sklopa u kombinaciji s Fibonaccievim stupnjem može ispravno upravljati radom nabojske pumpe, te da se predstavljena nova arhitektura nabojske pumpe može koristiti za sklopove koji ne predstavljaju značajno strujno opterećenje, ali je prilikom projektiranja takve arhitekture nabojske pumpe potrebno uzeti u obzir više parametara u sporedbi s projektiranjem standardnih arhitektura nabojskih pumpi.

Literatura

- [1] S. Hashemi, M. Sawan, Y. Savaria: „**A Novel Low-Drop CMOS Active Rectifier for RF-Powered Devices: Experimental Results**“, *Microelectronics Journal*, 40, 2009 (1547-1554)
- [2] F. Kocer, M. P. Flynn: „**A New Transponder Architecture With On-Chip ADC for Long-Range Telemetry Applications**“, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 5, May 2006 (1142-1148)
- [3] S. Kim, J.-H. Cho, S.-K. Hong: „**A Full Wave Voltage Multiplier for RFID Transponders**“, *IEICE Trans. Commun.*, Vol. E91-B, No.1, January 2008 (388-391)
- [4] Y. Yao, Y. Shi, F. F. Dai: „**A Novel Low-Power Input-Independent MOS AC/DC Charge Pump**“, *Proc. of the IEEE International Symposium on Circuits and Systems, ISCAS 2005* (380-383)
- [5] H. Aziza, E. Bergeret, A. Perez, J.-M. Portal: „**An Efficient Model to Evaluate the Impact of Design Parameters on Charge Pump Circuits' Performances: Application on RFID Circuits**“, *Proc. of the International Conference on Design & Technology of Integrated Systems in Nanoscale Era, DTIS 2007* (108-113)
- [6] T. T. Le, A. von Jouanne, K. Mayaram, T. S. Fiez: „**Piezoelectric Micro-Power Generation Interface Circuit**“, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 6, June 2006 (1411-1420)
- [7] N. Soltani, F. Yuan: „**A Step-Up Transformer Impedance Transformation Technique for Efficient Power Harvesting of Passive Transponders**“, *Microelectronics Journal*, 41, 2010 (75-84)
- [8] R. J. M. Vullers, R. van Schaijk, I. Doms, C. V. Hoof, R. Mertens: „**Micropower Energy Harvesting**“, *Solid-State Electronics*, 53, 2009 (684-693)
- [9] B. C. Yen, J. H. Lang: „**A Variable-Capacitance Vibration-to-Electric Energy Harvester**“, *IEEE Transactions on Circuits and Systems-I Regular Papers*, Vol. 53, No. 2, February 2006 (288-295)
- [10] H. Aziza, J.-M. Portal, O. Ginez, E. Bergeret: „**An Efficient Diagnosis Methodology for Charge Pump Circuits: Application to Flash EEPROM Devices**“, *Proc. of the 3rd International Conference on Design & Technology of Integrated Systems in Nanoscale Era, DTIS 2008* (1-4)
- [11] T. Tanzawa, T. Tanaka, K. Takeuchi, H. Nakamura: „**Circuit Techniques for a 1.8-V-Only NAND Flash Memory**“, *IEEE Journal of Solid-State Circuits*, vol. 37, No. 1, January 2002 (84-89)
- [12] J.-s. Kim, S. Kim: „**High Voltage Generator Using a Heap-Pump Circuit for Low Voltage Embedded FLASH Memories**“, *Journal of the Korean Physical Society*, Vol. 41, No. 4, October 2002 (468-470)
- [13] T. Tanzawa, S. Atsumi: „**Optimization of Word-line Booster Circuits for low-Voltage Flash Memories**“, *IEEE Journal of Solid-State Circuits*, vol. 34, No. 8, August 1999 (1091-1098)
- [14] Z. Ran, W. Tingcun, W. Jia, G. Deyuan: „**An Area-Saving and High Power Efficiency Charge Pump Built in a TFT-LCD Driver IC**“, *Journal of Semiconductors*, Vol. 30, No. 9, September 2009
- [15] H.-P. Le, S. R. Sanders, E. Alon: „**Design Techniques for Fully Integrated Switched-Capacitor DC-DC Converters**“, *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 9, September 2011 (2120-2131)
- [16] E. H. Ismail, M. A. Al-Saffar, A. J. Sabzali: „**High Conversion Ratio DC-DC Converters With Reduced Switch Stress**“, *IEEE Transactions on Circuits and Systems-I: Regular Papers*, Vol. 55, No. 7, August 2008 (2139-2151)

- [17] S. Bandyopadhyay, Y. K. Ramadass, A. P. Chandrakasan: „**20 μ A to 100mA DC-DC Converter With 2.8-4.2 V Battery Supply for Portable Applications in 45 nm CMOS**“, *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 12, December 2011
- [18] B. R. Gregoire: „**A Compact Switched-Capacitor Regulated Charge Pump Power Supply**“, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 8, August 2006 (1944-1953)
- [19] L. S. Y. Wong, S. Hossain, A. Ta, J. Edvinsson, D. H. Rivas, H.Nääs: „**A Very Low-Power CMOS Mixed-Signal IC for Implantable Pacemaker Applications**“, *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 12, December 2004 (2446-2455)
- [20] S. Centro, A. Ingrassia, N. Scantamburlo, A. Vecchiato: „**VLSI for Pacemaker Application**“, *Nuclear Instruments and Methods in Physics Research*, A 409, 1998 (517-519)
- [21] M. R. Hoque, T. Ahmad, T. R. McNutt, H. A. Mantooth, M. M. Mojarradi: „**A Technique to Increase the Efficiency of High-Voltage Charge Pumps**“, *IEEE Transactions on Circuits and Systems-II Express Briefs*, Vol. 53, No. 5, May 2006 (364-368)
- [22] C.-C. Wang, J.-c. Wu: „**Efficiency Improvement in Charge Pump Circuits**“, *IEEE Journal of Solid-State Circuits*, vol. 32, No. 6, June 1997 (852-860)
- [23] L. Pylarinos: „**Charge Pumps: An Overview**“, *Proc. of the IEEE International Symposium on Circuits and Systems*, Vol. 3, 2003
- [24] F. Pan, T. Samaddar: „**Charge Pump Circuit Design**“, McGraw Hill, 2006
- [25] G. Palumbo, D. Pappalardo: „**Charge Pump Circuits: An Overview on Design Strategies and Topologies**“, *Circuits and Systems Magazine, IEEE* , Vol.10, No.1, First Quarter 2010 (31-45)
- [26] J. F. Dickson: „**On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique**“, *IEEE Journal of Solid-State Circuits*, Vol. SC-11, No. 3, June 1976 (374-378)
- [27] L. Dong-Sheng, Z. Xue-Cheng, D. Kui, L. Si-Zheng, H. Xue-Mei, L. Yao, T. Qiao-Ling: „**New Design of RF Rectifier for Passive UHF RFID Transponders**“, *Microelectronics Journal*, 41, 2010 (51-55)
- [28] M.-D. Ker, S.-L. Chen: „**Ultra-High-Voltage Charge Pump Circuit in Low-Voltage Bulk CMOS Processes With polysilicon Diodes**“, *IEEE Transactions on Circuits and Systems-II Express Briefs*, Vol. 54, No. 1, January 2007 (47-51)
- [29] G. Palumbo, D. Pappalardo: „**Charge Pump Circuits With Only Capacitive Loads: Optimized Design**“, *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 53, No. 2, February 2006 (128-132)
- [30] M. Zhang, N. Llaser: „**Optimization Design of the Dickson Charge Pump Circuit With a Resistive Load**“, *Proc. of the International Symposium on Circuits and Systems*, Vol. 5, ISCAS 2004 (840-843)
- [31] Y. Allasasmeh, S. Gregori: „**A Performance Comparison of Dickson and Fibonacci Charge Pumps**“, *Proc. of the European Conference on Circuit Theory and Design*, ECCTD 2009 (599-602)
- [32] A. Cabrini, L. Gobbi, G. Torrelli: „**Theoretical and Experimental Analysis of Dickson Charge Pump Output Resistance**“, *Proc. of the IEEE International Symposium on Circuits and Systems*, ISCAS 2006 (2749-2752)
- [33] P. Favrat, P. Deval, M. J. Declercq: „**A High-Efficiency CMOS Voltage Doubler**“, *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 3, March 1998 (410-416)

- [34] J. S. Witters, G. Groeseneken, H. E. Maes: „**Analysis and Modeling of On-Chip High-Voltage Generator Circuits for Use in EEPROM Circuits**“, *IEEE Journal of Solid-State Circuits*, vol. 24, No. 5, October 1989 (1372-1380)
- [35] J. S. Brugler: „**Theoretical Performance of Voltage Multiplier Circuits**“, *IEEE Journal of Solid-State Circuits*, Vol. 6, June 1971 (132-135)
- [36] T. Tanzawa: „**A Behavior Model of a Dickson Charge Pump Circuit for Designing a Multiple Charge Pump System Distributed in LSIs**“, *IEEE Transactions on Circuits and Systems-II: Express Briefs*, Vol. 57, July 2010 (527-530)
- [37] H. Aziza, E. Bergeret, A. Perez: „**An Automated Design Methodology for Charge Pump Circuits**“, *Proc. of the 14th IEEE International Conference on Electronics, Circuits and Systems*, Marrakech 2007 (214-217)
- [38] V. Vitchev: „**Calculating Essential Charge-Pump Parameters**“, *Power Electronics Technology Magazine*, July 2006 (30-39)
- [39] J. W. Kimball, P. T. Krein: „**Analysis and Design of Switched Capacitor Converters**“, *Proc. of the 20th Annual IEEE Conference on Applied Power Electronics, APEC 2005* (1473-1477)
- [40] T. Tanzawa, T. Tanaka: „**A Dynamic Analysis of the Dickson Charge Pump Circuit**“, *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 8, August 1997 (1231-1240)
- [41] T. Tanzawa: „**A Switch-Resistance-Aware Dickson Charge Pump Model for Optimizing Clock Frequency**“, *IEEE Transactions on Circuits and Systems-II Express Briefs*, Vol. 58, No. 6, June 2011 (336-340)
- [42] G. Papotto, F. Carrara, G. Palmisano: „**A 90-nm CMOS Thresholds-Compensated RF Energy Harvester**“, *IEEE Journal of Solid-State Circuits*, Vol. 46, No. 9, September 2011 (1985-1997)
- [43] J.-Y. Kim, Y.-H. Jun, B.-S. Kong: „**CMOS Charge Pump With Transfer Blocking Technique for No Reversion Loss and Relaxed Clock Timing Restriction**“, *IEEE Transactions on Circuits and Systems – II: Express Briefs*, Vol. 56, No. 1, January 2009 (11-15)
- [44] F. Su, W.-H. Ki, C.-Y. Tsui: „**Gate Control Strategies for High Efficiency Charge Pumps**“, *Proc. of the IEEE International Symposium on Circuits and Systems, ISCAS 2005* (1907-1910 Vol.2)
- [45] J. Shin, I.-Y. Chung, Y. J. Park, H. S. Min: „**A New Charge Pump Without Degradation in Threshold Voltage Due to Body Effect**“, *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 8, August 2000 (1227-1230)
- [46] M.-D. Ker, S.-L. Chen, C.-S. Tsai: „**Design of Charge Pump Circuit With Consideration of Gate-Oxide Reliability in Low-Voltage CMOS Processes**“, *IEEE Journal of Solid-State Circuits*, Vol. 41, No. 5, May 2006 (1100-1107)
- [47] C. Lauterbach, W. Weber, D. Römer: „**Charge Sharing Concept and New Clocking Scheme for Power Efficiency and Electromagnetic Emission Improvement of Boosted Charge Pumps**“, *IEEE Journal of Solid-State Circuits*, Vol. 35, No. 5, May 2000 (719-723)
- [48] J.-T. Wu, K.-L. Chang: „**MOS Charge Pumps for Low-Voltage Operation**“, *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 4, April 1998 (592-597)

- [49] Y. Allasasmeh, S. Gregori: „**Charge Reusing in Switched-Capacitor Voltage Multipliers with Reduced Dynamic Losses**“, *Proc. of the 53rd IEEE International Midwest Symposium on Circuits and Systems*, MWSCAS 2010 (1169-1172)
- [50] R. Arona, E. Bonizzoni, F. Maloberti, G. Torrelli: „**Heap Charge Pump Optimisation by a Tapered Architecture**“, *Proc. of the IEEE International Symposium on Circuits and Systems*, ISCAS 2005, Kobe, 23-26 May (1903-1906)
- [51] L. Gobbi, A. Cabrini, G. Torelli: „**A Discussion on Exponential-Gain Charge Pump**“, *Proc. of the 18th European Conference on Circuit Theory and Design*, ECCTD 2007 (615-618)
- [52] C.-y. Tsui, H. Shao, W.-H. Ki, F. Su: „**Ultra-Low Voltage Power Management and Computation Methodology for Energy Harvesting Applications**“, *Proc. of the Symposium on VLSI Circuits Digest of Technical Papers*, June 2005 (316-319)
- [53] F. Ueno, T. Inoue, I. Oota, I. Harada: „**Emergency Power Supply for Small Computer Systems**“, *Proc. of the IEEE International Symposium on Circuits and Systems*, 1991 (1065-1068)
- [54] T. Tanzawa: „**On Two-Phase Switched-Capacitor Multipliers With Minimum Circuit Area**“, *IEEE Transactions on Circuits and Systems-I Regular Papers*, Vol. 57, October 2010 (2602-2608)
- [55] A. Cabrini, L. Gobbi, G. Torelli: „**Voltage Gain Analysis of Integrated Fibonacci-Like Charge Pumps for Low Power Applications**“, *IEEE Transactions on Circuits and Systems-II Express Briefs*, Vol. 54, No. 11, November 2007 (929-933)
- [56] I. Harada, F. Ueno, T. Inoue, I. Oota: „**Characteristics Analysis of Fibonacci Type SC Transformer**“, *IEICE Trans. Fundamentals*, Vol. E75-A, No. 6, June 1992 (655-662)
- [57] M. S. Makowski: „**Realizability Conditions and Bounds on synthesis of Switched-Capacitor DC-DC Voltage Multiplier Circuits**“, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 44, No. 8, August 1997 (684-691)
- [58] M. S. Makowski: „**On Performance Limits of Switched-Capacitor Multi-Phase Charge Pump Circuits. Remarks on papers of Starzyk et al.**“, *Proc. of the International conference on Signals and Electronic Systems*, ICSES 2008, Krakow (309-312)
- [59] L. Liu, Z. Chen: „**Analysis and Design of Makowski Charge-Pump Cell**“, *Proc. of the 6th International Conference on ASIC*, ASICON 2005 (497-502)
- [60] J. A. Starzyk, Y.-W. Jan, F. Qiu: „**A DC-DC Charge Pump Design Based on Voltage Doublers**“, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, Vol. 48, No. 3, March 2001 (350-359)
- [61] M. S. Makowski, D. Maksimovic: „**Performance Limits of Switched-Capacitor DC-DC Converters**“, *Proc. of the 26th Annual IEEE Power Electronics Specialist Conference*, 1995 (1215-1221)
- [62] L. G. Heller, W. R. Griffin, J. W. Davis, N. G. Thoma: „**Cascode Voltage Switch Logic: A Differential CMOS Logic Family**“, *Proc. of the IEEE International Solid-State Circuits Conference*, 1984 (16-17)
- [63] V. G. Oklobdzija: „**Differential and Pass-Transistor CMOS Logic for High Performance Systems**“, *Microelectronics Journal*, 29, 1998 (679-688)

- [64] Y. C. Wong, W. Zhou, A. O. El-Rayis, N. Haridas, A. T. Erdogan, T. Arslan: „**Practical Design Strategy for Two-Phase Step Up DC-DC Fibonacci Switched-Capacitor Converter**“, *Proc. of the 20th European Conference on Circuit Theory and Design, ECCTD 2011* (817-820)
- [65] N. H. E. Weste, D. Harris: „**CMOS VLSI Design – A Circuits and Systems Perspective**“, Pearson/Addison Wesley, 2005
- [66] D. Vinko, T. Švedek, A. Barić: „**Usage Limitations of the CSVL Driver as Voltage Level Booster for Switching Capacitors in High-gain Charge Pumps**“, *Proc. of the 35th International Convention on Information and Communication Technology, Electronics and Microelectronics, MIPRO 2012*
- [67] D. Vinko, T. Švedek, T. Matić: „**Modification of the Cockcroft-Walton Charge Pump by Using Switched Capacitors Technique for Improved Performance Under Capacitive Loads**“, *WSEAS Transactions on Circuits and Systems*, No. 8 ,2009 (167-176)
- [68] D. Vinko, T. Švedek, V. Mandrić: „**Advantages and Limitations of the SCW Charge Pump**“, *Proc. of the 32nd International Convention on Information and Communication Technology, Electronics and Microelectronics, MIPRO 2009* (159-162)
- [69] D. Vinko, T. Švedek, T. Matić: „**Switched Version of the Cockcroft-Walton Charge Pump for Driving Capacitive Loads**“, *Proc. of the 12th WSEAS International Conference on Circuits*, 2008 (137-141)
- [70] D. Vinko, T. Švedek, V. Mandrić: „**Modification of the Dickson Charge Pump Clocking Scheme for Improved Performance under Capacitive Load**“, *Proc. of the 31st International Convention on Information and Communication Technology, Electronics and Microelectronics, MIPRO 2008* (153-156)
- [71] <http://www.cs.uoi.gr/~tsiatouhas/DigElecIntro/CD4007.lib>
- [72] <http://www.eece.maine.edu/~hummels/classes/ece343/docs/umaine.lib>

Sažetak

U ovoj je doktorskoj disertaciji predstavljena nova arhitektura nabojske pumpe. U prvom dijelu rada opisan je osnovni princip rada najčešće korištene nabojske pumpe, Dicksonove nabojske pumpe, te razvijen njen novi matematički model. Novi matematički model je primjenjiv na bilo koju dvo faznu nabojsku pumpu i od postojećih se razlikuje po tome što uzima u obzir utjecaj otpora kanala tranzistora i izvora. Na osnovu predstavljenog matematičkog modela, predložena je nova metoda za određivanje parametara nabojske pumpe, koja također uzima u obzir otpor kanala tranzistora i otpor izvora, te je generalizirana tako da odgovara bilo kojoj dvo faznoj nabojskoj pumpi. Nabojske pumpe visokog dobitka, koje su u posljednje vrijeme postale popularne, također se mogu opisati predstavljenim matematičkim modelom i predloženom metodom određivanja parametara, ako koriste dva protufazna signala takta. Nakon teorijskih i matematičkih analiza, koje uključuju i utjecaj efekta podloge na napon praga tranzistora, predložena je nova arhitektura nabojske pumpe s Fibonaccijevim stupnjem. Proces projektiranja integriranog CMOS sklopa u Cadence okruženju je detaljno opisan i prikazani su rezultati simulacije sa i bez ekstrahiranih paratiznih parametara. Korištenjem Fibonaccijevom stupnja dobiveni su viši izlazni naponi od izlaznih napona klasičnih arhitektura nabojskih pumpi, a CVSL sklop je dokazan kao jednostavno i efikasno rješenje za ispravno upravljanje Fibonaccijevim stupnjem. Nova arhitektura nabojske pumpe je procesirana u sklopu testnog integriranog sklopa korištenjem 0,35 μm AMS-ovog C35B4C3 tehnološkog procesa, zajedno s Dicksonovom, CTS i modificiranom CTS nabojskom pumpom koje služe za usporedbu s novom arhitekturom. Rezultati mjerenja su uspoređeni s rezultatima simulacije, a njihova međusobna odstupanja su detaljno objašnjena. Na temelju usporedbe mjernih i simulacijskih rezultata, dokazano je da SPICE model netočno modelira rad tranzistora u području ispon napona praga te time i ponašanje nabojske pumpe za čisto kapacitivna opterećenja. Također, utvrđeno je formiranje niskopropusnog filtra na priključcima signala takta kod testnog integriranog sklopa, te su predložene metode za rješavanje tog problema.

Abstract

Novel charge pump architecture with Fibonacci stage

In this doctoral thesis a novel charge pump architecture is presented. In the first part of the thesis the basic principles of operation of the most common charge pump, Dickson charge pump, are described and a novel mathematical model is developed and presented. The presented model is applicable to any two-phase charge pump and it takes into account resistance of MOSFET switches and the power supply resistance as well. Based on the presented mathematical model, a new method for charge pump parameter determination is proposed, which also takes into account the switch and the power supply resistance, and it is generalized to correspond to any two-phase charge pump. Recent high gain charge pump designs, as long as they are two-phase designs, can also be described with presented mathematical model and proposed method. After theoretical and mathematical analysis, including body effect on the threshold voltage of the NMOS devices, a novel charge pump architecture with Fibonacci stage is presented. Designing process in Cadence environment is explained in detail and simulation results, both with and without extracted parasitics, are given. The higher output voltages of the novel architecture, compared with common charge pump architectures, due to used Fibonacci stage are observed and the CVSL circuit is proven to be simple and efficient solution for high amplitude clock generator that is needed to drive the Fibonacci stage. The novel charge pump is processed in integrated circuit using 0,35 μm AMS C35B4C3 technology process, together with Dickson, CTS and modified CTS charge pump which are used for comparison with new architecture. Measurements of the fabricated charge pumps are compared with simulation results and the discrepancies are explained. Based on the measurement and simulation comparison, the SPICE model behavior in subthreshold region for a charge pump operating under capacitive load is proved to be faulty. Also, the forming of the low-pass filter on the clock signal pins in processed and bonded integrated circuit is determined, and some solutions are proposed.

Životopis

Davor Vinko rođen je 14. listopada 1980. godine u Čakovcu. Godine 2005. završio je na Elektrotehničkom fakultetu dodiplomski studij i stekao zvanje dipl.ing. elektrotehnike, obranom diplomskog rada pod nazivom "Digital Radio Mondiale" kod mentora Prof. dr. sc. Tomislava Švedeka. Iste se godine zaposlio kao asistent na Zavodu za komunikacije. Tijekom rada na fakultetu održava nastavu iz predmeta Osnove elektrotehnike 1, Osnove elektrotehnike 2, Osnove elektronike, Elektronika 1, Elektronika 2, Mikroelektronika, Mobilne komunikacije te Optičke komunikacije na preddiplomskom i diplomskom studiju elektrotehnike i računarstva. Sumentor je na završnim i diplomskim radovima. Glavna područja njegovog znanstvenog i stručnog interesa su mikroelektronika, nabojske pumpe, sklopovi sa napajanjem iz okoline te pasivno napajani sklopovi. Suradnik je i istraživač na nekoliko znanstvenih MZOŠ RH projekata. Tijekom diplomskog studija boravio je u sklopu razmjene studenata na Queen's University u Belfastu gdje radi na automatizaciji mjerenja C-V karakteristika MOS tranzistora. Autor je i suautor brojnih znanstvenih radova u časopisima i zbornicima međunarodnih konferencija.

Dodatak A

Izraz (3-49)

$$U_{1min} = U_{1maks} \frac{1}{A} - (U_{DD} - U_D) \frac{1-A}{A}$$

Izraz (3-50) za $k = 1$ glasi

$$U_{1maks} = U_{1min} \frac{1}{1-B} - U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{1maks} = \left[U_{1maks} \frac{1}{A} - (U_{DD} - U_D) \frac{1-A}{A} \right] \frac{1}{1-B} - U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{1maks} = U_{1maks} \frac{1}{A} \cdot \frac{1}{1-B} - (U_{DD} - U_D) \frac{1-A}{A} \cdot \frac{1}{1-B} - U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{1maks} = U_{1maks} \frac{1}{A} \cdot \frac{1}{1-B} - (U_{DD} - U_D) \left(\frac{1-A}{A} \cdot \frac{1}{1-B} - \frac{B}{1-B} \right) - U_{2min} \frac{B}{1-B}$$

$$-U_{1maks} = -U_{1maks} \frac{1}{A} \cdot \frac{1}{1-B} + (U_{DD} - U_D) \left(\frac{1-A}{A} \cdot \frac{1}{1-B} - \frac{B}{1-B} \right) + U_{2min} \frac{B}{1-B}$$

$$U_{1maks} \left(\frac{1}{A} \cdot \frac{1}{1-B} - 1 \right) = U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \left[\frac{1-A}{A(1-B)} - \frac{B}{1-B} \right]$$

$$U_{1maks} \left[\frac{1}{A(1-B)} - 1 \right] = U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \left[\frac{1-A-AB}{A(1-B)} \right]$$

$$U_{1maks} \left[\frac{1-A+AB}{A(1-B)} \right] = U_{2min} \frac{B}{1-B} + (U_{DD} - U_D) \left[\frac{1-A-AB}{A(1-B)} \right]$$

$$U_{1maks} = U_{2min} \frac{\frac{B}{1-B}}{\frac{1-A+AB}{A(1-B)}} + (U_{DD} - U_D) \frac{\frac{1-A-AB}{A(1-B)}}{\frac{1-A+AB}{A(1-B)}}$$

$$U_{1maks} = U_{2min} \frac{B}{\frac{1-A+AB}{A}} + (U_{DD} - U_D) \frac{1-A-AB}{1-A+AB}$$

$$U_{1maks} = U_{2min} \frac{AB}{1-A+AB} + (U_{DD} - U_D) \frac{1-A-AB}{1-A+AB}$$

Izraz (3-51) za $k = 2$ glasi

$$U_{2min} = U_{2maks} \frac{1}{1-B} - U_{1maks} \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2min} = U_{2maks} \frac{1}{1-B} - \left[U_{2min} \frac{AB}{1-A+AB} + (U_{DD} - U_D) \frac{1-A-AB}{1-A+AB} \right] \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2min} = U_{2maks} \frac{1}{1-B} - U_{2min} \frac{AB}{1-A+AB} \cdot \frac{B}{1-B} - (U_{DD} - U_D) \frac{1-A-AB}{1-A+AB} \cdot \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2min} = U_{2maks} \frac{1}{1-B} - U_{2min} \frac{ABB}{(1-A+AB)(1-B)} - (U_{DD} - U_D) \frac{B}{1-B} \left(\frac{1-A-AB}{1-A+AB} + 1 \right)$$

$$U_{2min} \left[1 + \frac{ABB}{(1-A+AB)(1-B)} \right] = U_{2maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left(\frac{1-A-AB+1-A+AB}{1-A+AB} \right)$$

$$U_{2min} \left[\frac{(1-A+AB)(1-B)+ABB}{(1-A+AB)(1-B)} \right] = U_{2maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \cdot \frac{2(1-A)}{1-A+AB}$$

$$U_{2min} \left[\frac{1-A-B+2AB}{(1-A+AB)(1-B)} \right] = U_{2maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \cdot \frac{2(1-A)}{1-A+AB}$$

$$U_{2min} = U_{2maks} \frac{\frac{1}{1-B}}{\frac{1-A-B+2AB}{(1-A+AB)(1-B)}} - (U_{DD} - U_D) \frac{\frac{B}{1-B} \cdot \frac{2(1-A)}{1-A+AB}}{\frac{1-A-B+2AB}{(1-A+AB)(1-B)}}$$

$$U_{2min} = U_{2maks} \frac{1-A+AB}{1-A-B+2AB} - (U_{DD} - U_D) \frac{2B(1-A)}{1-A-B+2AB}$$

Izraz (3-50) za $k = 2$ glasi

$$U_{2maks} = U_{2min} \frac{1}{1-B} - U_{3min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2maks} = \left[U_{2maks} \frac{1-A+AB}{1-A-B+2AB} - (U_{DD} - U_D) \frac{2B(1-A)}{1-A-B+2AB} \right] \frac{1}{1-B} - U_{3min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2maks} = U_{2maks} \frac{1-A+AB}{1-A-B+2AB} \cdot \frac{1}{1-B} - (U_{DD} - U_D) \frac{2B(1-A)}{1-A-B+2AB} \cdot \frac{1}{1-B} - U_{3min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{2maks} = U_{2maks} \frac{1-A+AB}{1-A-B+2AB} \cdot \frac{1}{1-B} - (U_{DD} - U_D) \left[\frac{2B(1-A)}{1-A-B+2AB} \cdot \frac{1}{1-B} - \frac{B}{1-B} \right] - U_{3min} \frac{B}{1-B}$$

$$U_{2maks} = U_{2maks} \frac{1-A+AB}{(1-A-B+2AB)(1-B)} - (U_{DD} - U_D) \left[\frac{2B(1-A)-B(1-A-B+2AB)}{(1-A-B+2AB)(1-B)} \right] - U_{3min} \frac{B}{1-B}$$

$$-U_{2maks} = -U_{2maks} \frac{1-A+AB}{(1-A-B+2AB)(1-B)} + (U_{DD} - U_D) \left[\frac{2B(1-A)-B(1-A-B+2AB)}{(1-A-B+2AB)(1-B)} \right] + U_{3min} \frac{B}{1-B}$$

$$U_{2maks} \left[\frac{1-A+AB}{(1-A-B+2AB)(1-B)} - 1 \right] = U_{3min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{2B(1-A)-B(1-A-B+2AB)}{(1-A-B+2AB)(1-B)}$$

$$U_{2maks} = U_{3min} \frac{\frac{B}{1-B}}{\frac{1-A+AB-(1-A-B+2AB)(1-B)}{(1-A-B+2AB)(1-B)}} + (U_{DD} - U_D) \frac{\frac{2B(1-A)-B(1-A-B+2AB)}{(1-A-B+2AB)(1-B)}}{\frac{1-A+AB-(1-A-B+2AB)(1-B)}{(1-A-B+2AB)(1-B)}}$$

$$U_{2maks} = U_{3min} \frac{B}{\frac{1-A+AB-(1-A-B+2AB)(1-B)}{(1-A-B+2AB)}} + (U_{DD} - U_D) \frac{2B(1-A)-B(1-A-B+2AB)}{1-A+AB-(1-A-B+2AB)(1-B)}$$

$$U_{2maks} = U_{3min} \frac{B(1-A-B+2AB)}{B(2-2A-B+2AB)} + (U_{DD} - U_D) \frac{2B(1-A)-B(1-A-B+2AB)}{B(2-2A-B+2AB)}$$

$$U_{2maks} = U_{3min} \frac{(1-A-B+2AB)}{(2-2A-B+2AB)} + (U_{DD} - U_D) \frac{2(1-A)-(1-A-B+2AB)}{(2-2A-B+2AB)}$$

$$U_{2maks} = U_{3min} \frac{1-A-B+2AB}{2-2A-B+2AB} + (U_{DD} - U_D) \frac{1-A+B-2AB}{2-2A-B+2AB}$$

Izraz (3-51) za $k = 3$ glasi

$$U_{3min} = U_{3maks} \frac{1}{1-B} - U_{2maks} \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3min} = U_{3maks} \frac{1}{1-B} - \left[U_{3min} \frac{1-A-B+2AB}{2-2A-B+2AB} + (U_{DD} - U_D) \frac{1-A+B-2AB}{2-2A-B+2AB} \right] \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3min} = U_{3maks} \frac{1}{1-B} - U_{3min} \frac{(1-A-B+2AB)B}{(2-2A-B+2AB)(1-B)} - (U_{DD} - U_D) \frac{(1-A+B-2AB)B}{(2-2A-B+2AB)(1-B)} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3min} \left[1 + \frac{(1-A-B+2AB)B}{(2-2A-B+2AB)(1-B)} \right] = U_{3maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{(1-A+B-2AB)}{(2-2A-B+2AB)} + 1 \right]$$

$$U_{3min} \left[\frac{2-2A-2B+3AB}{(2-2A-B+2AB)(1-B)} \right] = U_{3maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{3-3A}{(2-2A-B+2AB)} \right]$$

$$U_{3min} = U_{3maks} \frac{\frac{1}{1-B}}{\frac{2-2A-2B+3AB}{(2-2A-B+2AB)(1-B)}} - (U_{DD} - U_D) \frac{\frac{B}{1-B} \left[\frac{3-3A}{(2-2A-B+2AB)} \right]}{\frac{2-2A-2B+3AB}{(2-2A-B+2AB)(1-B)}}$$

$$U_{3min} = U_{3maks} \frac{1}{\frac{2-2A-2B+3AB}{(2-2A-B+2AB)}} - (U_{DD} - U_D) \frac{B(3-3A)}{2-2A-2B+3AB}$$

$$U_{3min} = U_{3maks} \frac{2-2A-B+2AB}{2-2A-2B+3AB} - (U_{DD} - U_D) \frac{3B(1-A)}{2-2A-2B+3AB}$$

Izraz (3-50) za $k = 3$ glasi

$$U_{3maks} = U_{3min} \frac{1}{1-B} - U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3maks} = \left[U_{3maks} \frac{2-2A-B+2AB}{2-2A-2B+3AB} - (U_{DD} - U_D) \frac{3B(1-A)}{2-2A-2B+3AB} \right] \frac{1}{1-B} - U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3maks} = U_{3maks} \frac{2-2A-B+2AB}{2-2A-2B+3AB} \cdot \frac{1}{1-B} - (U_{DD} - U_D) \frac{3B(1-A)}{2-2A-2B+3AB} \cdot \frac{1}{1-B} - U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{B}{1-B}$$

$$-U_{3maks} = -U_{3maks} \frac{2-2A-B+2AB}{2-2A-2B+3AB} \cdot \frac{1}{1-B} + (U_{DD} - U_D) \frac{3B(1-A)}{2-2A-2B+3AB} \cdot \frac{1}{1-B} + U_{4min} \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{3maks} \left[\frac{2-2A-B+2AB}{2-2A-2B+3AB} \cdot \frac{1}{1-B} - 1 \right] = U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{1}{1-B} \left[\frac{3B(1-A)}{2-2A-2B+3AB} - B \right]$$

$$U_{3maks} \left[\frac{2-2A-B+2AB-(2-2A-2B+3AB)(1-B)}{(2-2A-2B+3AB)(1-B)} \right] =$$

$$U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{1}{1-B} \left[\frac{3B(1-A)-B(2-2A-2B+3AB)}{2-2A-2B+3AB} \right]$$

$$U_{3maks} \left[\frac{B(3-3A-2B+3AB)}{(2-2A-2B+3AB)(1-B)} \right] = U_{4min} \frac{B}{1-B} + (U_{DD} - U_D) \frac{1}{1-B} \left[\frac{B(1-A+2B-3AB)}{2-2A-2B+3AB} \right]$$

$$U_{3maks} = U_{4min} \frac{\frac{B}{1-B}}{\frac{B(3-3A-2B+3AB)}{(2-2A-2B+3AB)(1-B)}} + (U_{DD} - U_D) \frac{\frac{1}{1-B} \left[\frac{B(1-A+2B-3AB)}{2-2A-2B+3AB} \right]}{\frac{B(3-3A-2B+3AB)}{(2-2A-2B+3AB)(1-B)}}$$

$$U_{3maks} = U_{4min} \frac{B}{\frac{B(3-3A-2B+3AB)}{(2-2A-2B+3AB)}} + (U_{DD} - U_D) \frac{\left[\frac{B(1-A+2B-3AB)}{2-2A-2B+3AB} \right]}{\frac{B(3-3A-2B+3AB)}{(2-2A-2B+3AB)}}$$

$$U_{3maks} = U_{4min} \frac{2-2A-2B+3AB}{3-3A-2B+3AB} + (U_{DD} - U_D) \frac{1-A+2B-3AB}{(3-3A-2B+3AB)}$$

Izraz (3-51) za $k = 4$ glasi

$$U_{4min} = U_{4maks} \frac{1}{1-B} - U_{3maks} \frac{B}{1-B} - (U_{DD} - U_D) \frac{B}{1-B}$$

$$U_{4min} =$$

$$U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} - \left[U_{4min} \frac{2-2A-2B+3AB}{3-3A-2B+3AB} + (U_{DD} - U_D) \frac{1-A+2B-3AB}{(3-3A-2B+3AB)} \right] \frac{B}{1-B}$$

$$U_{4min} =$$

$$U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} - U_{4min} \frac{2-2A-2B+3AB}{3-3A-2B+3AB} \cdot \frac{B}{1-B} - (U_{DD} - U_D) \frac{1-A+2B-3AB}{(3-3A-2B+3AB)} \cdot \frac{B}{1-B}$$

$$U_{4min} \left[\frac{2-2A-2B+3AB}{3-3A-2B+3AB} \cdot \frac{B}{1-B} + 1 \right] = U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{1-A+2B-3AB}{(3-3A-2B+3AB)} + 1 \right]$$

$$U_{4min} \left[\frac{2B-2AB-2BB+3ABB}{(3-3A-2B+3AB)(1-B)} + 1 \right] = U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{1-A+2B-3AB+3-3A-2B+3AB}{(3-3A-2B+3AB)} \right]$$

$$U_{4min} \left[\frac{2B-2AB-2BB+3ABB+(3-3A-2B+3AB)(1-B)}{(3-3A-2B+3AB)(1-B)} \right] =$$

$$U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{4(1-A)}{(3-3A-2B+3AB)} \right]$$

$$U_{4min} \left[\frac{3-3A-3B+4AB}{(3-3A-2B+3AB)(1-B)} \right] = U_{4maks} \frac{1}{1-B} - (U_{DD} - U_D) \frac{B}{1-B} \left[\frac{4(1-A)}{(3-3A-2B+3AB)} \right]$$

$$U_{4min} = U_{4maks} \frac{\frac{1}{1-B}}{\frac{3-3A-3B+4AB}{(3-3A-2B+3AB)(1-B)}} - (U_{DD} - U_D) \frac{\frac{B}{1-B} \left[\frac{4(1-A)}{(3-3A-2B+3AB)} \right]}{\frac{3-3A-3B+4AB}{(3-3A-2B+3AB)(1-B)}}$$

$$U_{4min} = U_{4maks} \frac{1}{\frac{3-3A-3B+4AB}{(3-3A-2B+3AB)}} - (U_{DD} - U_D) \frac{B \left[\frac{4(1-A)}{(3-3A-2B+3AB)} \right]}{\frac{3-3A-3B+4AB}{(3-3A-2B+3AB)}}$$

$$U_{4min} = U_{4maks} \frac{3-3A-2B+3AB}{3-3A-3B+4AB} - (U_{DD} - U_D) \frac{4B(1-A)}{3-3A-3B+4AB}$$

Opći izraz za minimalne i maksimalne napone na pojedinom stupnju Dicksonove nabojske pumpe može se prikazati u sljedećem obliku:

$$U_{kmaks} = U_{k+1min} \frac{(k-1)A+(k-1)B-kAB-(k-1)}{kA+(k-1)B-kAB-k} + (U_{DD} - U_D) \frac{A-(k-1)B+kAB-1}{kA+(k-1)B-kAB-k}$$

$$U_{kmaks} = U_{k+1min} \frac{(k-1)(1-A)(1-B)+AB}{k(1-A)(1-B)+B} + (U_{DD} - U_D) \frac{(1-A)(kB+1)-B}{k(1-A)(1-B)+B}$$