

# Logički sklopovi u izvedbi s unipolarnim tranzistorima

---

**Dermešter, Denis**

**Undergraduate thesis / Završni rad**

**2021**

*Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj:* **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

*Permanent link / Trajna poveznica:* <https://um.nsk.hr/um:nbn:hr:200:803270>

*Rights / Prava:* [In copyright](#) / [Zaštićeno autorskim pravom.](#)

*Download date / Datum preuzimanja:* **2024-12-26**

*Repository / Repozitorij:*

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU**  
**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I**  
**INFORMACIJSKIH TEHNOLOGIJA**

**Stručni studij**

**Logički sklopovi u izvedbi s unipolarnim tranzistorima**

**Završni rad**

**Denis Đermešter**

**Osijek, 2021.**

# SADRŽAJ

1. UVOD .....	1
1 Zadatak završnog rada.....	1
2. UNIPOLARNI TRANZISTORI .....	2
2.1 JFET .....	2
2.1.1 Tehnološki presjek JFET-a.....	3
2.1.2 Strujno naponske karakteristike JFET-a .....	5
2.1.3 Dinamički model JFET-a .....	7
2.2 MOSFET .....	9
2.1.1 Tehnološki presjek MOSFET-a .....	9
2.1.2 Strujno naponske karakteristike MOSFET-a .....	10
2.1.3 Dinamički model MOSFET-a .....	12
3. LOGIČKI SKLOPOVI.....	13
3.1 Osnovne logičke funkcije.....	15
3.1.1 NOT.....	16
3.1.2 AND .....	17
3.1.3 OR .....	18
3.1.4 NAND .....	19
3.1.5 NOR .....	19
3.1.6 XOR .....	20
3.1.7 XNOR.....	21
3.2 Logički sklopovi temeljeni na unipolarnim tranzistorima .....	22
3.2.1 CMOS NOT .....	23
3.2.2 CMOS NAND .....	24
3.2.3 CMOS AND.....	25
3.2.4 CMOS NOR .....	26
3.2.5 CMOS OR .....	27

3.2.6 CMOS XOR .....	28
3.2.7 CMOS XNOR .....	29
4. REZULTATI .....	30
5. REZULTATI MJERENJA .....	34
6. ZAKLJUČAK .....	35
7. LITERATURA .....	35
8. PRILOZI .....	36
Sažetak .....	39
Abstract .....	39



## 1. UVOD

U ovom radu opisane su osnovne karakteristike unipolarnih tranzistora i njihova primjena u izradi logičkih sklopova. Tijekom prva dva poglavlja opisani su tehnološki presjeci MOSFET i JFET tranzistora s njihovim pripadnim naponskim karakteristikama i dinamičkim modelima tih tranzistora. U trećem poglavlju opisani su osnovni logički sklopovi i njihova primjena u područjima elektronike, digitalne elektronike te automatizacije. Opisan je princip rada logičkih sklopova koji se temelji na Booleovoj algebri. Uz njihov princip rada prikazane su logičke sheme, odnosno simboli osnovnih logičkih sklopova u ANSI i IEC formatu. Nakon osnovnog pregleda logičkih sklopova i njihove upotrebe opisane su njihove pripadne logičke funkcije. Svaka funkcija opisana je pripadnom jednadžbom Booleovog zakona te simbolom logičkog sklopa i principom rada pojedinog sklopa. U poglavlju 3.2 opisani su logički sklopovi temeljeni na MOSFET tranzistorima tj. u CMOS izvedbi. CMOS izvedba je izvedba logičkog sklopa korištenjem dva komplementarna tranzistora. Kako se radi o logičkim funkcijama bitno je znati naponske razine izlaza svake funkcije koje su također spomenute u poglavlju 3.2. Svaki logički sklop ima na izlazu visoku ili nisku naponsku razinu. U praktičnom djelu rada izrađeni su svi osnovni logički sklopovi, te je uz pomoć komponenata kao što su LED diode napravljen vizualni prikaz rada sklopa. LED diode svijetle ukoliko je izlaz sklopa u logičkoj jedinici, a ne svijetle ukoliko je u logičkoj nuli. Za ovaj rad kao generator signala korišten je mikro upravljač atmega328p koji u određenim sekvencama rada daje logičkim sklopovima odgovarajuće ulazne napone. U poglavljima od 3.2.1 do 3.2.7 opisani su svi CMOS sklopovi koji su izrađeni i prikazani s pripadnim shemama po kojima su izrađeni. Također je u tim poglavljima opisan rad svakog CMOS sklopa. Nakon opisa svakog pojedinog sklopa u poglavlju 4. prikazani su rezultati simulacije sklopova za svaku kombinaciju ulaznih razina napona. Simulacije su prikazane vizualnim prikazom koji je temeljen na slikama situacija. Na kraju, u poglavlju 5. napravljena su mjerenja izlaznih veličina sklopova te su njihove vrijednosti prikazane u tablici.

### 1 Zadatak završnog rada

Opisati osnovna svojstva unipolarnih tranzistora. Napisati pregled arhitektura osnovnih logičkih sklopova temeljenih na unipolarnim tranzistorima. Izraditi simulacijske i laboratorijske modele osnovnih logičkih sklopova u izvedbi s unipolarnim tranzistorima te analizirati rezultate simulacije i mjerenja.

## 2. UNIPOLARNI TRANZISTORI

Unipolarni ili FET (Field effect transistor) tranzistori su elektronički uređaji kod kojih se naponom upravlja električnim poljem te su zbog takvog režima upravljanja dobili naziv tranzistori s efektom polja. Unipolarni tranzistori su nastali pokušajima da se pomoću vanjskog električnog kruga upravlja prolaskom struje kroz poluvodiče i na taj način postigne efekt pojačanja, takvi prvi pokušaji su bili 1934. godine kada je Oskar Heil došao na ideju da pomoću vanjskoga polja okomitoga na površinu poluvodiča upravlja iznosom struje kroz poluvodič [1, str. 49.]. Osnovna ideja ovakvog principa rada se zasniva se na Gaussovom zakonu [1, str 49.] i prikazana je formulom:

$$\operatorname{div} \vec{D} = \operatorname{div} \varepsilon_0 \varepsilon_r \vec{E} = \sigma, \quad [2.1]$$

gdje je:

$\vec{E}$  - Vektor Jakosti polja u izolatorskome materijalu

$\varepsilon_0$  - Dielektričnost vakuumu koja iznosi  $8.8541878128(13) \times 10^{-12} \text{ F} \cdot \text{m}^{-1}$

$\varepsilon_r$  - Relativna dielektrična konstanta materijala

$\sigma$  - Gustoća induciranog površinskog naboja u vodiču

Kada se govori o podjeli ovakvih tranzistora, danas ih dijelimo na:

1. MOSFET-e kod kojih je upravljačka elektroda izolirana od kanala
2. JFET-e kod kojih je upravljačka elektroda odvojena od kanala nepropusno polariziranim PN spojem.

### 2.1 JFET

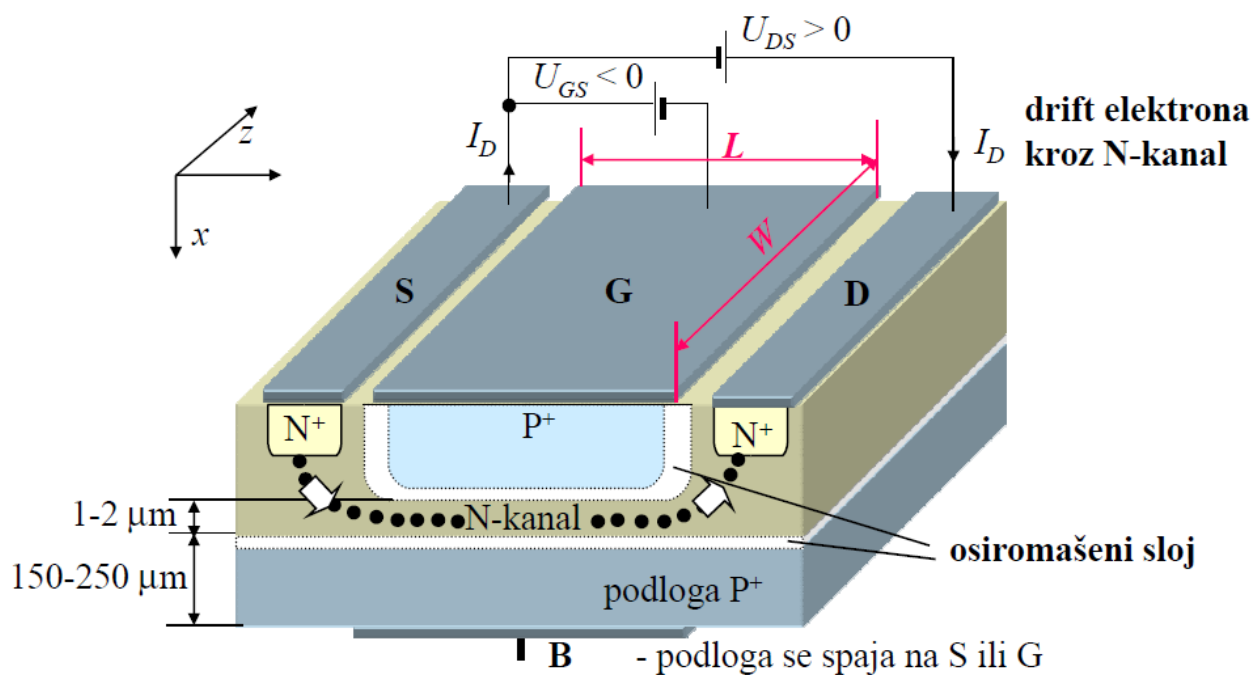
JFET dolazi od engleskog naziva „Junction Field Effect Transistor“. Unipolarni tranzistor je aktivan poluvodički element s tri elektrode kod kojega u vođenju struje sudjeluju samo većinski nositelji naboja, odnosno samo elektroni ili samo šupljine. Kod unipolarnog tranzistora upravljačka elektroda je spojena sa kanalom. Razlika između unipolarnog i bipolarnog tranzistora je u tome što naboji koji čine struju ne prelaze preko polariziranih P – N spojeva nego teku kroz dio poluvodiča kojeg nazivamo kanal. Dijeli se na n-kanalni i p-kanalni JFET. N-kanalni JFET se sastoji od jednog bloka n tipa poluvodiča i dva bloka pn spoja koji formiraju vrata [4, str. 2.].

P-kanalni JFET je u obliku dva n-tipa poluvodiča i jednog p-tipa. Smjer struje odvoda u p-kanalnom JFET-u je suprotan od onoga u n-kanalnom.

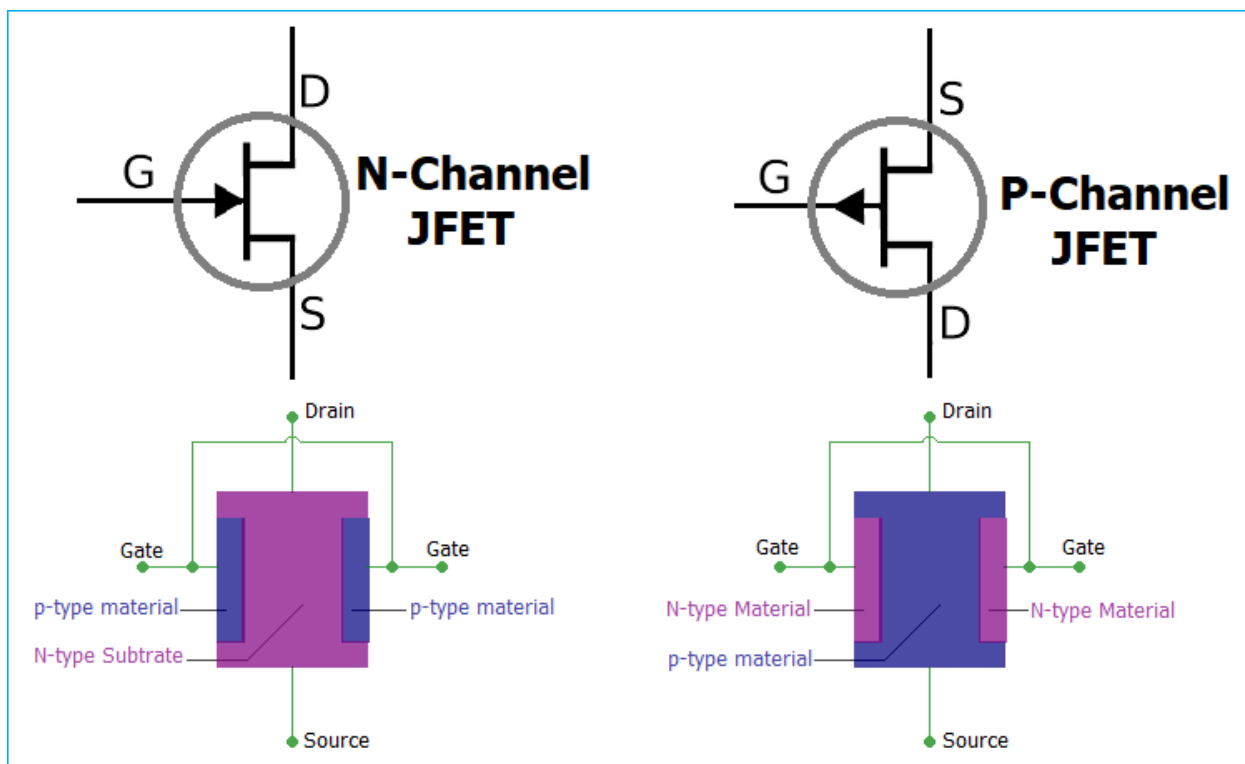
### 2.1.1 Tehnološki presjek JFET-a

Na slici 2.1 prikazan je tehnološki presjek spojnog FET tranzistora te naponi za ispravnu polarizaciju komponente. Ovakav tip poluvodiča proizvodi se postupkom dvostruke difuzije na podlozi debljine 150 - 250 $\mu\text{m}$ . Takva podloga ima ulogu nosive strukture komponente. Tranzistor sačinjavaju tri elektrode: uvod (source), odvod (drain) i vrata (gate). Kada pogledamo tehnološki presjek JFET-a vidimo da se on sastoji od kanala kroz kojega prolazi električni naboj, osiromašenog dijela koji ne vodi naboj i odgovarajućih priključaka (uvod, odvod i vrata). Oznakom  $W$  označena je širina kanala kroz kojeg naboj prolazi, dok je oznakom  $L$  označena duljina kanala. Ovisno o širini kanala protječe više ili manje naboja. Ukoliko dovedemo negativni napon na upravljačku elektrodu (gate), povećava se osiromašeni sloj tranzistora i time se smanjuje presjek kanala. Što je manji presjek kanala to manje elektrona ili šupljina tranzistor može provesti. Također je moguća situacija da se osiromašeni dio poveća do razine kada tranzistor više nije u stanju vođenja. To se dogodi kada negativni napon  $U_{GS}$  dostigne vrijednost napona  $U_P$  i s time otpornost kanala postaje beskonačno velika i onemogućava put za vođenje električnog naboja. Daljnjim povećavanjem negativnog napona ne mijenjamo stanje tranzistora, ali mora se paziti da napon ne prijeđe Zenerov probojni napon odnosno napon proboja diode. Na slici 2.2 prikazani su simboli N i P kanalnog JFET-a, te njihovi tehnološki presjeci.





Slika 2.1 Presjek JFET-a [5]



Slika 2.2 Simboli i tehnološki presjeci N i P kanalnog JFET-a [7]

### 2.1.2 Strujno naponske karakteristike JFET-a

Napon nepropusne polarizacije između uvoda i upravljačke elektrode ( $-U_{GS} < 0$ ), mijenja debljinu osiromašenog sloja tranzistora [2, str 220.]. Što je napon  $U_{GS}$  negativniji to više raste osiromašeni sloj i s time se smanjuje visina kanala ( $D-x_n$ ). U situaciji da između izvoda i uvoda postoji neki napon koji je veći od nule ( $U_{DS} > 0$ ), kroz N – kanalni JFET teče struja elektrona koju označavamo sa  $I_D$ . Jačina struje  $I_D$  ovisi o naponu na upravljačkoj elektrodi ( $U_{GS}$ ). S obzirom da napon  $U_{GS}$  mijenja visinu kanala i otpor kanala, prolaskom struje  $I_D$  kroz takav kanal nastaje pad napona koji uzrokuje gotovo jednaku površinu kanala cijelom duljinom. Otpor kanala možemo aproksimirati izrazom:

$$R_k = \rho \frac{l}{s} = \rho_n \frac{L}{W(D - x_n)}, \quad [2.2]$$

gdje je:

$\rho_n$  – otpornost poluvodiča N – tipa

$L$  – duljina kanala

$W$  – širina kanala

$D$  – debljina radnog sloja kanala

$x_n$  debljina jednostranog osiromašenog sloja u N – kanalu

Ako otpornost izrazimo preko recipročne vrijednosti provodnosti N – tipa poluvodiča, izraz za otpor možemo predočiti formulom:

$$R_k = \frac{1}{qN_D\mu_n} \cdot \frac{L}{w(D - x_n)}, \quad [2.3]$$

gdje je  $N_D$  koncentracija donora.

Prema tome, struju odvoda moguće je izraziti formulom:

$$I_D = \frac{U_{DS}}{R_k} = qN_D\mu_n \frac{w}{L} (D - x_n)U_{DS}. \quad [2.4]$$

Ukoliko se zanemari potencijal  $U_k$  u odnosu na napon nepropusne polarizacije  $U_{GS}$  širina jednostranog osiromašenog sloja  $x_n$  dana je izrazom:

$$x_n = \sqrt{\frac{2\varepsilon}{qN_D}} (-U_{GS}). \quad [2.5]$$

Ako se izraz 2.5 uvrsti u izraz 2.4 onda se dobije ovisnost struje odvoda o naponu nepropusne polarizacije pri malom naponu  $U_{DS}$ :

$$I_D = G_0 \left\{ 1 - \left[ \frac{2\varepsilon}{qN_D^2} (-U_{GS}) \right]^{\frac{1}{2}} \right\} U_{DS}, \quad [2.6]$$

gdje je  $G_0$  vodljivost potpuno otvorenog kanala pri naponu  $U_{GS} = 0$ .

$$G_0 = \frac{1}{\rho_n} \cdot D \frac{w}{L} = qN_D \mu_n D \frac{w}{L}. \quad [2.7]$$

Ukoliko se nastavi povećavati napon nepropusne polarizacije odnosno napon  $U_{GS}$ , povećavamo debljinu jednostranog osiromašenog područja  $x_n$ . Kada  $U_{GS}$  bude jednak naponu  $-U_p$  kanal se prekida i kroz njega više ne teče struja  $I_D$ . Napon dodira  $U_p$  može se izračunati izrazom:

$$U_p = |U_{GS}| = \frac{qN_D D^2}{2\varepsilon} > 0. \quad [2.8]$$

Uvrštavanjem 2.8 u 2.7 dobiva se izraz:

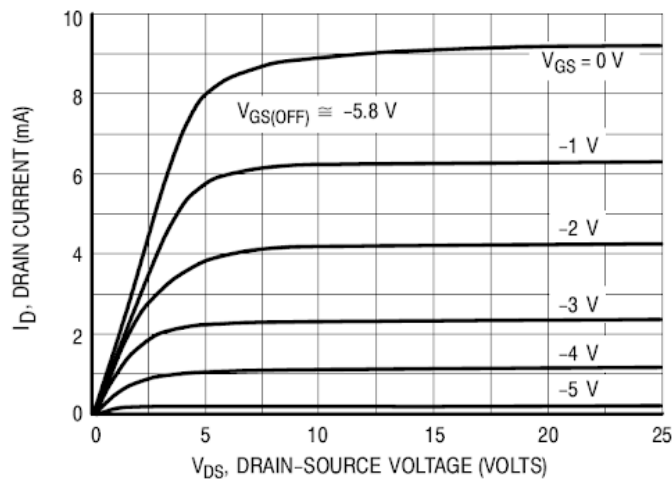
$$I_D = G_0 \left[ 1 - \left( \frac{-U_{GS}}{U_p} \right) \right]^{\frac{1}{2}} U_{DS}. \quad [2.9]$$

Ovakav izraz za zadanu vrijednost napona  $U_{GS}$  pokazuje linearnu ovisnost struje odvoda  $I_D$  o naponu  $U_{DS}$ .

Struja zasićenja  $I_{DSS}$  najveća je kada je  $U_{GS} = 0$ , a najmanja kada je  $U_{GS}$  jednak negativnom naponu dodira  $-U_p$ :

$$I_{DSS} = G_0 U_p \left[ \frac{U_{GS}}{U_p} + \frac{2}{3} \left( \frac{-U_{GS}}{U_p} \right)^{\frac{3}{2}} + \frac{1}{3} \right]. \quad [2.10]$$

Izraz 2.10 opisuje krivulju koja razdvaja triodno područje od područja zasićenja [2, str 224.]. Na slici 2.3 prikazana je izlazna karakteristika spojnog FET tranzistora. Iz grafa se može zaključiti kako porastom negativnog napona između elektroda vrata – uvod opada jačina struje koja prolazi kroz kanal sve dok se kanal ne zatvori i struja ne prestane teći.



Slika 2.3 Graf izlazne karakteristike JFET-a [8]

### 2.1.3 Dinamički model JFET-a

Karakteristike JFET-a mogu se linearizirati za male signale, a spojni FET prikazati ekvivalentnim sklopom za niske i visoke frekvencije [2, str. 225.]. Parametri za niske frekvencije dobivaju se iz diferencijala struje odvoda:

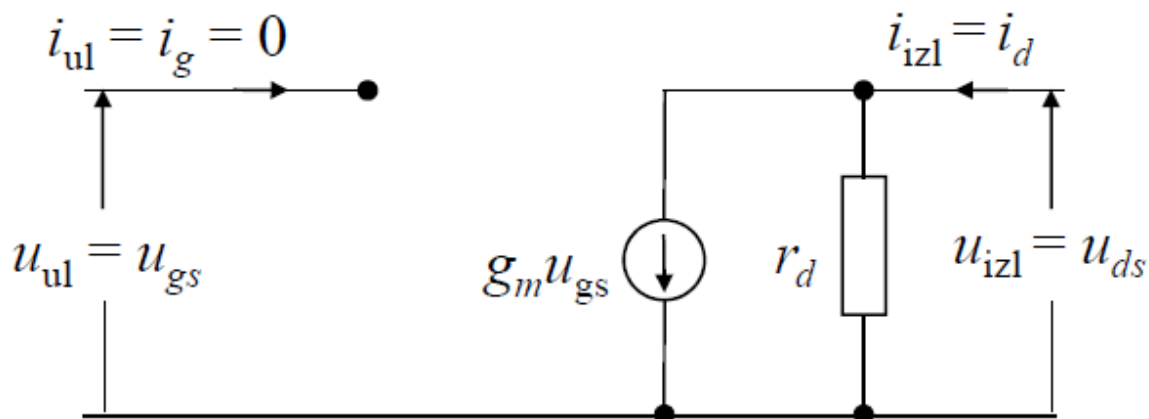
$$di_D = \left( \frac{\partial i_D}{\partial u_{GS}} \right) du_{GS} + \left( \frac{\partial i_D}{\partial u_{DS}} \right) du_{DS}, \quad [2.11]$$

gdje je:

$$\left( \frac{\partial i_D}{\partial u_{GS}} \right)_{u_{DS} = \text{konst}} = g_m, \quad [2.12]$$

$$di_D = \left( \frac{\partial i_D}{\partial u_{GS}} \right) du_{GS} + \left( \frac{\partial i_D}{\partial u_{DS}} \right) du_{DS}. \quad [2.13]$$

Na temelju izraza 2.11 i izraza 2.12 može se shematski prikazati zamjenski sklop za niske frekvencije. Na slici 2.4 prikazan je shematski prikaz takvog sklopa.

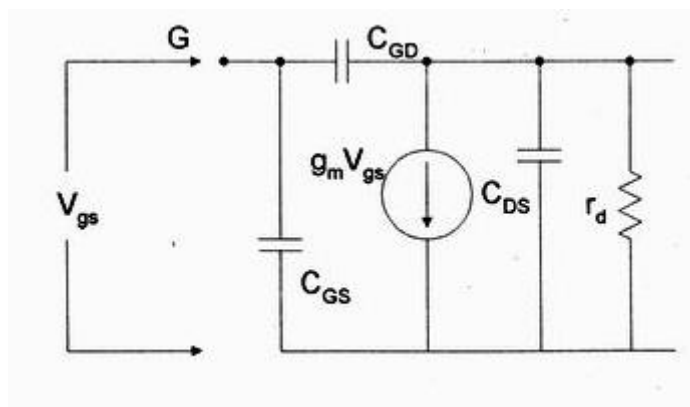


Slika 2.4 Nadomjesni sklop za niske frekvencije [6]

Osnovna relacija za rad JFET-a kod malog izmjeničnog signala dana je izrazom:

$$i_d = g_m u_{gs} + g_d u_{ds} \quad [2.14]$$

Na temelju izraza 2.14 definiran je nadomjesni sklop prikazan na slici 2.4. Pri kreiranju nadomjesnog sklopa za visoke frekvencije moraju se uzeti u obzir parazitni kapaciteti JFET-a. Upravljačka elektroda je nepropusno polariziran spoj koji se može aproksimirati kao kapacitet između kanala i upravljačke elektrode. Također kako je kanal jednim krajem vezan na elektrodu uvoda, a drugim na elektrodu izvoda taj se kapacitet prikazuje sa dva kondenzatora  $C_{GS}$  i  $C_{GD}$ . Između odvoda i uvoda dodaje se i kapacitet  $C_{DS}$ . Slikom 2.5 prikazan je nadomjesni sklop JFET-a za visoke frekvencije.



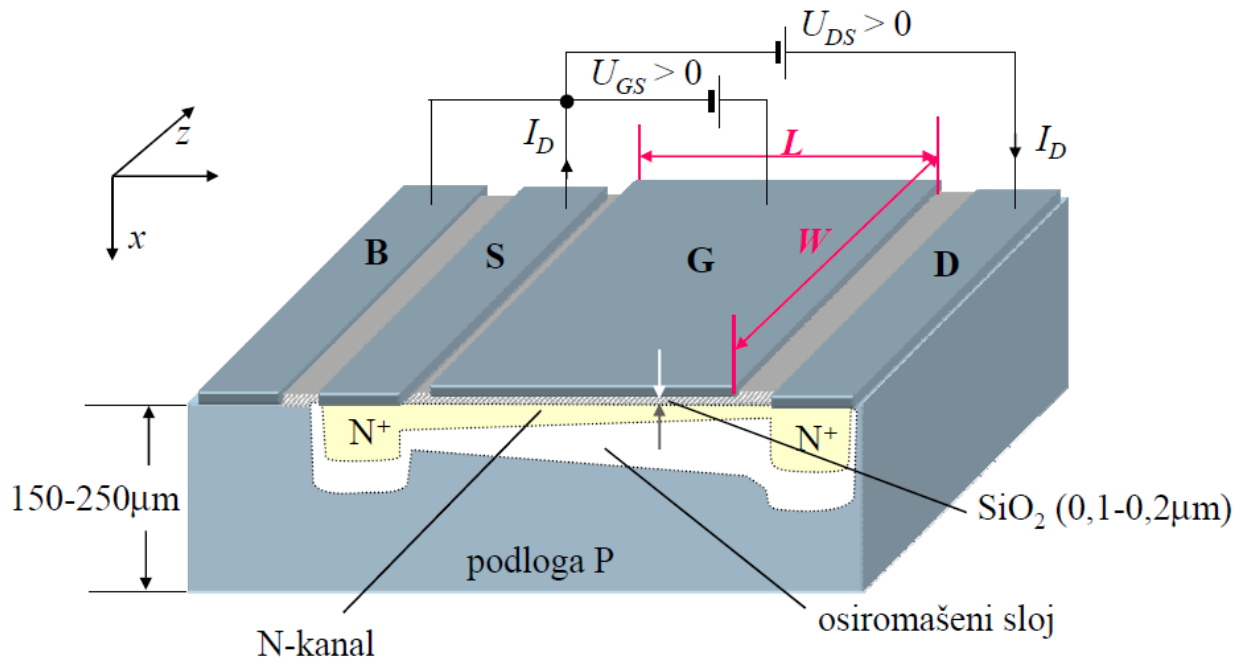
Slika 2.5 Nadomjesni sklop za visoke frekvencije. [9]

## 2.2 MOSFET

Za razliku od JFET-a, upravljačka dioda MOSFET tranzistora izolirana je od kanala. MOSFET tranzistori su jedni od najčešćih komponenata koje se danas mogu pronaći u svim oblicima digitalnih integriranih sklopova. Kod ovakvih tranzistora strujom kanala se upravlja preko upravljačke diode koja je izolirana od kanala. Naziv MOSFET (metal-oxide-semiconductor-field-emmiting-transistor) se koristi zato što se pri izradi ovih komponenata koristi silicij kao poluvodič, silicijev dioksid kao izolator i aluminijski kao metal za upravljačku elektrodu. MOSFET tip tranzistora dolazi u P - kanalnoj i N - kanalnoj izvedbi.

### 2.1.1 Tehnološki presjek MOSFET-a

Na slici 2.6 prikazana je osnovna struktura, odnosno presjek N – kanalnog MOSFETA. Na podlozi P postupkom difuzije ili ionske implantacije stvaraju se  $N^+$  slojevi uvoda (S) i odvoda (D). Iznad podloge stvara se vodljiv kanal N tipa koji se inducira pod djelovanjem napona na upravljačkoj elektrodi. Ako između uvoda i odvoda ne postoji vodljivi kanal, onda između te dvije elektrode ne može teći električna struja. Kada se na upravljačku elektrodu (G) dovede napon  $U_{GS}$  koji je pozitivan u odnosu na podlogu B na upravljačkoj elektrodi se raspodjeli pozitivan naboj [2. str. 229.] Takav pozitivan naboj djeluje odbojno na šupljine i potiskuje ih dublje u volumen poluvodiča. Ukoliko napon  $U_{GS}$  nastavi rasti napon upravljačke elektrode počinje na površinu izvlačiti elektrone. tj. manjinske nosioce naboja. Elektroni su uzrok induciranja kanala u poluvodiču i oni omogućuju protok struje od odvoda do uvoda. Tanki inducirani sloj N tipa ispod upravljačke elektrode (G) nazivamo inverzijskim slojem. Mijenjanjem napona između upravljačke elektrode i uvoda mijenjamo provodnost induciranog kanala. Bitna stavka svakog MOSFET tranzistora je napon  $U_r$ . Njega nazivamo napon praga tj. to je najniži napon koji je potreban kako bi se kanal inducirao. U N – kanalnom MOSFET-u napon  $U_{GS}$  mora biti veći ili jednak naponu  $U_m$  da bi došlo do stvaranja kanala. Kod P – kanalnog MOSFET-a napon  $U_{GS}$  mora biti manji od napona praga  $U_r$  kako bi se stvorio vodljivi P – kanal.



Slika 2.6 Presjek MOSFET-a [5]

### 2.1.2 Strujno naponske karakteristike MOSFET-a

Rad MOSFET tranzistora temelji se na kontroli struje kroz tanki kanal na površini vodiča s toga ih još nazivamo površinskim FET tranzistorima. Inverzijski sloj je zaslužan za tok struje između odvoda (D) i uvoda (S). I-U karakteristike nastaju kao posljedica analize vodljivosti kanala pri naponu  $U_{GS}$ . Kod strujno naponskih karakteristika izvedu se karakteristike za triodno područje te se zatim struja u zasićenju aproksimira konstantom. Napon između elektrode uvoda i upravljačke elektrode prikazan je izrazom 2.15. Inducirani naboj  $Q$  čine pokretni elektroni  $Q_n$  i nepokretni ioni osiromašenog područja  $Q_d$ . Naboj pokretnih elektrona  $Q_n$  dobivamo prema formuli:

$$U_{GS} = U_{FB} - \frac{Q}{C_i} + \varphi_s, \quad [2.15]$$

$$Q_n = -C_i \left[ U_{GS} - \left( U_{FB} - \frac{Q_d}{C_i} + \varphi_s \right) \right]. \quad [2.16]$$

Formula 2.15 vrijedi samo ako između odvoda i uvoda nemamo priključen nikakav vanjski napon ili ako je vanjski napon vrlo mal. Kada dovedemo vanjski napon  $U_{DS}$  kroz kanal proteče struja pa s toga pad napona u kanalu ovisi o koordinati kanala. U ovakvoj situaciji vrijedi izraz:

$$Q_n(y) = -C_i[U_{GS} - U_{tn} - \varphi(y)]. \quad [2.17]$$

Provodnost diferencijala dijela kanala s duljinom  $dy$  može se izraziti izrazom:

$$dG(y) = \mu_{ns} Q_n(y) \frac{W}{dy}, \quad [2.18]$$

gdje je  $\mu_{ns}$  površinska pokretljivost elektrona, a  $W$  širina kanala.

Struja  $I_D$  je konstantna dužinom cijelog kanala te za nju vrijedi izraz:

$$I_D = \mu_{ns} C_i \frac{W}{L} \left[ (U_{GS} - U_{tn}) U_{DS} - \frac{U_{DS}^2}{2} \right]. \quad [2.19]$$

Izraz 2.15 vrijedi za cijelo triodno područje. Otpor MOFET-a  $R$  i faktor  $K$  prikazani su izrazima:

$$R = \frac{1}{G} = \frac{1}{\mu_{ns} \varepsilon_s \frac{W}{d_{ax} L} (U_{GS} - U_{tn})} = \frac{1}{K (U_{GS} - U_{tn})}, \quad [2.20]$$

$$K = \mu_{nx} \varepsilon_s \frac{W}{d_{ox} L}. \quad [2.21]$$

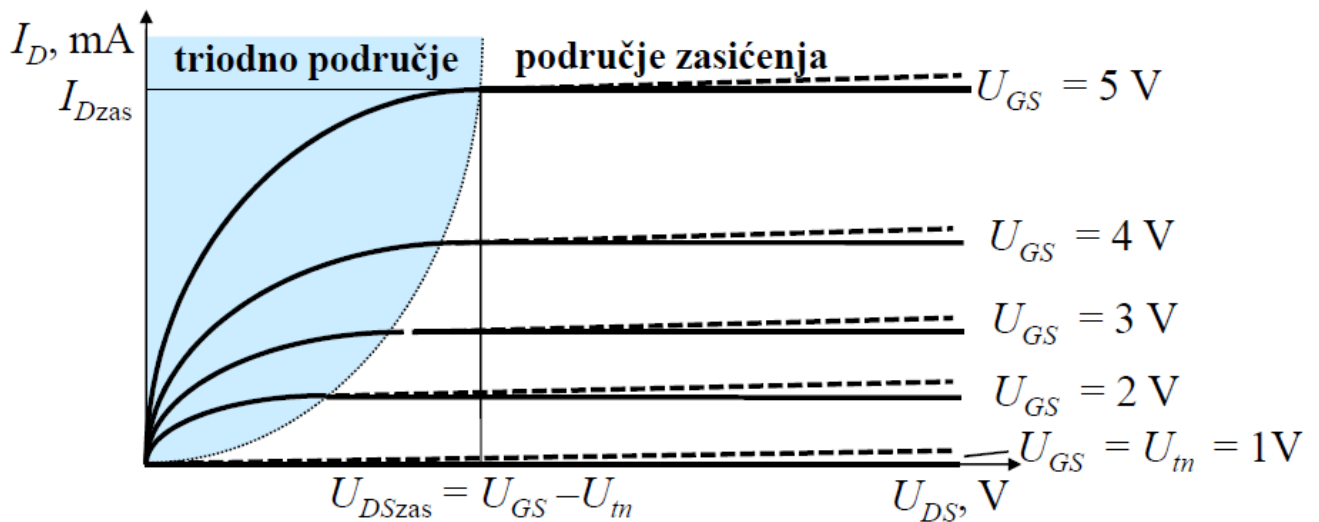
Ukoliko se povećava napon  $U_{DS}$  smanjuje se pad napona na oksidu u blizini D elektrode. To kao posljedicu ima smanjenje broja pokretnih elektrona  $Q_n$ . Smanjenje broja pokretnih elektrona rezultira prekid kanala na strani odvoda. Ako se nastavi povećavati napon  $U_{DS}$  tranzistor dolazi u zasićenje. Izrazom 2.22 prikazan je uvjet zasićenja tranzistora, dok je izrazom 2.23 prikazana struja u zasićenju.

$$U_{DSzas} = U_{GS} - U_{tn}, \quad [2.22]$$

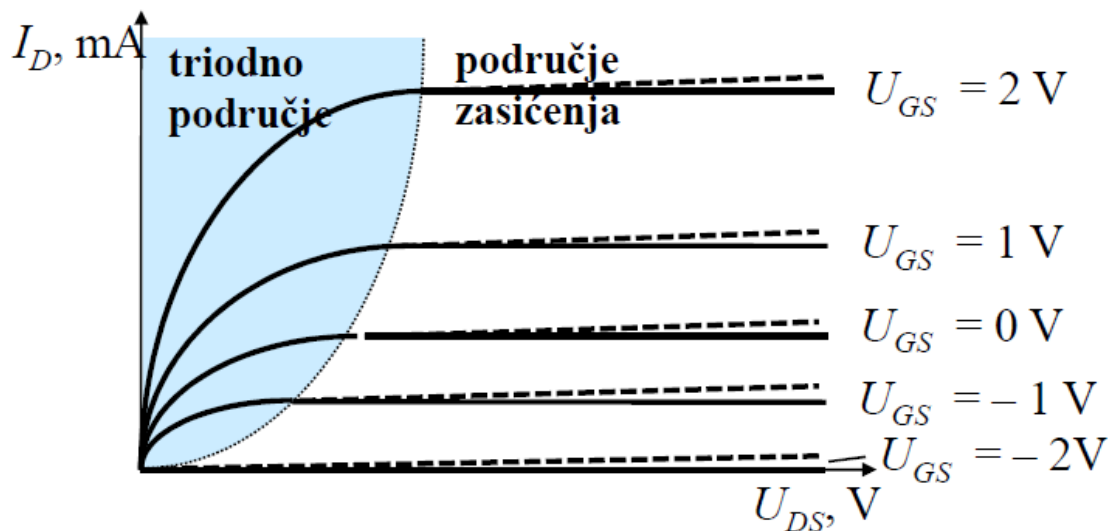
$$I_{Dzas} = \frac{K}{2} (U_{GS} - U_{tn})^2. \quad [2.23]$$



Na slici 2.7 prikazane su I – U karakteristike obogaćenog N-MOSFET-a, na slici 2.8 su I – U karakteristike osiromašenog N – MOSFET-a.



Slika 2.7 I-U karakteristike obogaćenog N-MOSFET-a [5]



Slika 2.8 I-U karakteristike osiromašenog N - MOSFET-a [5]

### 2.1.3 Dinamički model MOSFET-a

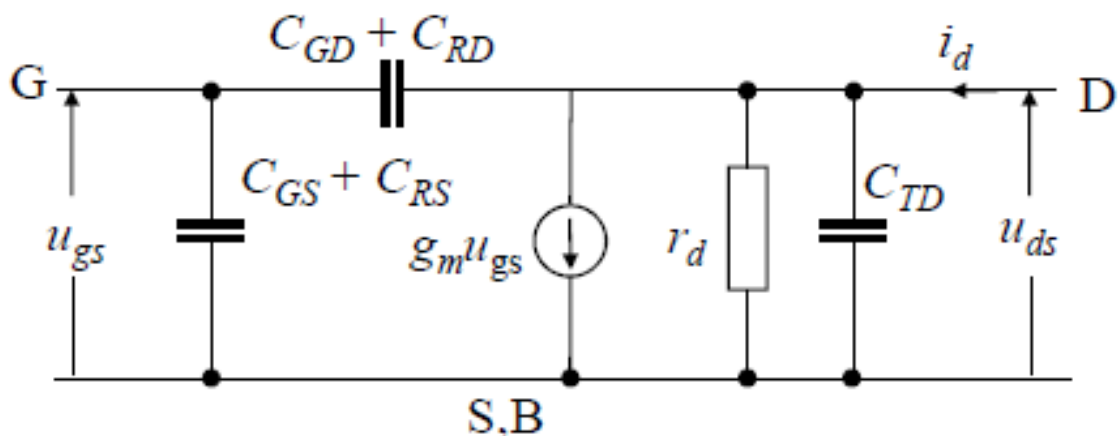
Kao i za JFET, karakteristike MOSFET-a mogu se u okolici radne točke linearizirati za mali signal. MOSFET može raditi u triodnom području rada i području zasićenja. Kod triodnog područja rada struja  $I_D$  jako ovisi o naponu  $U_{DS}$ . Kod područja zasićenja struja  $I_D$  je konstantna. Izlaznu

dinamičku vodljivost izračunavamo prema izrazu 2.24 ukoliko MOSFET radi u triodnom području, a ukoliko radi u području zasićenja izračunavamo ju prema izrazu 2.25.

$$g_{m \text{ triodno}} = \left( \frac{\partial i_D}{\partial u_{GS}} \right)_{u_{DS} = \text{konst.}} = KU_{DS}, \quad [2.24]$$

$$g_{m \text{ zasićenje}} = K(U_{GS} - U_{tn}) = \sqrt{2KI_D}. \quad [2.25]$$

Na slici 2.9 prikazan je nadomjesni spoj MOFET-a na visokim frekvencijama. U triodnom području rada kanal je približno jednako širok duž cijele duljine, dok je u režimu zasićenja širina kanala na strani odvoda (D) jednaka nuli.



Slika 2.9 Nadomjesni spoj za visoke frekvencije [5]

### 3. LOGIČKI SKLOPOVI




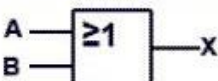



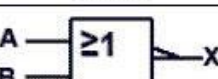

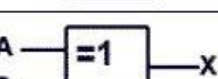

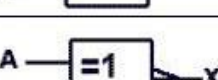

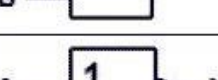
Logički sklopovi su osnova u izgradnji bilo kojeg digitalnog sustava. Princip rada im je temeljen na matematičkoj logici ili takozvanoj „Booleovoj algebri“. Njihov princip rada se primjenjuje u područjima digitalne elektronike za izradu kombinacijskih ili sekvencijalnih sklopova kao što su: generator paritetnog bita, multiplekseri, demultiplekseri, potpuna zbrajala (Full Adder), polu zbrajala (Half Adder) ili za izradu određenih vrsta bistabila kao što je naprimjer D – bistabil koji se može izvesti uz pomoću NI ili NILI sklopova. U današnjim računalima i računalnim sustavima neovisno o njihovoj složenosti svaki princip rada koji takav sustav obavlja može se prikazati logičkim sklopovima od kojih je takav sustav građen. Osim računarstva uporaba logičkih sklopova

i njihovih svojstava koristi se i u područjima automatizacije i pisanju programa za PLC uređaje, kao i u svakodnevnim primjerima iz elektrotehnike gdje serijsku vezu dva prekidača možemo predočiti kao „I“ sklop, a paralelnu vezu dva prekidača kao „ILI“ sklop. Svaki logički sklop karakterizira njegova tablica stanja prema kojoj takav sklop daje određen izlaz u ovisnosti od ulaza.

U ovom će radu biti opisano sedam logičkih sklopova:

1. Logički sklop NE (NOT)
2. Logički sklop I (AND)
3. Logički sklop ILI (OR)
4. Logički sklop NI (NAND)
5. Logički sklop NILI (NOR)
6. Logički sklop EXILI (XOR)
7. Logički sklop EXNILI (XNOR)



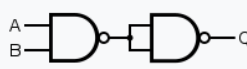
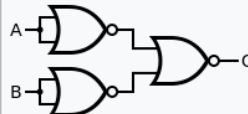
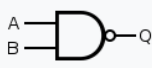
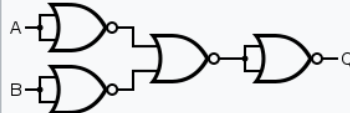
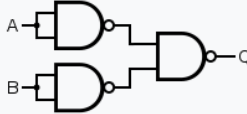
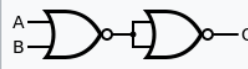
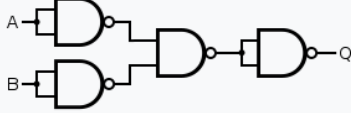
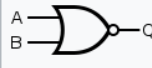
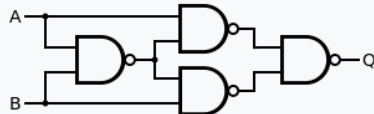
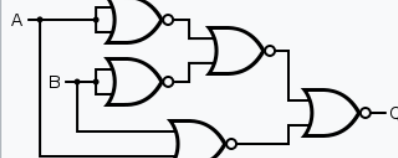
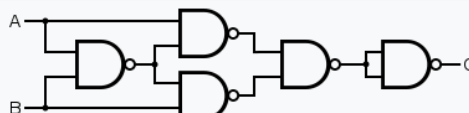
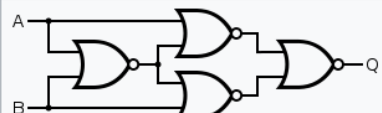
Tablice stanja sklopova su unaprijed definirane Booleovom algebrom te se uz pomoću tablica stanja može predočiti izlaz sklopa u ovisnosti o ulazima u određeni sklop. Prema tome logički sklop je integrirani krug sa jednim ili više ulaza i samo jednim izlazom. Njihove ulaze možemo predočiti sa visokom naponskom razinom (5V) i niskom naponskom razinom (0V). Naponske razine u logičkim sklopovima predstavljaju logička stanja, odnosno logičku „0“ za razinu od 0 V, te logičku „1“ za razinu od 5V. Izlaz logičkog sklopa u elektronici također je predočen visokom ili niskom naponskom razinom ovisno o stanju ulaza i funkciji koji sklop obavlja. U tablici na slici 3.1 prikazani su ANSI (American National Standards Institute) i IEC (International Electrotechnical Commission) simboli logičkih sklopova. Uobičajeno je da se koriste „ANSI“ simboli pri crtanju logičkih sklopova ili logičkih shema.

ANSI Symbol	IEC Symbol	NAME
		AND
		OR
		NAND
		NOR
		XOR
		XNOR
		NOT

Slika 3.1 Simboli logičkih sklopova [10]

### 3.1 Osnovne logičke funkcije

Funkcije „NI“ i „NILI“ nazivamo univerzalnima funkcijama zato što se uz pomoć tih dviju osnovnih funkcija mogu konstruirati svih sedam ostalih funkcija. Na slici 3.2 prikazane su izvedbe svih logičkih sklopova preko univerzalnih sklopova „NI“ i „NILI“. Na slici se može uočiti kako se odgovarajućim kombinacijama osnovnih funkcija „NI“ i „NILI“ možemo dobiti bilo koju logičku funkciju kombinirajući jedan „NI“ ili „NILI“ sklop ili više njih kako bi se dobila željena funkcija. U narednim poglavljima opisani su principi rada svake logičke funkcije, te simboli logičkih funkcija i njihove pripadajuće tablice istine. Svaka funkcija je opisana i svojom „Booleovom“ jednadžbom koja je dobila ime po Britanskom znanstveniku George Boole-u.

type	NAND construction	NOR construction
NOT		
AND		
NAND		
OR		
NOR		
XOR		
XNOR		

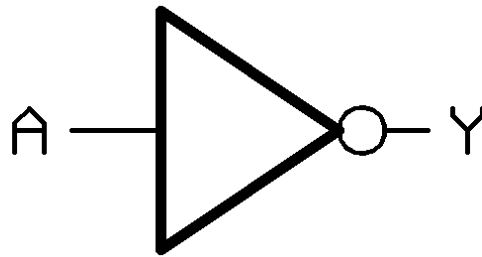
Slika 3.2 Funkcije izvedene sa "NI" i "NOR" sklopovima [11]

### 3.1.1 NOT

Funkcija „NE“ (NOT) najjednostavnija je funkcija od svih navedenih, ona ima uvijek jedan ulaz i jedan izlaz. Ova funkcija se još naziva inverter jer daje izlaz suprotan ulazu. Ona je takozvana logička negacija u matematici.

Pripadna jednadžba ove funkcije je:  $Y = \bar{A}$ .

Po navedenoj jednadžbi vidimo da će izlaz iz „NE“ sklopa uvijek biti suprotan od ulaza u sklop. Na slikama 3.2 može se vidjeti simbol „NE“ sklopa, odnosno simbol invertera, te na slici 3.3 tablica stanja za zadani sklop.



Slika 3.3 Simbol "NE" sklopa [12]

Input( $2^1$ )	Output
A	$Y = \overline{A}$
0	1
1	0

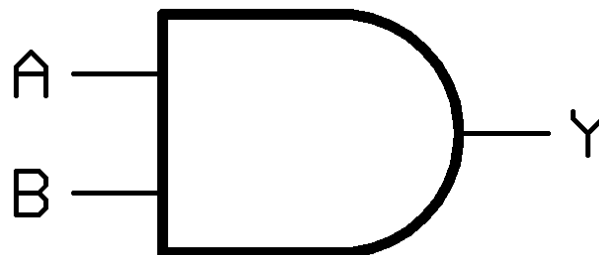
Slika 3.4 Tablica istine "NE" sklopa [13]

### 3.1.2 AND

Funkcija „I“ (AND) je funkcija koja ima dva ili više ulaza te jedan izlaz. Ova funkcija u matematici se naziva konjunkcija i njen izlaz je u logičkoj jedinici onda i samo onda ukoliko su svi ulazi u logičkoj jedinici, u suprotnom za bilo koju drugu kombinaciju ulaza izlaz ove funkcije je u logičkoj nuli.

Pripadna jednađba ove funkcije je:  $Y = A \cdot B$ .

Na slici 3.3 prikazan je ANSI simbol „I“ sklopa sa dva ulaza, a na slici 3.4 prikazana je tablica istine „I“ sklopa sa dva ulaza.



Slika 3.5 Simbol "I" sklopa [14]

Input		Output
A	B	$Y=A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

Slika 3.6 Tablica istine "I" sklopa [15]

### 3.1.3 OR

Funkcija „ILI“ (OR) funkcija je s dva ili više ulaza i jednim izlazom. Funkcija se u matematici još naziva disjunkcijom.

Ova funkcija je opisana jednadžbom  $Y = A + B$ .

Na slici 3.5 prikazan je simbol za logičku funkciju „ILI“ te na slici 3.6 prikazana je tablica istine „ILI“ funkcije. Iz tablice istine možemo uočiti kako je izlaz funkcije u logičkoj jedinici ako je barem jedan od ulaza u logičkoj jedinici ili su oba ulaza u logičkoj jedinici. Samo za slučaj da su svi ulazi u ovaj sklop u logičkoj nuli, na izlazu sklopa će biti nula.



Slika 3.7 Simbol "ILI" sklopa [16]

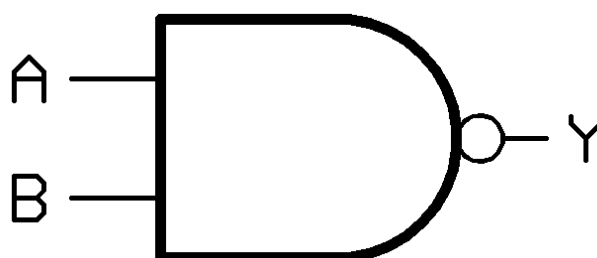
Input		Output
A	B	$Y=A+B$
0	0	0
0	1	1
1	0	1
1	1	1

Slika 3.8 Tablica istine "ILI" sklopa [17]

### 3.1.4 NAND

Funkcija „NI“ (NAND) je funkcija sa dva ili više ulaza i jednim izlazom. Ona je obrnuta funkcija od funkcije „I“ (AND). Izlaz ove funkcije je u logičkoj nuli samo u slučaju kada su svi ulazi u funkciju u logičkoj jedinici, u suprotnome izlaz ove funkcije je u logičkoj jedinici. Ova funkcija se naziva univerzalna funkcija jer se uz pomoć nje mogu realizirati sve ostale funkcije.

Pripadna jednađba funkcije je:  $Y = \overline{A \cdot B}$ .



Slika 3.9 Simbol "NI" sklopa [18]

Input		Output
A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Slika 3.10 Tablica istine "NI" sklopa [19]

Na slici 3.7 prikazan je simbol dvoulaznog „NI“ sklopa te na slici 3.8 je njegova pripadna tablica istine.

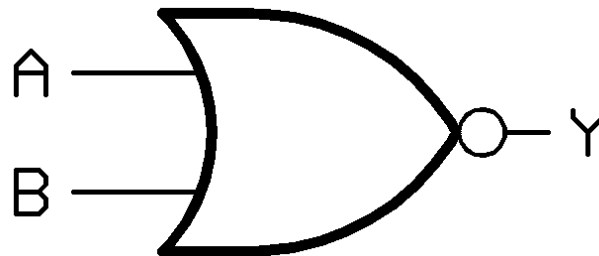
### 3.1.5 NOR

Funkcija „NILI“ (NOR) je funkcija sa dva ili više ulaza te jednim izlazom. Ona je suprotna funkcija funkciji „ILI“ (OR). Izlaz funkcije „NILI“ će biti u logičkoj jedinici onda i samo onda ako su svi ulazi u logičkoj nuli. U bilo kojem drugom slučaju ulaznih kombinacija izlaz je uvijek u logičkoj jedinici.

Pripadna jednađba funkcije je:  $Y = \overline{A + B}$ .



Funkciju „NILI“ još nazivamo univerzalnom funkcijom jer se uz pomoć različitih kombinacija ove funkcije mogu napraviti sve ostale osnovne funkcije. Na slici 3.8 prikazan je simbol logičkog sklopa „NILI“ u ANSI obliku, te je na slici 3.9 prikazana tablica istine za logički sklop „NILI“.



Slika 3.11 Simbol "NILI" sklopa [20]

Input		Output
A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0

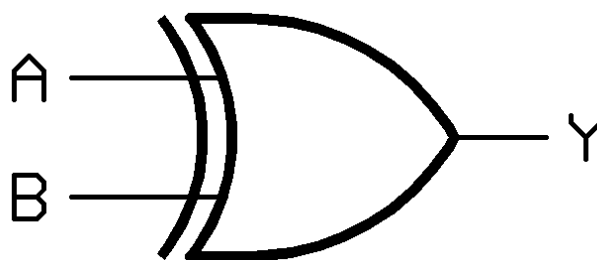
Slika 3.12 Tablica istine "NILI " sklopa [21]

### 3.1.6 XOR

Funkcija „Isključivo ILI“ (XOR) je funkcija sa dva ili više ulaza i jednim izlazom. Ona logičku jedinicu kao izlaz daje onda i samo onda ako je barem jedan ulaz u nju u logičkoj nuli, a ostali ulazi u logičkoj jedinici. Ukoliko su svi ulazi u logičkoj nuli ili su svi ulazi u logičkoj jedinici funkcija „Isključivo ILI“ daje izlaz u logičkoj nuli.

Pripadna jednadžba funkcije je:  $Y = A \oplus B$ .

Na slici 3.10 prikazan je simbol „Isključivo ILI“ funkcije i na slici 3.11 prikazana je njena tablica istine.



Slika 3.13 Simbol "Isključivo ILI" sklopa [22]

Input		Output
A	B	$Y=A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0

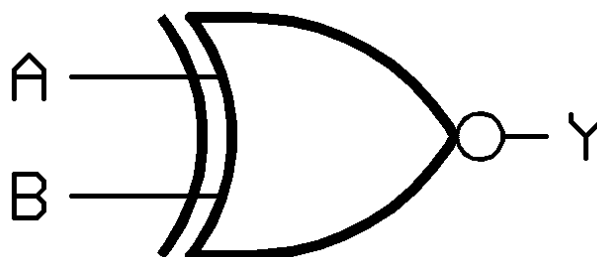
Slika 3.14 Tablica istine "Isključivo ILI sklopa" [21]

### 3.1.7 XNOR

Funkcija „Isključivo NILI“ (XNOR) još zvana ekvivalencija je funkcija sa dva ili više ulaza i jednim izlazom. Ona na svom izlazu daje logičku jedinicu onda i samo onda ako su svi ulazi u logičkoj jedinici ili su svi ulazi u logičkoj nuli, u suprotnome na svom izlazu daje logičku nulu.

Pripadna jednadžba funkcije je:  $Y = A \odot B$ .

Na slici 3.12 prikazan je simbol logičke funkcije „Isključivo NILI“ sklopa te na slici 3.13 prikazana je tablica istine za sklop.



Slika 3.15 Simbol "Isključivo NILI" sklopa [23]

Input		Output
A	B	$Y=A \odot B$
0	0	1
0	1	0
1	0	0
1	1	1

Slika 3.16 Tablica istine "Isključivo NILI" sklopa [21]

### 3.2 Logički sklopovi temeljeni na unipolarnim tranzistorima

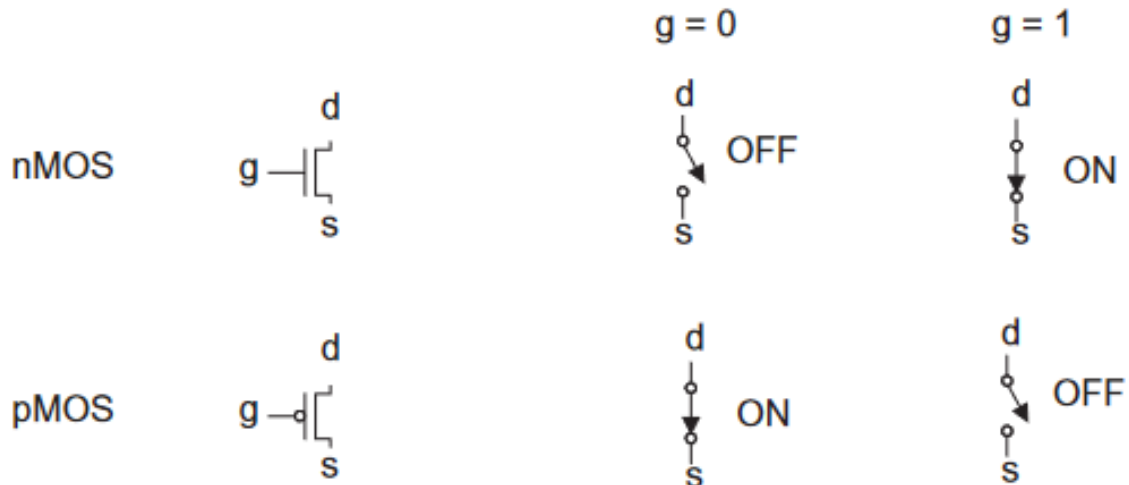
CMOS tehnologija (Complementary metal–oxide–semiconductor) se danas vrlo često u elektronici upotrebljava u izradi računalnih sustava. CMOS tehnologija koristi komplementarne parove N i P tipa MOSFET-a, uz pomoću kojih se tvore određene logičke funkcije. Ovakva tehnologija koristi MOSFET tranzistore kao sklopke kako bi realizirala logičke sklopove. Princip rada u CMOS tehnologiji je sljedeći: „Gate“ izvod na tranzistoru je upravljačka elektroda uz pomoć koje se uklapa i isklapa tranzistor. U slučaju N – kanalnog MOSFET-a elektroni su nositelji naboja. Struja teče u smjeru „drain“ – „source“. Kada je naponska razina na „gate“ kontaktu veća od naponske razine na „source“ kontaktu onda je N – kanalni MOSFET u aktivnom stanju i vodi struju u smjeru „drain“ – „source“ te ga možemo promatrati kao zatvorenu sklopku. Ukoliko se na „gate“ dovede manji ili jednak napon kao što je na „source“ kontaktu, takav tranzistor nije u stanju vođenja i može biti promatran kao otvorena sklopka. U slučaju P – kanalnog MOSFETA šupljine su nositelji naboja. Struja teče u smjeru „source“ – „drain“. Kada je naponska razina na „gate“ kontaktu manja od naponske razine na „source“ kontaktu onda je P – kanalni MOSFET u aktivnom stanju i vodi struju u smjeru „source“ – „drain“ te ga možemo promatrati kao zatvorenu sklopku. Ukoliko se na „gate“ dovede veći ili jednak napon kao što je na „source“ kontaktu takav tranzistor nije u stanju vođenja i može biti promatran kao otvorena sklopka. Sva logika CMOS tehnologije je korištenje MOSFET tranzistora u ulozi sklopki. Slika 3.14 prikazuje shematski prikaz rada N i P kanalnog MOSFET-a u ulozi sklopke. Kombinacijom određenog načina spajanja N – tipa i P – tipa dobivamo željene logičke sklopove. U narednim poglavljima opisani su principi rada logičkih sklopova u MOSFET tehnologiji sa njihovim pripadnim shemama. Za izradu praktičnog djela ovoga rada korišteni su tranzistori tipa mosfet 2N7000 i BS250. Za potrebe prikaza izlaznog stanja sklopova dodane su plave LED diode koje svijetle ukoliko sklop daje izlaz u logičkoj jedinici. Uz vizualni prikaz izlaza sklopa dodane su i crvene LED diode koje prikazuju trenutno stanje ulaznih bitova, odnosno trenutno stanje visokih ili niskih naponskih razina na „gate“ konektorima. Niska

naponska razina u CMOS tehnologiji je definirana kao vrijednost od  $0V$  do  $1/3 V_{DD}$  odnosno od  $1/3$  napona napajanja. Visoka naponska razina je definirana od  $2/3$  napona napajanja do maksimalne vrijednosti napona napajanja. Kako se u ovom radu koristio napon izvora iznosa  $5V$ , naponske razine su u sljedećim intervalima:

1. Niska  $0V - 1.7V$ ,
2. Visoka  $3.34V - 5V$ .

Također, dodani su odgovarajući otpornici kako bi se neželjeno pregrijavanje tranzistora onemogućilo. Svih sedam sklopova ovog završnog rada spojeno je na mikro upravljač atmega328p koji svakih 5 sekundi mijenja stanja ulaznih bitova „A“ i „B“, odnosno mijenja stanja naponskih razina na „gate“ konektorima. Logičke naponske razine ulaza „A“ i „B“ se ciklički mijenjaju sljedećim redom:

1.  $A = 0V, B = 0V$ ,
2.  $A = 0V, B = 5V$ ,
3.  $A = 5V, B = 0V$ ,
4.  $A = 5V, B = 5V$ .

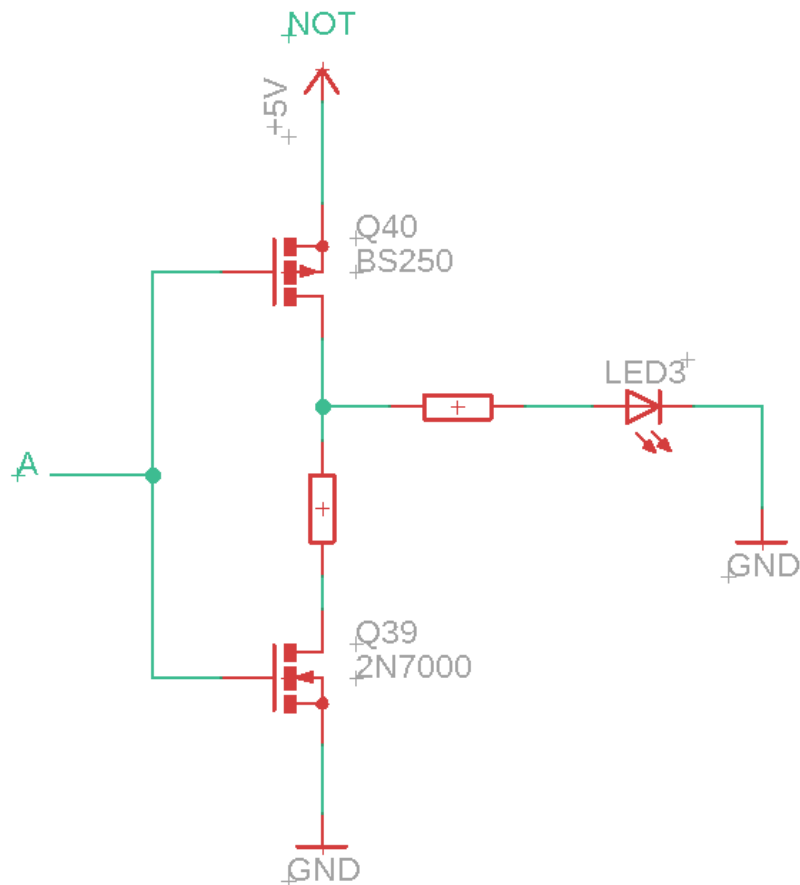


Slika 3.17 Simboli tranzistora i modeli sklopki [6]

### 3.2.1 CMOS NOT

Logički sklop „NE“ (NOT) ili inverter u CMOS tehnologiji izvodi se sa 2 komplementarna tranzistora. Tranzistore spajamo serijski. Na slici 3.15 prikazana je shema spajanja CMOS „NE“ sklopa. Princip rada ovako spojenog sklopa je sljedeći. Ako je ulaz „A“ u logičkoj nuli, u ovom slučaju podešen na  $0V$ , onda je tranzistor BS250 u stanju vođenja i strujni krug se zatvara preko

njega i LED diode koja u tom slučaju signalizira da je vrijednost izlaza sklopa u logičkoj jedinici. Kada ulaz „A“ postavimo u logičku jedinicu, tranzistor BS250 napušta stanje vođenja i otvara se kao sklopa. U to vrijeme se zatvara tranzistor 2N7000 i strujni krug zajedno sa njime. Za ovaj slučaj LED dioda ne svijetli jer je u ovom slučaju naponska razina izlaznog signala sklopa u logičkoj nuli, odnosno LED dioda ne svijetli jer joj je anoda preko „Q39“ tranzistora spojena na gnd.



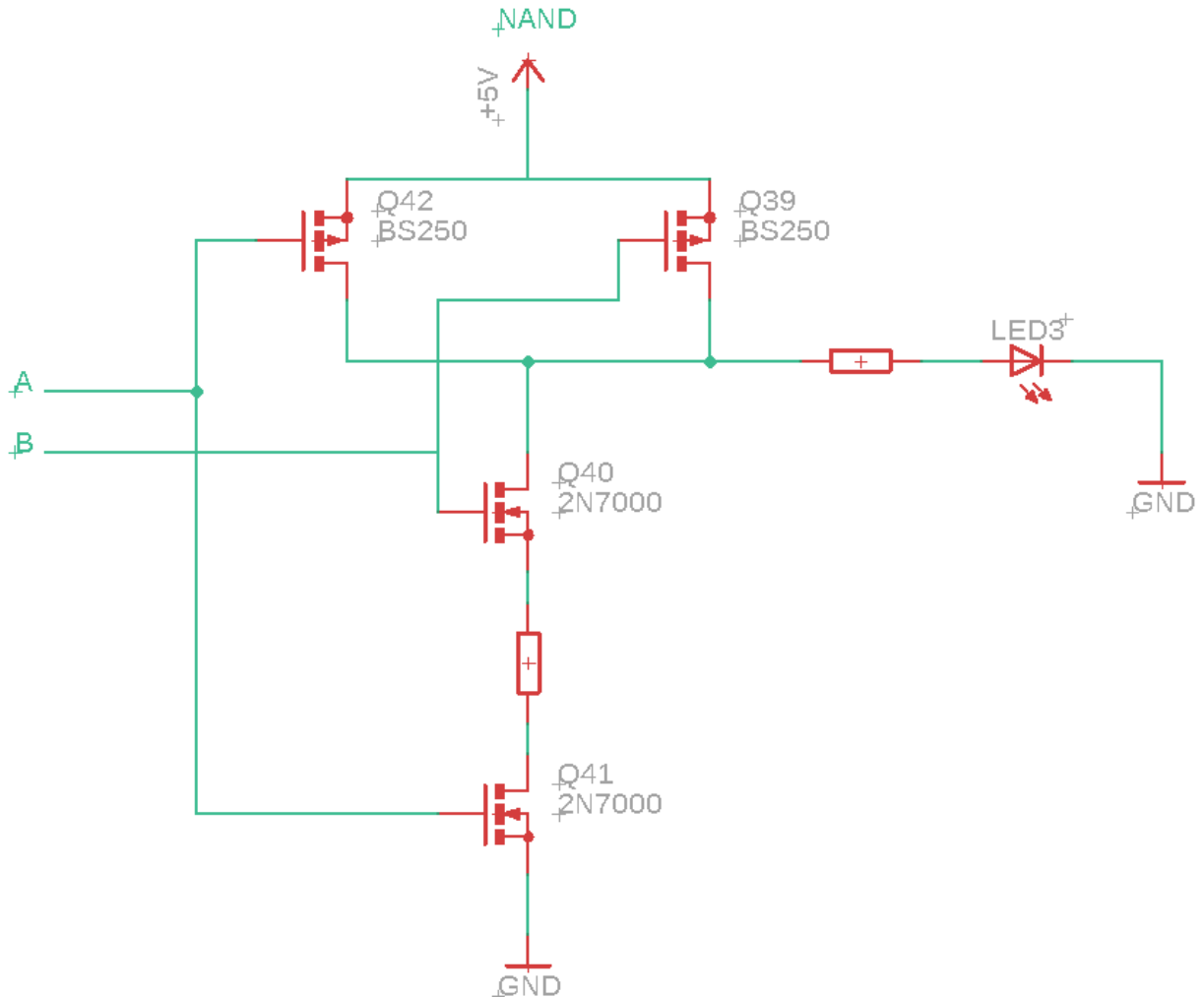
Slika 3.18 Shema CMOS "NE" sklopa

### 3.2.2 CMOS NAND

Logički sklop "NI" (NAND) izveden je sa 4 tranzistora od kojih su 2 tranzistora N – tipa i 2 tranzistora P – tipa. On za sve kombinacije ulaznih bitova osim za kombinaciju  $A = 5\text{ V}$  i  $B = 5\text{ V}$  daje izlaz u logičkoj jedinici i pali LED diodu. Za slučaj ulaznih bitova u kombinaciji  $A = 0\text{ V}$  i  $B = 0\text{ V}$ , zatvaraju se tranzistori „Q42“ i „Q43“ i omogućuju protok struje preko njih na LED diodu. U slučaju da je samo  $A = 5\text{ V}$  ili  $B = 5\text{ V}$  situacija je ista. Strujni krug se opet zatvara preko njih i LED diode. Kada se na ulaze dovedu naponske razine  $A = 5\text{ V}$  i  $B = 5\text{ V}$  LED dioda ne svijetli,

zato što se u tom slučaju zatvaraju tranzistori „Q40“ i „Q41“ pa je time anoda LED diode spojena na „gnd“.

Na slici 3.16 prikazana je CMOS shema „NI“ sklopa.

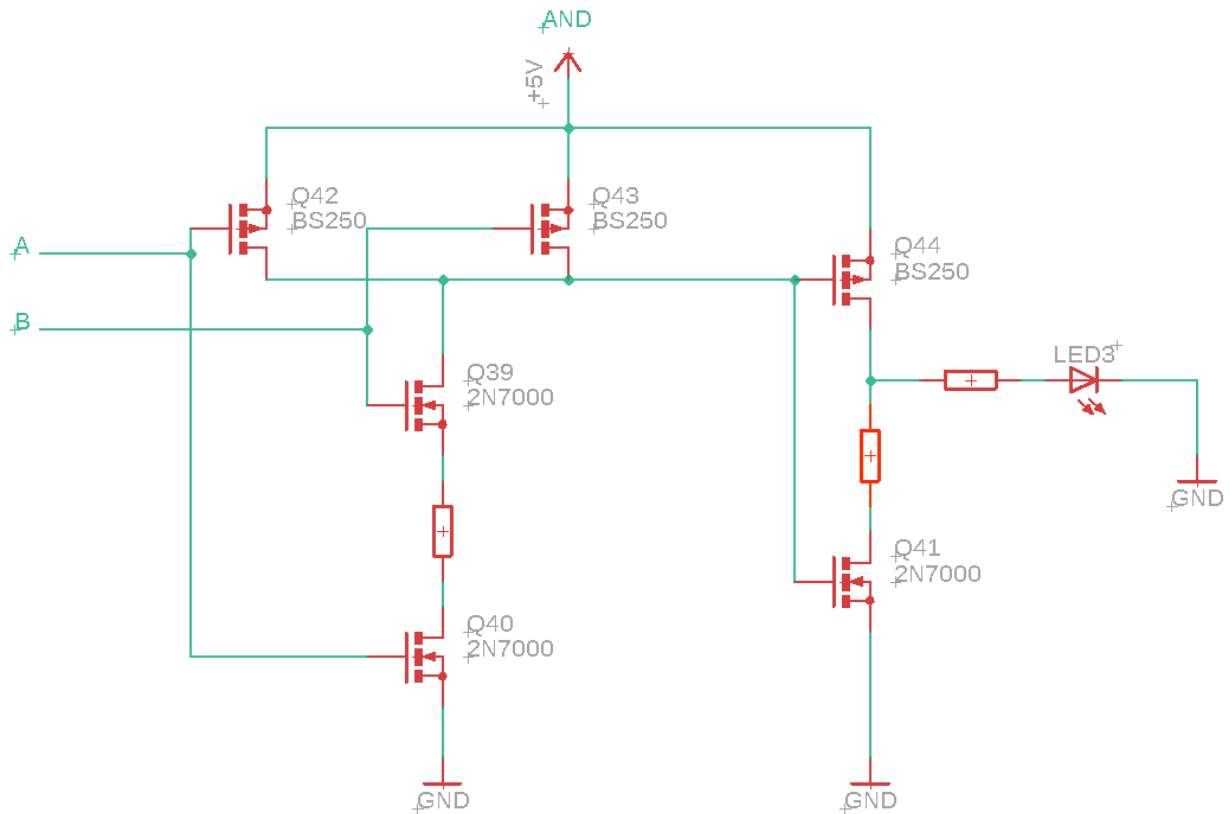


Slika 3.19 CMOS shema "NI" sklopa

### 3.2.3 CMOS AND

Logički sklop „I“ (AND) u CMOS tehnologiji izvodi se sa 3 tranzistora P – tipa i 3 tranzistora N – tipa. Radi se o komplementarnim tranzistorima kao i u prethodnom primjeru. „I“ sklop dati će logičku jedinicu kao izlaz onda kada „A“ i „B“ ulaz budu bili na naponskoj razini od 5V, u ovom slučaju samo u zadnjoj sekvenci ulaznih bitova. Kada se dogodi da su oba ulaza na 5V, odnosno u logičkoj jedinici onda tranzistori „Q42“ i „Q43“ nisu u stanju vođenja. Strujni krug se zatvara sa tranzistorima „Q39“ i „Q40“. Kako su oni spojeni na „gate“ kontakte tranzistora „Q44“ on se

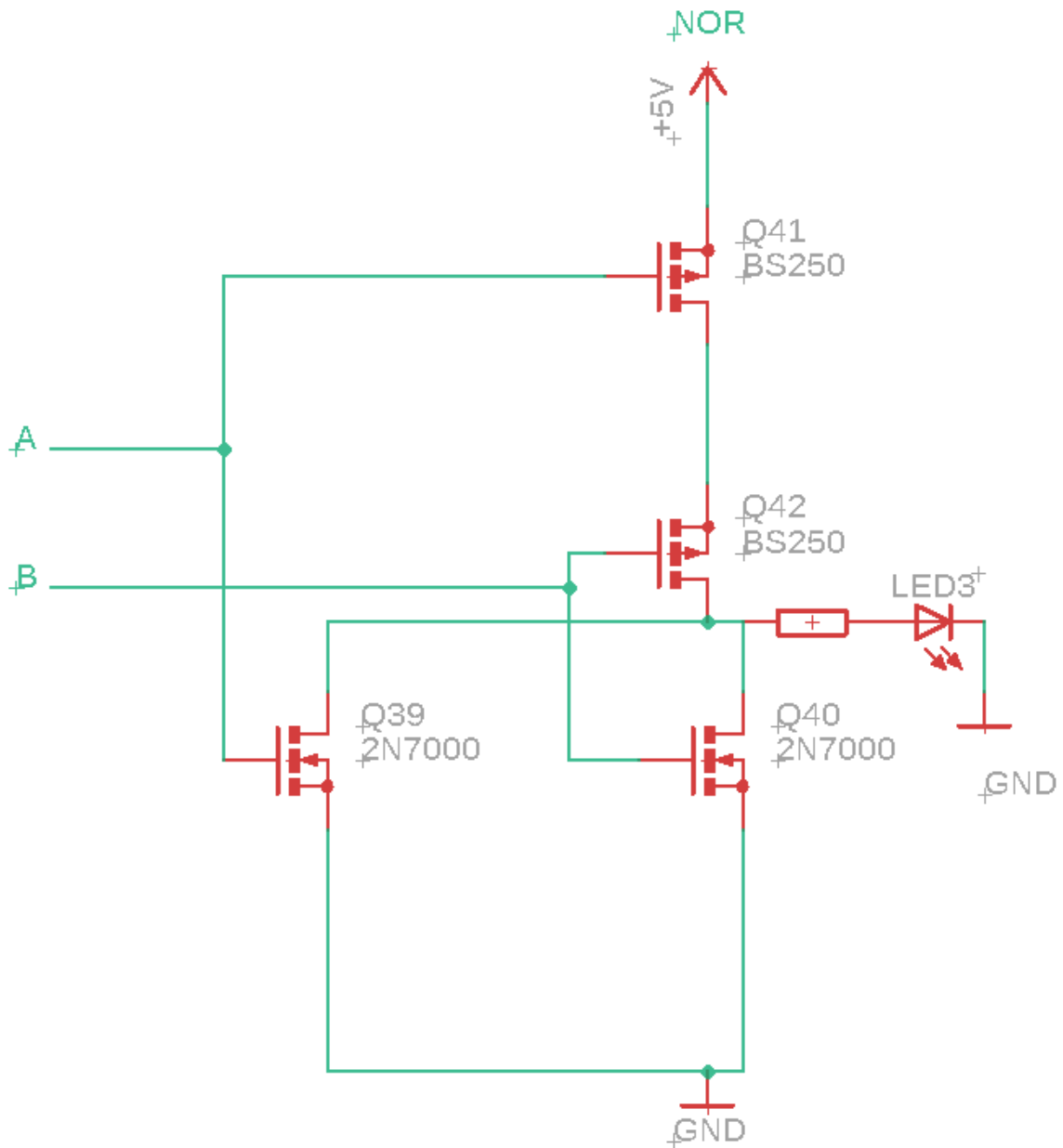
zatvara i omogućuje paljenje „LED3“ diode. U bilo kojem drugom slučaju ulaznih bitova „LED3“ ne svijetli jer „gate“ konektor tranzistora „Q44“ nije spojen na „GND“ preko „2N7000“ tranzistora. Kada bolje pogledamo ovu shemu „I“ sklopa možemo vidjeti da je ona sastavljena od dva CMOS sklopa: CMOS sklopa „NI“ i CMOS sklopa „NE“. Na slici 3.17 prikazana je CMOS shema „I“ sklopa.



Slika 3.20 Shema CMOS "I" sklopa

### 3.2.4 CMOS NOR

Logički sklop „NILI“ (NOR) u CMOS tehnologiji se izrađuje s 2 para komplementarnih tranzistora. Ovakav sklop daje logičku jedinicu kao izlaz onda i samo onda ako su mu ulazni bitovi u kombinaciji  $A = 0\text{ V}$  i  $B = 0\text{ V}$ . U svim drugim kombinacijama ulaznih bitova sklop će dati logičku nulu. Kada mu dovedemo kombinaciju ulaznih bitova  $A = 0\text{ V}$  i  $B = 0\text{ V}$  onda omogućujemo paljenje LED diode jer strujni krug zatvorimo s tranzistorima „Q41“ i „Q42“ te time spajamo anodu LED diode na pozitivan napon te se ona pali i signalizira da je izlaz sklopa u logičkoj jedinici. Za bilo koju drugu kombinaciju ulaznih bitova anoda LED diode spojit će se na gnd i time će signalizirati da je izlaz „NILI“ sklopa u logičkoj nuli.

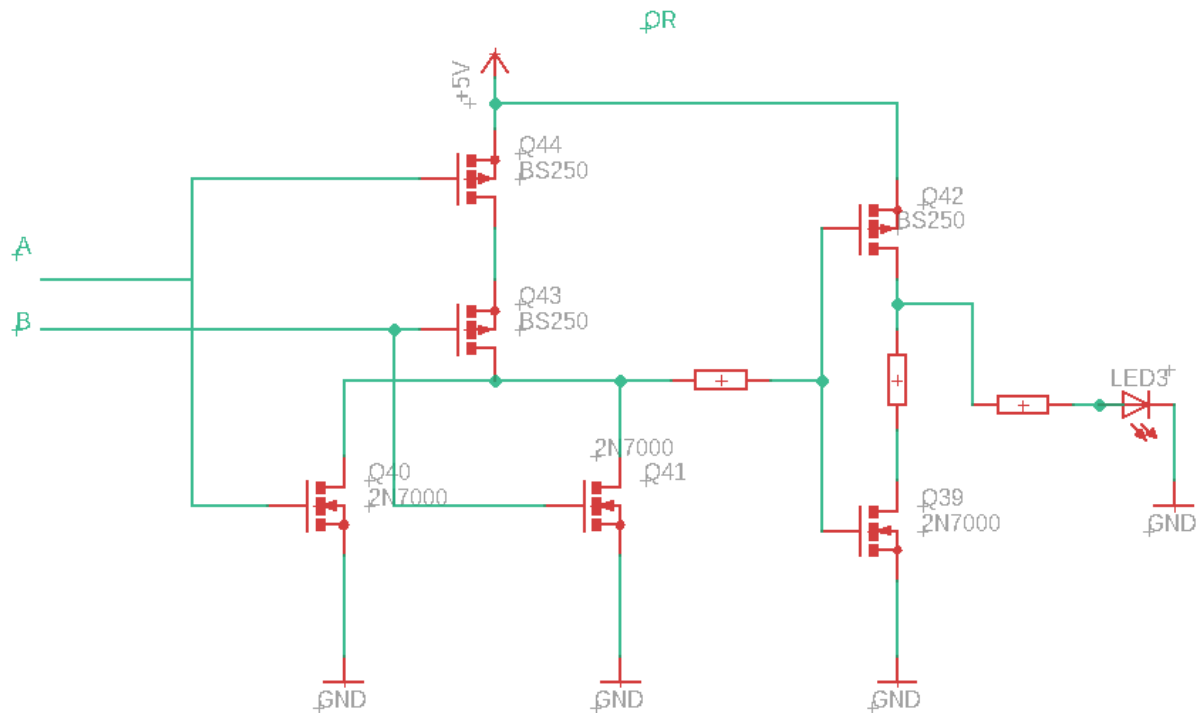


Slika 3.21 CMOS shema "NOR" sklopa

### 3.2.5 CMOS OR

Logički sklop „ILI“ (OR) u CMOS tehnologiji izveden je sa 3 para komplementarnih tranzistora. Ovakav sklop daje logičku jedinicu na izlazu u svim kombinacijama ulaznih bitova osim u kombinaciji ulaznih bitova  $A = 0 V$  i  $B = 0 V$ . Za svaku drugu kombinaciju jedan ili oba 2N7000 tranzistora koja su paralelno spojena zatvore dio strujnog kruga koji dovede logičku nulu na gate konektor „Q42“ tranzistora te se s time dovede visoka razina napona na izlaz sklopa i na anodu LED diode koja za posljedicu svijetli. Na slici 3.19 prikazana je shema CMOS sklopa „ILI“.

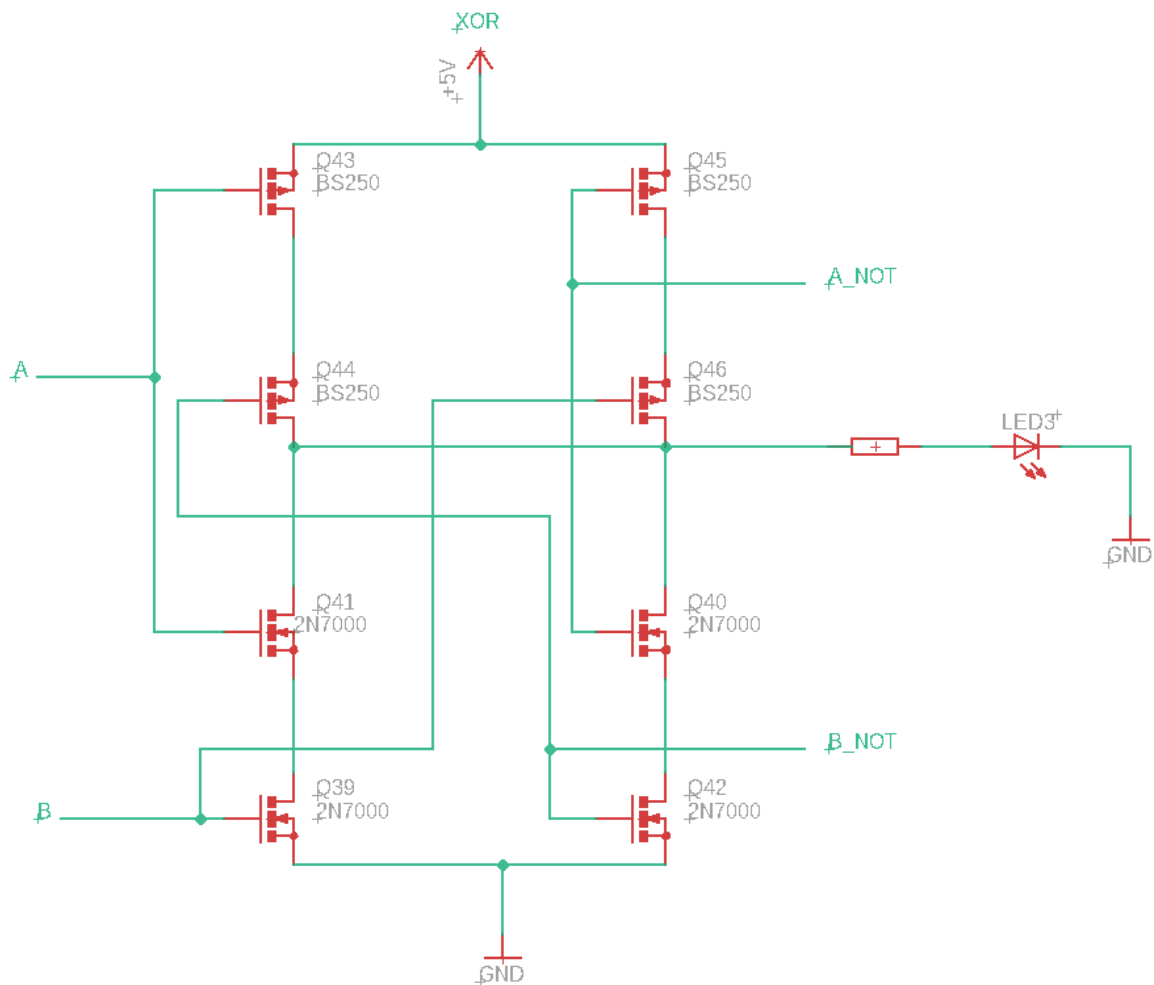




Slika 3.22 CMOS shema "ILI" sklopa

### 3.2.6 CMOS XOR

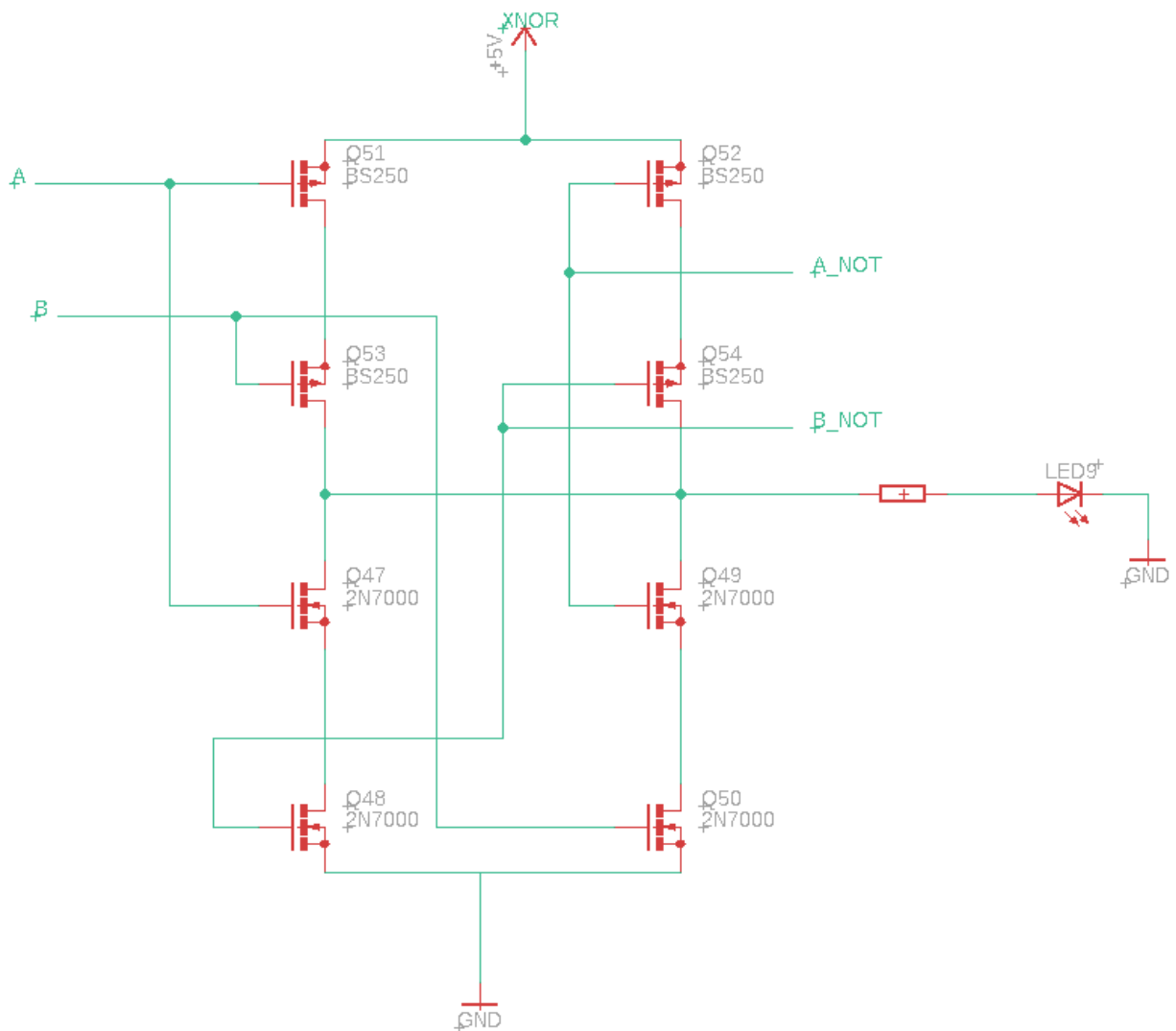
Logički sklop „Isključivo ili“ (XOR) izveden je sa 4 para komplementarnih tranzistora. Za izradu ovakvog sklopa korišteno je 4 digitalna izlaza sa atmega328p mikro upravljača zbog zahtijeva složenosti sklopa. U usporedbi s ostalim sklopovima sklop „XOR“ i sklop „XNOR“ zahtijevaju u isto vrijeme na određene tranzistore ulaze A i B, te njihove komplemente, odnosno ulaze  $\bar{A}$  i  $\bar{B}$ . Sklop daje izlaz u logičkoj jedinici za kombinacije ulaza  $A = 0 V$  i  $B = 5 V$ , ili za kombinaciju  $A = 5 V$  i  $B = 0 V$  te LED dioda za te kombinacije signalizira da je izlaz u logičkoj jedinici. Za ostale kombinacije daje logičku nulu.



Slika 3.23 CMOS shema "Isključivo ili" sklopa

### 3.2.7 CMOS XNOR

Logički sklop „Isključivo nili“ (XNOR) ili logički sklop ekvivalencije također je izveden s 4 para komplementarnih tranzistora. Kao i sklop „XOR“ on u istom trenutku na ulaze prima signale A i B te njihove komplemente  $\bar{A}$  i  $\bar{B}$ . Sklop se još naziva ekvivalencija zato što daje izlaz u logičkoj jedinici onda i samo onda kada su mu ulazi ekvivalentni tj. jednaki. U uvjetima kada su mu ulazni bitovi  $A = 0\text{ V}$  i  $B = 0\text{ V}$ , ili  $A = 5\text{ V}$  i  $B = 5\text{ V}$  LED dioda će signalizirati da je izlaz sklopa u logičkoj jedinici.



Slika 3.24 CMOS shema "Isključivo nili" sklopa

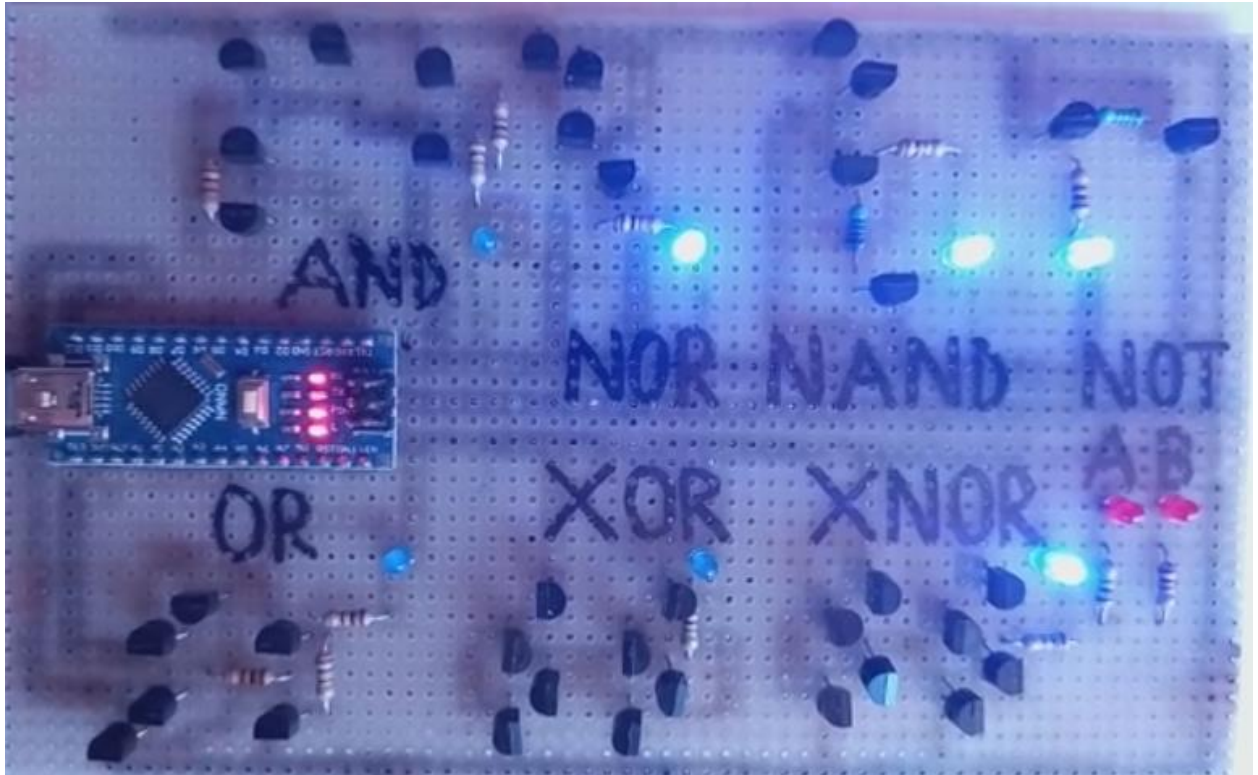
## 4. REZULTATI

S ciljem testiranja logičkih sklopova u izvedbi s MOSFET tranzistorima izrađene su makete logičkih sklopova temeljene na tranzistorima BS250 i 2N7000. Testiranje logičkih sklopova u ovom radu provedeno je u četiri koraka. Svaki korak odgovara jednom od četiri para ulaznih bitova tj. naponskih razina koje generira mikro upravljač atmega328p. U narednim koracima opisane su sekvence rada logičkih sklopova s vizualnim prikazom.

### 1. Sekvenca „00“

Prva sekvenca rada kao ulaze u logičke sklopove ima par bitova „00“, odnosno ako to predočimo naponskim razinama ima par naponskih razina „0V“ i „0V“. Ulazne razine napona

u sklopove prikazani su crvenim LED diodama. Na slici 4.1 prikazana je simulacija prve sekvence rada logičkih sklopova.

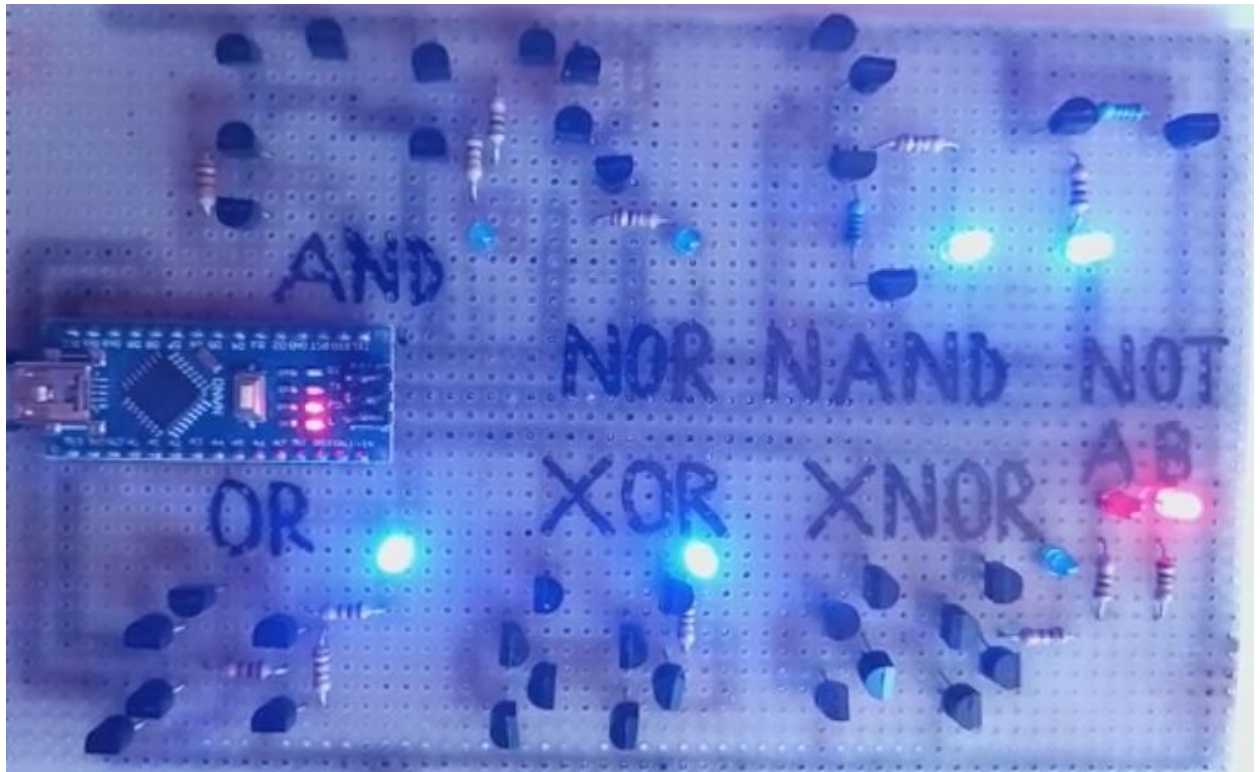


Slika 4.1 Sekvenca "00"

Kod prve sekvence rada za par ulaznih bitova „00“ možemo vidjeti da logički sklopovi „NOR“, „NAND“, „NOT“, i „XNOR“ imaju izlaz sklopa u području visoke naponske razine što je vizualno predočeno upaljenim LED diodama za pojedini sklop. Ostali sklopovi za ovu sekvencu ulaznih bitova daju izlaz u logičkoj nuli, te s toga LED diode ne svijetle.

## 2. Sekvenca „01“

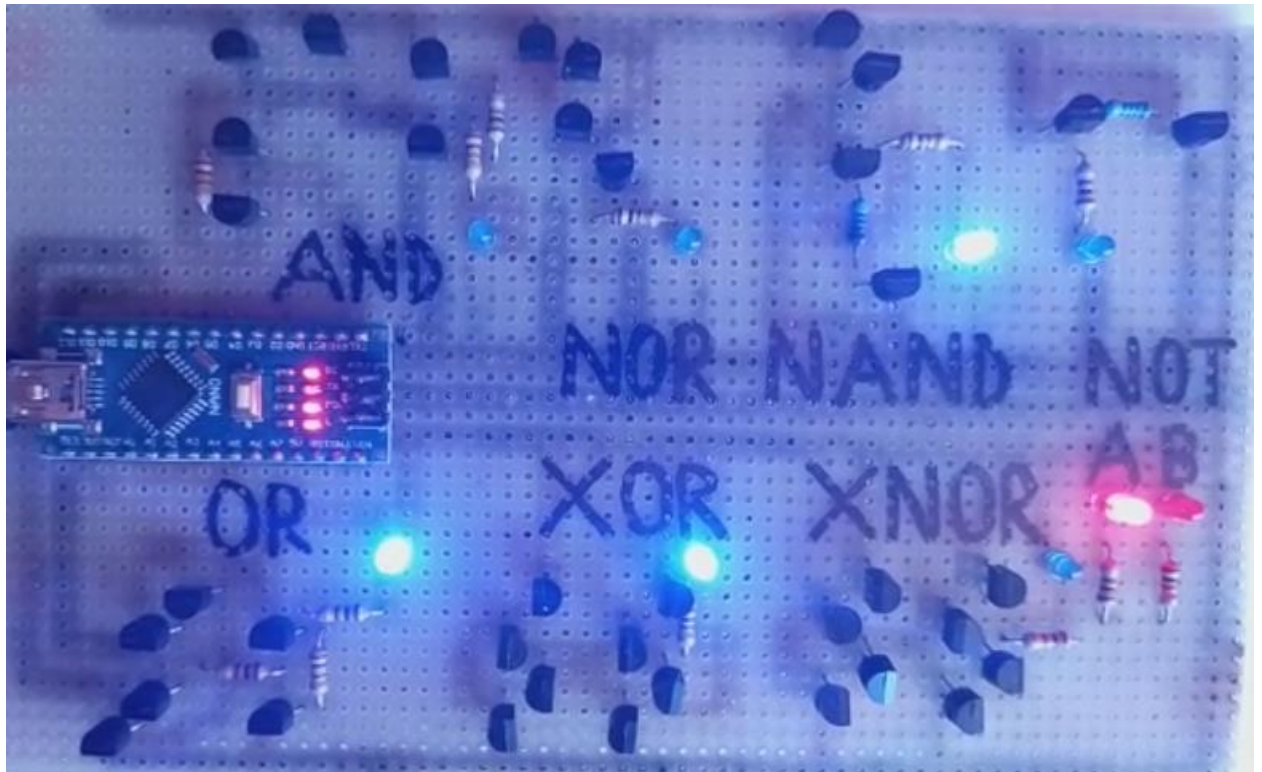
Druga sekvencu predstavlja par ulaznih bitova „01“ odnosno ulaznih razina napona „0 V“ i „5 V“. Na slici 4.2 prikazan je rad ove sekvence. Vidimo kako „B“ LED dioda za ulazni napon svijetli što upućuje kako je ulazni bit u stanju logičke jedinice, u ovom slučaju na naponskoj razini „5 V“. Za vrijeme ove sekvence logički sklopovi „NAND“, „NOT“, „OR“ i „XOR“ daju izlaz u logičkoj jedinici što možemo vidjeti iz svjetlosnog prikaza s plavim LED diodama. Ostali logički sklopovi daju logičku nulu za par ulaznih razina napona „0 V“ i „5 V“.



Slika 4.2 Sekvenca "01"

### 3. Sekvenca „10“

Treća sekvenca predstavlja par ulaznih bitova „10“, odnosno naponskih razina ulaza „5 V“ i „0 V“. Na slici 4.3 prikazan je rad ove sekvence. Tokom perioda navedenih ulaznih razina napona logičku jedinicu daju sklopovi „NAND“, „OR“ i „XOR“. Ostali sklopovi tokom ove kombinacije ulaznih bitova kao izlaz daju logičku nulu. Na signalnim LED diodama vidimo kako je ulaz „A“ u logičkoj jedinici, dok je ulaz „B“ u logičkoj nuli.

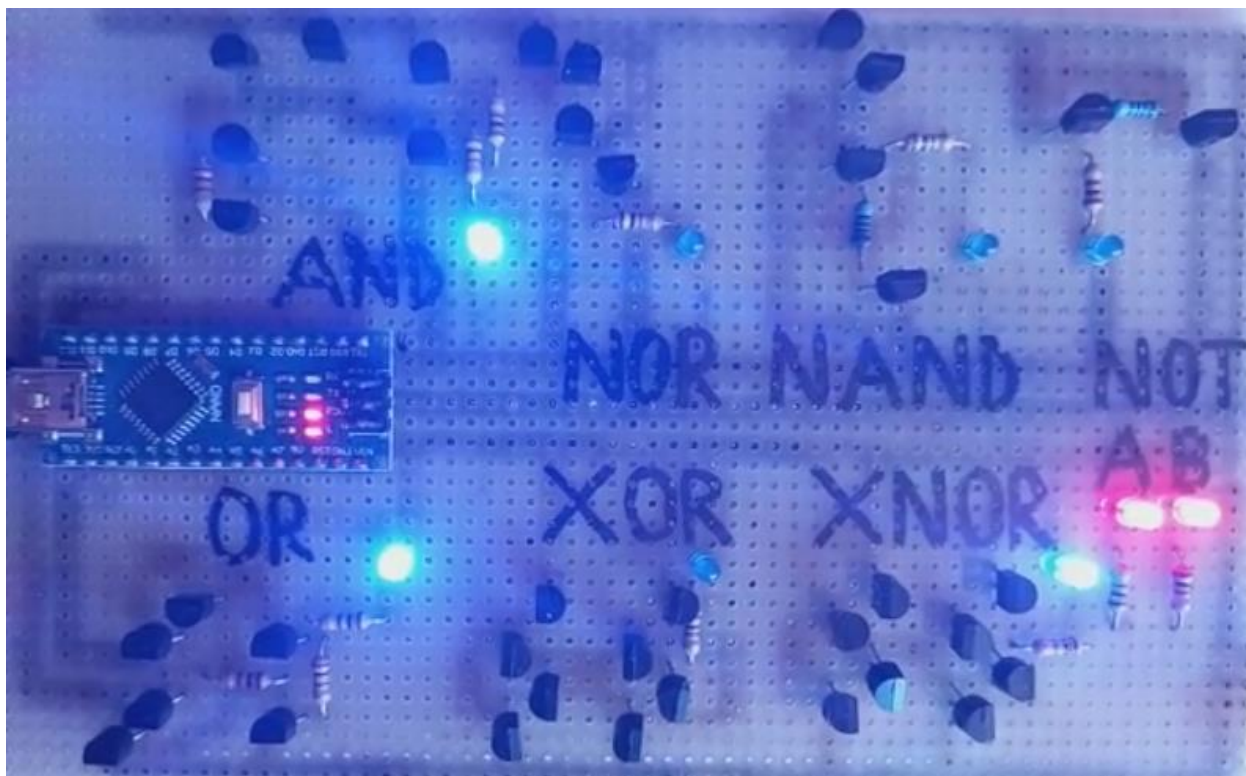


Slika 4.3 Sekvenca "10"

#### 4. Sekvenca „11“

Četvrta i posljednja sekvenca ulaznih bitova, odnosno ulaznih razina napona „5 V“ i „5 V“ signalizirana je s obje upaljene LED diode. Na slici 4.4 vidimo da tokom rada ove sekvence logičku jedinicu daju sklopovi „AND“, „OR“ i „XNOR“. Svi ostali sklopovi tokom ove sekvence izlaz postavljaju u logičku nulu.





Slika 4.4 Sekvenca "11"

## 5. REZULTATI MJERENJA

Kao prikaz rezultata mjerenja mjereni su izlazni naponi svakog sklopa. Izlazni naponi prikazani su u tablici 1, gdje je  $U_D$  pad napona na LED diodi,  $U_R$  pad napona na otporniku prije diode i  $U$  ukupan napon na izlazu sklopa (zbroj  $U_D$  i  $U_R$ ). Kako je visoka naponska razina od 3.34 V do 5 V iz tablice je vidljivo da sklopovi rade ispravno i logičku jedinicu predočuju visokom naponskom razinom.

Tablica 1

Ulazni bitovi	00			01			10			11		
Padovi napona (V)	$U_D$	$U_R$	$U$	$U_D$	$U_R$	$U$	$U_D$	$U_R$	$U$	$U_D$	$U_R$	$U$
NOT	2.85	0.87	3.72	2.92	1.23	4.15	0	0	0	0	0	0
NAND	2.85	0.88	3.73	2.92	1.24	4.16	2.94	1.23	4.17	0	0	0
NOR	2.74	0.63	3.37	0	0	0	0	0	0	0	0	0
AND	0	0	0	0	0	0	0	0	0	2.94	1.34	4.28
OR	0	0	0	2.79	0.68	3.47	2.79	0.72	3.51	2.81	0.74	3.55
XOR	0	0	0	3.70	0.88	3.70	3.75	0.93	3.75	0	0	0
XNOR	2.78	0.62	3.40	0	0	0	0	0	0	2.85	0.91	3.76

## 6. ZAKLJUČAK

U ovom radu opisana su osnovna svojstva unipolarnih tranzistora tipa JFET i MOSFET. Teorijski su obrađeni logički sklopovi i logičke funkcije koje su temelj za većinu integriranih krugova i mikro upravljača. Napravljen je teorijski osvrt na izvedbu logičkih sklopova s parovima komplementarnih MOSFET tranzistora te je izrađen praktični dio rada koji simulira rad svih sedam logičkih sklopova temeljenih na unipolarnim tranzistorima tipa MOSFET. Kao rezultat rada napravljena je maketa svih sedam logičkih sklopova na jednoj pločici te je testiran rad logičkih sklopova. Napravljena su mjerenja izlaznih veličina, odnosno stanja logičkih funkcija te su rezultati takvih mjerenja uspoređeni s visokim i niskim razinama napona logičkih funkcija.

## 7. LITERATURA

- [1] Tonko Kovačević - Elektronički elementi
- [2] Švedek - Poluvodičke komponente i osnovni sklopovi
- [3] [https://www.tutorialspoint.com/basic\\_electronics/basic\\_electronics\\_jfet.htm](https://www.tutorialspoint.com/basic_electronics/basic_electronics_jfet.htm)
- [4] <https://etfuni.files.wordpress.com/2013/10/ees-predavanje-10.pdf>
- [5] Dr.sc. Slavko Rupčić - Osnove elektronike predavanja
- [6] Neil H. E. Weste, David Money Harris - CMOS VLSI Design
- [7] [https://circuitdigest.com/sites/default/files/projectimage\\_tut/JFET-Construction-Working-and-Biasing.png](https://circuitdigest.com/sites/default/files/projectimage_tut/JFET-Construction-Working-and-Biasing.png)
- [8] [https://lh3.googleusercontent.com/proxy/jLpXQqfUz5rfguqhWwNRmfiOqd9ebolfSKi4-182SRoaVJOLfur2Y2XbDSPbkmhtG8MATOKgf1OQkbm1oaSxt12PoUVvWQNGFm1aqfbO\\_JunTDX0ytAIIx8K6lQvNpCyg-Y2A6I](https://lh3.googleusercontent.com/proxy/jLpXQqfUz5rfguqhWwNRmfiOqd9ebolfSKi4-182SRoaVJOLfur2Y2XbDSPbkmhtG8MATOKgf1OQkbm1oaSxt12PoUVvWQNGFm1aqfbO_JunTDX0ytAIIx8K6lQvNpCyg-Y2A6I)
- [9] <http://www.freeclassnotesonline.com/FET-Capacitance-Effects.php>
- [10] <https://learnabout-electronics.org/Digital/images/Gate-Symbols.jpg>
- [11] [https://en.wikipedia.org/wiki/Logic\\_gate](https://en.wikipedia.org/wiki/Logic_gate)
- [12] <https://upload.wikimedia.org/wikipedia/commons/d/d0/Logic-gate-inv-us.png>
- [13] <https://www.electronicshub.org/wp-content/uploads/2014/01/NOT-Gate-Truth-Table.png>
- [14] <https://homemade-circuits.com/wp-content/uploads/2018/02/AND-gate.png>



- [15] <https://www.electronicshub.org/wp-content/uploads/2014/01/AND-Gate-Truth-Table.png>
- [16] <https://ohmify.com/wp-content/uploads/2020/07/OR-gate.png>
- [17] <https://www.electronicshub.org/wp-content/uploads/2014/01/OR-Gate-Truth-Table.png>
- [18] <https://upload.wikimedia.org/wikipedia/commons/c/cc/Logic-gate-nand-us.png>
- [19] <https://i.pinimg.com/originals/41/a8/03/41a803c9d27ff57ccffdc5a951a3604b.png>
- [20] <https://upload.wikimedia.org/wikipedia/commons/1/15/Logic-gate-nor-us.png>
- [21] <https://www.eeweb.com/wp-content/uploads/projects-member-projects-nor-gate-truth-table-1389434458-180125-015053.png>
- [22] <https://upload.wikimedia.org/wikipedia/commons/c/c9/Logic-gate-xor-us.png>
- [23] <https://upload.wikimedia.org/wikipedia/commons/9/9b/Logic-gate-xnor-us.png>

## 8. PRILOZI

Prilog 1. Programski kod praktičnog dijela rada:

### *Linija Kod*

```
1:     int A_NOT = 2;
2:     int A_NAND = 3;
3:     int B_NAND = 4;
4:     int A_NOR = 5;
5:     int B_NOR = 6;
6:     int A_AND = 7;
7:     int B_AND = 8;
8:     int A_OR = 9;
9:     int B_OR = 10;
10:    int A_XOR = 11;
11:    int B_XOR = 12;
12:    int A_NOT_XOR = 13;
13:    int B_NOT_XOR = 14;
14:    int A_XNOR = 15;
15:    int B_XNOR = 16;
16:    int A_NOT_XNOR = 17;
17:    int B_NOT_XNOR = 18;
18:    int A_INPUT = A5;
19:    int B_INPUT = 0;
20:    void setup() {
```

```

21:     for(int i=2; i<19; i++){
22:         pinMode(i, OUTPUT);}}
23: void zero_zero(){
24:     digitalWrite(A_NOT, LOW);
25:     digitalWrite(A_NAND, LOW);
26:     digitalWrite(B_NAND, LOW);
27:     digitalWrite(A_NOR, LOW);
28:     digitalWrite(B_NOR, LOW);
29:     digitalWrite(A_AND, LOW);
30:     digitalWrite(B_AND, LOW);
31:     digitalWrite(A_OR, LOW);
32:     digitalWrite(B_OR, LOW);
33:     digitalWrite(A_XOR, LOW);
34:     digitalWrite(B_XOR, LOW);
35:     digitalWrite(A_NOT_XOR, HIGH);
36:     digitalWrite(B_NOT_XOR, HIGH);
37:     digitalWrite(A_XNOR, LOW);
38:     digitalWrite(B_XNOR, LOW);
39:     digitalWrite(A_NOT_XNOR, HIGH);
40:     digitalWrite(B_NOT_XNOR, HIGH);
41:     analogWrite(A_INPUT, 0);
42:     analogWrite(B_INPUT, 0);}
43: void zero_one(){
44:     digitalWrite(A_NOT, LOW);
45:     digitalWrite(A_NAND, LOW);
46:     digitalWrite(B_NAND, HIGH);
47:     digitalWrite(A_NOR, LOW);
48:     digitalWrite(B_NOR, HIGH);
49:     digitalWrite(A_AND, LOW);
50:     digitalWrite(B_AND, HIGH);
51:     digitalWrite(A_OR, LOW);
52:     digitalWrite(B_OR, HIGH);
53:     digitalWrite(A_XOR, LOW);
54:     digitalWrite(B_XOR, HIGH);
55:     digitalWrite(A_NOT_XOR, HIGH);
56:     digitalWrite(B_NOT_XOR, LOW);
57:     digitalWrite(A_XNOR, LOW);
58:     digitalWrite(B_XNOR, HIGH);
59:     digitalWrite(A_NOT_XNOR, HIGH);
60:     digitalWrite(B_NOT_XNOR, LOW);
61:     analogWrite(A_INPUT, 0);
62:     analogWrite(B_INPUT, 255);}
63: void one_zero(){
64:     digitalWrite(A_NOT, HIGH);
65:     digitalWrite(A_NAND, HIGH);
66:     digitalWrite(B_NAND, LOW);

```

```

67:     digitalWrite(A_NOR, HIGH);
68:     digitalWrite(B_NOR, LOW);
69:     digitalWrite(A_AND, HIGH);
70:     digitalWrite(B_AND, LOW);
71:     digitalWrite(A_OR, HIGH);
72:     digitalWrite(B_OR, LOW);
73:     digitalWrite(A_XOR, HIGH);
74:     digitalWrite(B_XOR, LOW);
75:     digitalWrite(A_NOT_XOR, LOW);
76:     digitalWrite(B_NOT_XOR, HIGH);
77:     digitalWrite(A_XNOR, HIGH);
78:     digitalWrite(B_XNOR, LOW);
79:     digitalWrite(A_NOT_XNOR, LOW);
80:     digitalWrite(B_NOT_XNOR, HIGH);
81:     analogWrite(A_INPUT, 255);
82:     analogWrite(B_INPUT, 0);}
83: void one_one(){
84:     digitalWrite(A_NOT, HIGH);
85:     digitalWrite(A_NAND, HIGH);
86:     digitalWrite(B_NAND, HIGH);
87:     digitalWrite(A_AND, HIGH);
88:     digitalWrite(B_AND, HIGH);
89:     digitalWrite(A_NOR, HIGH);
90:     digitalWrite(B_NOR, HIGH);
91:     digitalWrite(A_OR, HIGH);
92:     digitalWrite(B_OR, HIGH);
93:     digitalWrite(A_XOR, HIGH);
94:     digitalWrite(B_XOR, HIGH);
95:     digitalWrite(A_NOT_XOR, LOW);
96:     digitalWrite(B_NOT_XOR, LOW);
97:     digitalWrite(A_XNOR, HIGH);
98:     digitalWrite(B_XNOR, HIGH);
99:     digitalWrite(A_NOT_XNOR, LOW);
100:    digitalWrite(B_NOT_XNOR, LOW);
101:    analogWrite(A_INPUT, 255);
102:    analogWrite(B_INPUT, 255);}
103: void loop(){
104:     zero_zero();
105:     delay(5000);
106:     zero_one();
107:     delay(5000);
108:     one_zero();
109:     delay(5000);
110:     one_one();
111:     delay(5000);}

```

## Sažetak

U ovom radu opisana su osnovna svojstva unipolarnih tranzistora. Opisane su karakteristike MOSFET i JFET tipa unipolarnih tranzistora, tj. njihovi tehnološki presjeci, dinamički modeli pri visokim i niskim frekvencijama te strujno naponske karakteristike. Napravljen je pregled osnovnih logičkih sklopova i njihovih pripadnih funkcija temeljenih na Booleovoj algebri. Svaki sklop zasebno opisan je ANSI simbolom, tablicom istine i pripadnom jednadžbom. U sklopu izvedbe logičkih sklopova s unipolarnim tranzistorima izrađen je simulacijski model logičkih sklopova s komplementarnim MOSFET tranzistorima. Kao generator ulaznog signala sklopova korišten je mikro upravljač atmega328p. Mikro upravljač je programiran u programu Arduino IDE. Shematski prikazi logičkih sklopova izrađeni su uz pomoć Eagle programa za crtanje elektroničkih shema. Analizirana je simulacija rada logičkih sklopova po četiri sekvence ulaznih naponskih razina. Kao zaključni dio ovog rada izmjerene su izlazne naponske razine i uspoređene su s visokim, odnosno niskim naponskim razinama CMOS tehnologije.

Ključne riječi: logički sklopovi, JFET, MOSFET, CMOS

## Abstract

This paper describes the basic properties of unipolar transistors. The characteristics of MOSFET and JFET type unipolar transistors are described, ie their technological cross-sections, dynamic models at high and low frequencies and current-voltage characteristics. An overview of basic logic circuits and their associated functions based on Boolean algebra is made. Each circuit is described separately by the ANSI symbol, the truth table, and the corresponding equation. As part of the implementation of logic circuits with unipolar transistors, a simulation model of complementary MOSFET based logic circuits was developed. An atmega328p microcontroller was used as the input signal generator of the circuits. The microcontroller is programmed in the Arduino IDE program. Schematic representations of logic circuits in CMOS technology were created with the help of Eagle program for drawing electronic circuits. The simulation of the operation of logic circuits of four sequences of input voltage levels was analyzed. As a concluding part of this paper, the output voltage levels were measured and compared with high and low voltage levels of CMOS technology, respectively.

Keywords: logic circuits, JFET, MOSFET, CMOS





