

# Logički sklopovi u izvedbi s bipolarnim spojnim tranzistorima

---

**Tadić, Luka**

**Undergraduate thesis / Završni rad**

**2021**

*Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj:* **Josip Juraj Strossmayer University of Osijek, Faculty of Electrical Engineering, Computer Science and Information Technology Osijek / Sveučilište Josipa Jurja Strossmayera u Osijeku, Fakultet elektrotehnike, računarstva i informacijskih tehnologija Osijek**

*Permanent link / Trajna poveznica:* <https://um.nsk.hr/um:nbn:hr:200:119804>

*Rights / Prava:* [In copyright](#)/[Zaštićeno autorskim pravom.](#)

*Download date / Datum preuzimanja:* **2024-11-14**

*Repository / Repozitorij:*

[Faculty of Electrical Engineering, Computer Science and Information Technology Osijek](#)



**SVEUČILIŠTE JOSIPA JURJA STROSSMAYERA U OSIJEKU  
FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA I  
INFORMACIJSKIH TEHNOLOGIJA**

**Preddiplomski sveučilišni studij Elektrotehnika i informacijska tehnologija**

**LOGIČKI SKLOPOVI U IZVEDBI S BIPOLARNIM  
SPOJNIM TRANZISTORIMA**

**Završni rad**

**Luka Tadić**

**Osijek, 2021.**

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA  
I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**Obrazac Z1P - Obrazac za ocjenu završnog rada na preddiplomskom sveučilišnom studiju**

Osijek, 27.08.2021.

Odboru za završne i diplomske ispite

**Prijedlog ocjene završnog rada na preddiplomskom sveučilišnom studiju**

<b>Ime i prezime studenta:</b>	Luka Tadić
<b>Studij, smjer:</b>	Preddiplomski sveučilišni studij Elektrotehnika i informacijska tehnologija
<b>Mat. br. studenta, godina upisa:</b>	4593, 24.07.2018.
<b>OIB studenta:</b>	37594143682
<b>Mentor:</b>	Izv.prof.dr.sc. Tomislav Matić
<b>Sumentor:</b>	
<b>Sumentor iz tvrtke:</b>	
<b>Naslov završnog rada:</b>	Logički sklopovi u izvedbi s bipolarnim spojnim tranzistorima
<b>Znanstvena grana rada:</b>	<b>Elektronika (zn. polje elektrotehnika)</b>
<b>Predložena ocjena završnog rada:</b>	Izvrstan (5)
<b>Kratko obrazloženje ocjene prema Kriterijima za ocjenjivanje završnih i diplomskih radova:</b>	Primjena znanja stečenih na fakultetu: 3 bod/boda Postignuti rezultati u odnosu na složenost zadatka: 2 bod/boda Jasnoća pismenog izražavanja: 3 bod/boda Razina samostalnosti: 3 razina
<b>Datum prijedloga ocjene mentora:</b>	27.08.2021.
<b>Datum potvrde ocjene Odbora:</b>	
Potpis mentora za predaju konačne verzije rada u Studentsku službu pri završetku studija:	Potpis:
	Datum:

**FERIT**FAKULTET ELEKTROTEHNIKE, RAČUNARSTVA  
I INFORMACIJSKIH TEHNOLOGIJA OSIJEK**IZJAVA O ORIGINALNOSTI RADA**

Osijek, 07.09.2021.

<b>Ime i prezime studenta:</b>	Luka Tadić
<b>Studij:</b>	Preddiplomski sveučilišni studij Elektrotehnika i informacijska tehnologija
<b>Mat. br. studenta, godina upisa:</b>	4593, 24.07.2018.
<b>Turnitin podudaranje [%]:</b>	4

Ovom izjavom izjavljujem da je rad pod nazivom: **Logički sklopovi u izvedbi s bipolarnim spojnim tranzistorima**

izrađen pod vodstvom mentora Izv.prof.dr.sc. Tomislav Matić

i sumentora

moj vlastiti rad i prema mom najboljem znanju ne sadrži prethodno objavljene ili neobjavljene pisane materijale drugih osoba, osim onih koji su izričito priznati navođenjem literature i drugih izvora informacija. Izjavljujem da je intelektualni sadržaj navedenog rada proizvod mog vlastitog rada, osim u onom dijelu za koji mi je bila potrebna pomoć mentora, sumentora i drugih osoba, a što je izričito navedeno u radu.

Potpis studenta:

# SADRŽAJ

<b>1. UVOD</b> .....	1
<b>1.1. Zadatak završnog rada</b> .....	1
<b>2. BIPOLARNI SPOJNI TRANZISTORI</b> .....	2
<b>2.1. Princip rada bipolarnih spojnih tranzistora</b> .....	3
2.1.1. Planarna izvedba .....	4
2.1.2. Načini spajanja i područja rada .....	6
2.1.3. Istosmjerni faktor strujnog pojačanja u spoju zajedničke baze $\alpha$ .....	8
2.1.4. Istosmjerni faktor strujnog pojačanja u spoju zajedničkog emitera $\beta$ .....	9
<b>2.2. Statičke ulazne i izlazne karakteristike bipolarnog spojnog tranzistora</b> .....	11
2.2.1. Spoj zajedničke baze .....	11
2.2.2. Spoj zajedničkog emitera .....	13
<b>2.3. Dinamička svojstva bipolarnog spojnog tranzistora</b> .....	17
2.3.1. Linearni režim rada i režim malog signala .....	17
2.3.2. Bipolarni spojni tranzistor kao sklopka .....	18
<b>3. ARHITEKTURE LOGIČKIH SKLOPOVA TEMELJENE NA BIPOLARNIM SPOJNIM TRANZISTORIMA</b> .....	21
<b>3.1. Otporno-tranzistorska logika (RTL tehnologija)</b> .....	21
<b>3.2. Diodno-tranzistorska logika (DTL tehnologija)</b> .....	23
<b>3.3. Tranzistorsko-tranzistorska logika (TTL tehnologija)</b> .....	24
<b>3.4. Emitterski vezana logika (ECL tehnologija)</b> .....	26
<b>3.5. Integrirana injekcijska logika (I<sup>2</sup>L tehnologija)</b> .....	28
<b>4. REZULTATI SIMULACIJE</b> .....	30
<b>4.1. Simulacija NOT logičkog sklopa</b> .....	30
<b>4.2. Simulacija AND logičkog sklopa</b> .....	32
<b>4.2. Simulacija NAND logičkog sklopa</b> .....	33
<b>4.2. Simulacija OR logičkog sklopa</b> .....	35
<b>4.2. Simulacija NOR logičkog sklopa</b> .....	36
<b>4.2. Simulacija XOR logičkog sklopa</b> .....	38
<b>4.2. Simulacija XNOR logičkog sklopa</b> .....	39
<b>5. ZAKLJUČAK</b> .....	41
<b>LITERATURA</b> .....	42
<b>SAŽETAK</b> .....	43
<b>ŽIVOTOPIS</b> .....	44

# 1. UVOD

U ovom završnom radu opisivana je izvedba logičkih sklopova s bipolarnim spojnim tranzistorima. Logički sklopovi su osnovne jedinice od kojih se sastoje računala i obavljaju osnovne logičke operacije (logička operacija I, ILI, NE i sl.). Postoje različite izvedbe logičkih sklopova ovisno o vremenu u kojem su izrađene (mehanička, elektromehanička, elektronička, optička i druge), ali nadalje će biti obrađena elektronička izvedba logičkih sklopova. Elektronička izvedba se može postići preko bipolarnih spojnih tranzistora ili tranzistora s efektom polja. U današnje vrijeme izvedba s bipolarnim spojnim tranzistorima poput TTL izvedbe zastarijeva te se za izvedbu logičkih sklopova najčešće koristi tehnologija s tranzistorima s efektom polja (jedna od takvih je CMOS izvedba). Prednost CMOS-a nad TTL-om je da se CMOS uređaji manje zagrijavaju i omogućavaju da se na jednom čipu smjesti puno više logičkih funkcija. To je razlog zbog kojeg je CMOS jedna od najzastupljenijih tehnologija u razvoju VLSI čipova. Budući da je u radu opisana tehnologija izvedbe s bipolarnim spojnim tranzistorima, u drugom poglavlju je opisan njihov princip rada, statičke izlazne i ulazne karakteristike te njihova dinamička svojstva. U dijelu koji je vezan za princip rada također je objašnjena planarna izvedba, načini spajanja i područja rada te dva istosmjerna faktora strujnog pojačanja za dva različita spoja. Statičke ulazne i izlazne karakteristike prikazane su za spoj zajedničke baze i za spoj zajedničkog emitera. U trećem poglavlju opisane su sljedeće sljedeće arhitekture logičkih sklopova temeljene na bipolarnim spojnim tranzistorima: otporno-tranzistorska logika (engl. Resistor-Transistor logic), diodno-tranzistorska logika (engl. Diode-Transistor logic), emitterski vezani logički sklopovi (engl. Emitter-Coupled logic), ranije spomenuta tranzistorsko-tranzistorska logika (engl. Transistor-Transistor logic) i integrirana injekcijska logika (engl. Integrated injection logic). Nakon toga, prikazat će se rezultati izvedenih simulacija osnovnih logičkih sklopova temeljenih na otporno-tranzistorskoj logici.

## 1.1. Zadatak završnog rada

Zadatak završnog rada je opisati osnovna svojstva bipolarnih spojnih tranzistora. Nadalje je potrebno opisati postojeće arhitekture osnovnih logičkih sklopova temeljenih na bipolarnim spojnim tranzistorima. Zatim je potrebno izraditi simulacijske modele osnovnih logičkih sklopova u izvedbi s bipolarnim spojnim tranzistorima i na kraju analizirati rezultate simulacije.

## 2. BIPOLARNI SPOJNI TRANZISTORI

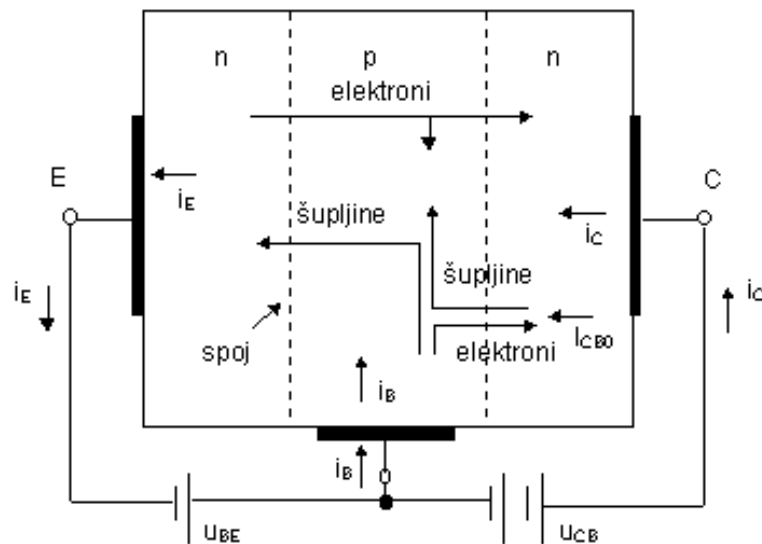
Tranzistor je aktivna poluvodička elektronička komponenta koja sadrži tri izvoda, a u osnovi se koristi za pojačanje snage signala i preklapanje, odnosno za rad u režimu sklopke. Nadalje se može koristiti za mijenjanje oblika signala, stabilizaciju napona i sl. Prema principu rada tranzistori se mogu podijeliti u dvije glavne skupine: bipolarne spojne tranzistore ili skraćeno BJT (engl. Bipolar Junction Transistor) i unipolarne tranzistore (s efektom polja) ili skraćeno FET (engl. Field Effect Transistor). Nadalje se unipolarni tranzistori dijele na spojne unipolarne tranzistore (JFET) i na metal-oksid-poluvodič unipolarne tranzistore (MOSFET) [1].

Glavna razlika između ove dvije vrste tranzistora je u tome što kod bipolarnog tranzistora u struji sudjeluju i većinski i manjinski nosioci naboja, odnosno sudjeluju i elektroni i šupljine dok kod unipolarnih tranzistora struju čine samo većinski nosioci naboja. Druga je razlika ta da se kod bipolarnog tranzistora promjenom male ulazne struje upravlja strujom izlaznog kruga dok se kod unipolarnih tranzistora izlazna struja upravlja ulaznim naponom.

Bipolarni spojni tranzistor je poluvodički element koji sadrži tri stezaljke: baza – B, kolektor – C i emiter – E. U svom radu bipolarni tranzistor koristi i negativne i pozitivne nosioce naboja (elektrone i šupljine) zbog čega i ima naziv bipolarni. Naziv spojni tranzistor dobio je jer sadrži dva PN-spoja: spoj emiter-baza i spoj baza-kolektor. Budući da postoje dva PN-spoja razlikuje se NPN tranzistor kod kojega je baza P tipa poluvodiča, a emiter i kolektor N tipa poluvodiča i PNP tranzistor kojega su izvodi suprotnog polariteta. Većinski nosioci naboja kod NPN tranzistora su elektroni dok su kod PNP tranzistora većinski nosioci naboja šupljine. Tranzistorski efekt u bipolarnom spojnem tranzistoru čini unošenje manjinskih nosilaca propusno polariziranim PN-spojem, prijenos manjinskih nosilaca kroz neutralno područje te njihovo sabiranje na drugom nepropusno polariziranom PN-spoju [1].

## 2.1. Princip rada bipolarnih spojnih tranzistora

Kako bi rad bipolarnog spojnog tranzistora bio što jednostavnije objašnjen, opisan je njegov rad u normalnom aktivnom području. Za primjer je uzet NPN bipolarni tranzistor (slika 2.1.) iako je rad sličan kao i kod tranzistora PNP tipa, a jedina je razlika u tipu većinskih i manjinskih nosioca naboja.



Slika 2.1. Shema strujnog kruga spojenog *n*p*n* tranzistora u normalnom aktivnom području [2]

U normalnom aktivnom području spoj emiter-baza je propusno polariziran pod utjecajem napona  $U_{BE}$ . Drugi PN-spoj, baza-kolektor je nepropusno polariziran pod utjecajem napona  $U_{CB}$ . Za pozitivan smjer struje u krugu izabran je smjer ulaza struje u tranzistor preko kolektora i baze te izlaza struje iz tranzistora preko emitera.

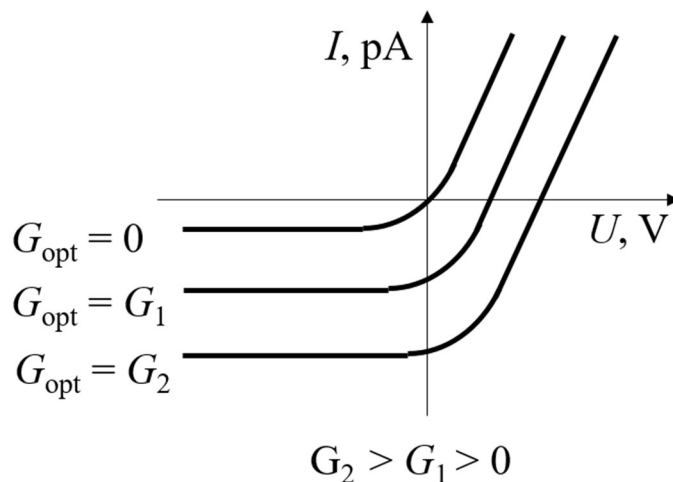
Propusna polarizacija spoja emiter-baza dovodi do unošenja većinskih nosioca naboja (elektrona) iz emitera n-tipa u bazu p-tipa. Elektroni pod utjecajem difuzije (kretanje nosioca naboja iz područja veće koncentracije u područje manje koncentracije) prelaze iz emitera u bazu, a šupljine se kreću prema emiteru iz baze. U području između spoja emitera i baze dolazi do rekombinacije parova nosilaca naboja te nastaje tzv. osiromašeno neutralno područje koje se može promatrati kao izolator. U području baze elektroni su manjinski nosioci naboja i ako je širina baze vrlo mala, može se zanemariti rekombinacija elektrona pri prolasku kroz bazu tako da će se svi slobodni elektroni ubrzati prema kolektoru pod djelovanjem nepropusne polarizacije spoja baza-kolektor. Kod nepropusne polarizacije PN-spoja dolazi do unošenja slobodnih elektrona s p-strane na n-stranu i šupljina s n-strane na p-stranu. Zbog toga u spoju baza-kolektor teče vrlo mala struja koja



se naziva reverznom strujom zasićenja i na slici 2.1. je označena kao  $I_{CBO}$ . Reverzna struja zasićenja dostiže vrijednosti reda veličine nekoliko mikroampera. Takav iznos reverzne struje posljedica je niske koncentracije manjinskih nosioca naboja koji se gibaju pod utjecajem difuzije. Ako se poveća koncentracija manjinskih nosioca u području s jedne ili druge strane nepropusno polariziranog pn-spoja, znatno će se povećati i struja kroz nepropusno polarizirani pn-spoj.

Koncentraciju manjinskih nosioca moguće je povećati na više različitih načina. Jedan je već opisan u radu, a to je da se u neposrednoj blizini propusno polariziranog pn-spoja smjesti nepropusno polarizirani pn-spoj. Taj se način pokazao vrlo dobrim budući da se povećanje manjinskih nosilaca naboja u području nepropusno polariziranog pn-spoja može lako električki kontrolirati i upravljati preko propusno polariziranog pn-spoja. Mijenjajući napon ili propusnu struju kroz propusno polarizirani pn-spoj ostvaruje se modulacija toka struje kroz nepropusno polarizirani pn-spoj i to je zapravo temelj bipolarnog djelovanja tranzistora. Kako bi se to ostvarilo, važno je da suprotno polarizirani pn-spojevi budu u neposrednoj blizini kako bi manjinski nosioci prošli iz jednog pn-spoja u drugi prije nego li se rekombiniraju s većinskim nosiocima naboja [3].

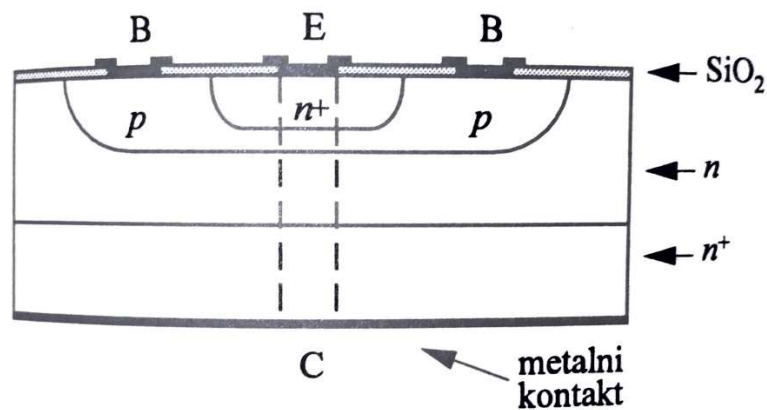
Drugi način povećanja manjinskih nosioca je optička pobuda, odnosno djelovanje fotona prilagođene valne duljine (isti slučaj s fotodiodom). Ako postoji konstantna optička pobuda i ako se zanemari struja zasićenja neosvjetljene diode, reverzna struja zasićenja je proporcionalna učestalosti optičke generacija  $G_{opt}$  [1].



Graf 2.1. I-U karakteristika pn-spoja pod utjecajem optičke pobude [1]

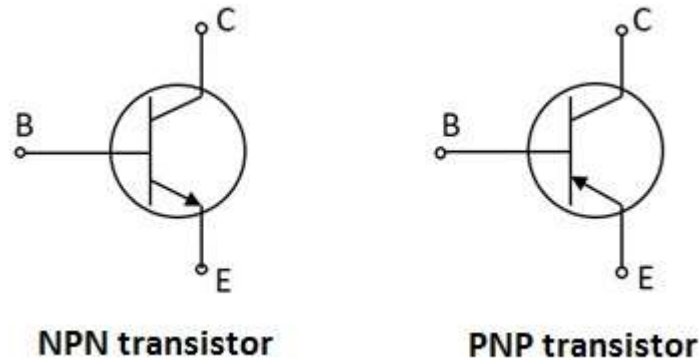
### 2.1.1. Planarna izvedba

Planarna tehnologija koja koristi silicij danas predstavlja osnovnu metodu u proizvodnji bipolarnih tranzistora. Naziva se planarnom jer strukture poluvodiča koje se formiraju su približno ravninske. Bipolarni tranzistori po izvedbi mogu biti diskretni i integrirani. Svaki diskretni bipolarni tranzistor se nalazi u jednom kućištu. Integrirani bipolarni tranzistori obavljaju funkciju elektroničkog sklopa ili sustava te se formiraju tako da se na jednoj silicijskoj pločici smjesti veći broj tranzistora. Cijeli se takav sklop nalazi u jednom kućištu. Iako postoje razlike u njihovoj izvedbi, integrirani i diskretni tranzistori imaju istu osnovnu strukturu.



Slika 2.2. Presjek osnovne strukture diskretnog planarnog npn-tranzistora [3]

Na slici 2.2. prikazana je struktura diskretnog bipolarnog npn-tranzistora. Između tankog sloja poluvodiča p-tipa smještena su dva sloja n-tipa poluvodiča (na slici su označeni s  $n^+$ ). Poluvodič n-tipa koji se nalazi između  $n^+$  i p područja predstavlja tanki sloj potreban je kako bi difuzijom nastao p-tip poluvodiča. Donji sloj  $n^+$  poluvodiča služi kao podloga n-sloju na kojem se razvija. Gornji  $n^+$  sloj poluvodiča nastaje na temelju difuzije u području sloja p-tipa poluvodiča. Na površinama poluvodiča nalaze se metalni kontakti koji su izrađeni od aluminijske. Struktura diskretnog bipolarnog pnp-tranzistora je slična, osim što se kod njega između dva sloja p-tipa poluvodiča nalazi tanki sloj n-tipa poluvodiča. Danas se najčešće koriste npn-tranzistori jer elektroni imaju veću pokretljivost. Još jedna razlika između diskretnog i integriranog tranzistora je u smještaju metalnog kontakta kolektora. Kod diskretnog tranzistora kontakt emitera i baze su smješteni na površini pločice dok je kontakt kolektora smješten na suprotnoj strani. Kod integriranog tranzistora kontakt kolektora se nalazi na gornjoj strani pločice gdje su i bazni i emiserski metalni kontakt [3].

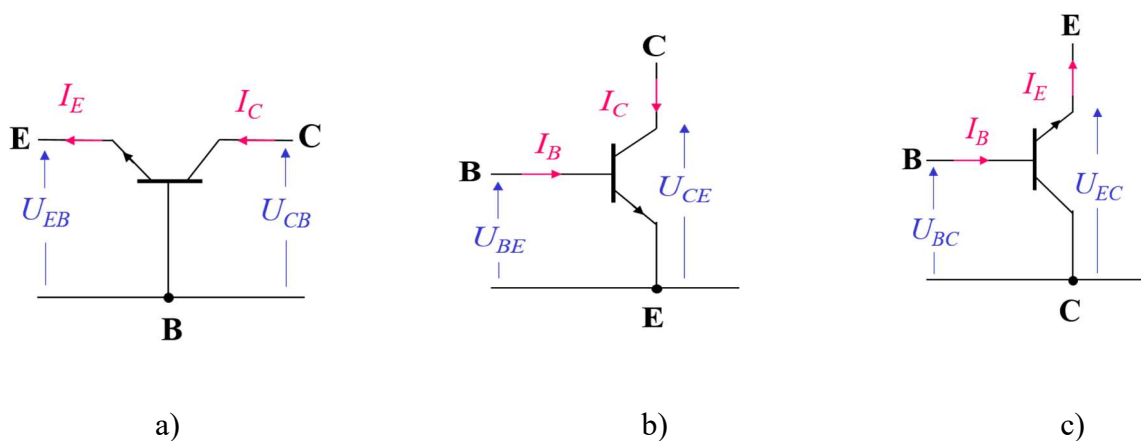


Slika 2.3. Simboli npn-tranzistora i pnp-tranzistora [4]

Na slici 2.3. prikazani su simboli npn-tranzistora i pnp-tranzistora čija je razlika u smjeru strelice na izvodu koji predstavlja emiter. Naime, kada npn-tranzistor radi u normalnom aktivnom području kao pojačalo struja emitera izlazi iz tranzistora dok u slučaju pnp-tranzistora struja ulazi u tranzistor.

### 2.1.2. Načini spajanja i područja rada

Budući da je tranzistor komponenta s tri elektrode, jedna od njih uvijek mora biti zajednička za ulazni i izlazni krug. Zbog tog svojstva, tranzistori se mogu spojiti u spoj zajedničke baze, spoj zajedničkog emitera i spoj zajedničkog kolektora (slika 2.4.).



Slika 2.4. Načini spajanja bipolarnog tranzistora: a) spoj zajedničke baze, b) spoj zajedničkog emitera, c) spoj zajedničkog kolektora [1]

U spoju zajedničke baze ulazna struja je struja emitera  $I_E$ , a napon između emitera i baze  $U_{EB}$  predstavlja ulazni napon. Izlazna struja je struja kolektora  $I_C$ , a izlazni napon  $U_{CB}$  se mjeri između kolektora i baze. Kod spoja zajedničkog emitera bazna struja  $I_B$  predstavlja struju ulaznog kruga dok je napon između baze i emitera  $U_{BE}$  ulazni napon. Kolektorska struja  $I_C$  predstavlja struju izlaznog kruga, a napon između kolektora i emitera  $U_{CE}$  napon izlaznog kruga. Kada je tranzistor u spoju zajedničkog kolektora, ulazna struja je struja baze  $I_B$ , a ulazni napon je napon između baze i kolektora  $U_{BC}$ . Izlazna struja je struja emitera  $I_E$ , a izlazni napon je napon između emitera i kolektora  $U_{EC}$ .

Budući da tranzistor sadržava dva pn-spoja, a svaki od njih može biti pod utjecajem propusne ili nepropusne polarizacije, postoje četiri područja rada: normalno aktivno područje, zasićenje, zapiranje te inverzno aktivno područje. Kod normalnog aktivnog područja emitterski spoj (emiter-baza) je propusno polariziran dok je kolektorski spoj (baza-kolektor) nepropusno polariziran. U spoju zajedničke baze vrijedi da je ulazni napon  $U_{EB} < 0$  i da je izlazni napon  $U_{CB} > 0$  ako se uzme u obzir da se promatra npn-tranzistor. Tranzistor je u zasićenju ako su mu i emitterski i kolektorski spoj propusno polarizirani, odnosno vrijedi da je  $U_{EB} < 0$  i  $U_{CB} < 0$ . To znači da će i jedan i drugi pn-spoj unositi slobodne elektrone u bazu. Tranzistor će biti u zapiranju ako su mu oba pn-spoja nepropusno polarizirana. Tada će vrijediti da su naponi  $U_{EB} > 0$  i  $U_{CB} > 0$ . Zbog toga se može pretpostaviti da kroz bazu tranzistora neće teći struja. U slučaju inverznog aktivnog područja bipolarni tranzistor ima nepropusno polariziran emitterski spoj, a kolektorski spoj je propusno polariziran ( $U_{EB} > 0$  i  $U_{CB} < 0$ ). Za razliku od normalnog aktivnog područja, emiter i kolektor su zamijenili mjesta. Kolektor pod utjecajem propusne polarizacije unosi slobodne elektrone u bazu, a emiter koji je nepropusno polariziran sabire i odvodi elektrone.

### 2.1.3. Istosmjerni faktor strujnog pojačanja u spoju zajedničke baze $\alpha$

Prije nego li bude objašnjeno što predstavlja istosmjerni faktor strujnog pojačanja u spoju zajedničke baze, objašnjen je faktor djelotvornosti emitera ili faktor injekcije  $\gamma$  i transportni ili prijenosni faktor  $\beta^*$ . Faktor djelotvornosti emitera pokazuje koliko elektrona sudjeluje u ukupnoj struji emitera te se računa prema sljedećem izrazu: [1]

$$\gamma = \frac{I_{NE}}{I_E} = \frac{I_{NE}}{I_{NE} + I_{PE}} < 1. \quad (2.1.)$$

U izrazu (2.1.)  $I_{NE}$  predstavlja elektronsku komponentu struje emitera,  $I_{PE}$  struju šupljina u emiteru, a  $I_E$  ukupnu struju u emiteru. Prijenosni faktor  $\beta^*$  povezuje  $n^+$  područje emitera sa strujom kolektora na način da daje informaciju o tome koliko je elektrona stiglo strujom kolektora do  $n^+$  područja. Izražen je odnosnom elektronske komponente struje kolektora i strujom elektrona u emiteru. Ako se kod npn-tranzistora zanemari reverznu struju zasićenja  $I_{CBO}$  dobije se da je struja kolektora jednaka struji elektrona kolektora te vrijedi: [1]

$$\beta^* = \frac{I_C}{I_{NE}} = \frac{I_{NE} - I_R}{I_{NE}} < 1. \quad (2.2.)$$

Može se zaključiti kako prijenosni faktor teži jedinici ako je rekombinacijska struja zanemariva, odnosno ako je širina baze vrlo uska u odnosu na difuzijsku duljinu elektrona u bazi. Oba faktora ovise o tehnološkim karakteristikama tranzistora.

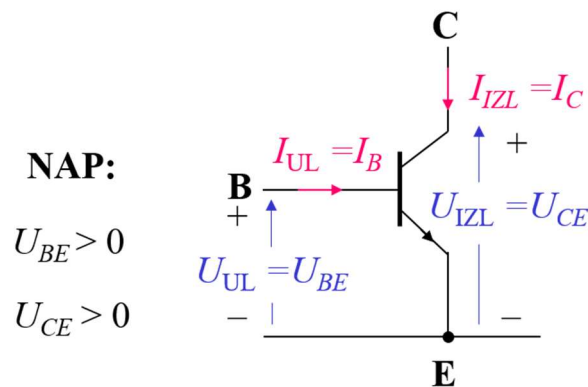
Kod spoja zajedničke baze izlazna struja je struja kolektora  $I_C$ , a ulazna struja je struja emitera  $I_E$ . Budući da se razlikuju za iznos struje baze koja je malog iznosa, istosmjerni faktor strujnog pojačanja će biti manji od jedan te zbog toga u ovom spoju ne postoji znatno strujno pojačanje. Ako se strujno pojačanje aproksimira omjerom struje kolektora i emitera te ako taj omjer proširimo množeći s elektronskom komponentom struje emitera, kao rezultat se dobije:

$$\alpha = \frac{I_C}{I_E} = \frac{I_{NE}}{I_E} * \frac{I_C}{I_{NE}} = \gamma \beta^* < 1. \quad (2.3.)$$

Iz izraza (2.3.) je vidljivo kako je istosmjerni faktor strujnog pojačanja u spoju zajedničke baze povezan sa faktorom djelotvornosti emitera i prijenosnim faktorom. Budući da su oba faktora manja od jedan, njihov umnožak će također biti jednak jedan.

### 2.1.4. Istosmjerni faktor strujnog pojačanja u spoju zajedničkog emitera $\beta$

Kod spoja zajedničke baze nije bilo znatnog strujnog pojačanja jer je ulazna struja emitera bila veća od struje kolektora za iznos male struje baze od struje. U spoju zajedničkog emitera izlazna struja kolektora je znatno veća od ulazne struje baze pa spoj zajedničkog emitera ima strujno pojačanje.



Slika 2.5. Shema NPN tranzistora u spoju zajedničkog emitera i u normalnom području rada [5]

Tranzistor je u normalnom aktivnom području jer napon između baze i emitera propusno polarizira emitterski spoj, a napon između kolektora i baze nepropusno polarizira kolektorski spoj. Budući da je ulazni napon  $U_{BE}$  manji od izlaznog napona  $U_{CE}$ , u spoju zajedničkog emitera ostvaruje se i naponsko pojačanje. Iz toga se može zaključiti da spoj zajedničkog emitera omogućuje pojačanje snage. U spoju zajedničke baze vrijedio je sljedeći izraz: [1]

$$I_E = \frac{I_C - I_{CBO}}{\alpha} \quad (2.4.)$$

Ako se u osnovnoj jednadžbi struja struju kolektora izdvoji na jednu stranu, a razliku struje emitera i baze na drugu stranu te ako se na mjesto struje emitera ubaci izraz (2.4.), dobije se:

$$I_C = \frac{I_C - I_{CBO}}{\alpha} - I_B \quad (2.5.)$$

Ako se izraz (2.5.) preformulira na način da struja kolektora bude na jednoj strani jednadžbe, a ostalo na desnoj, dobije se:

$$I_C = \frac{\alpha}{1-\alpha} I_B + \frac{1}{1-\alpha} I_{CBO} \quad (2.6.)$$

U izrazu (2.6.) koeficijent uz struju baze predstavlja istosmjerni faktor strujnog pojačanja u spoju zajedničkog emitera i označava se s

$$\beta = \frac{\alpha}{1-\alpha}. \quad (2.7.)$$

Budući da je istosmjerni faktor u spoju zajedničke baze  $\alpha$  manji od jedan, faktor pojačanja u spoju zajedničkog emitera imat će vrijednost  $\beta \gg 1$  te je iz toga vidljivo da taj spoj osigurava znatno strujno pojačanje. Drugi član s desne strane jednadžbe u izrazu (2.6.) predstavlja reverznu struju zasićenja u spoju zajedničkog emitera i označava se s

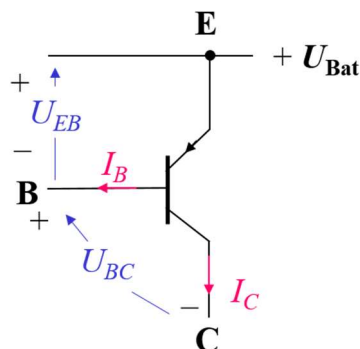
$$I_{CEO} = \frac{1}{1-\alpha} I_{CBO} = (1 + \beta) I_{CBO}. \quad (2.8.)$$

Istosmjerni faktor strujnog pojačanja u spoju zajedničkog emitera može se dobiti kombinacijom izraza (2.6.) i (2.8.) na način da je:

$$\beta = \frac{I_C - I_{CBO}}{I_B - I_{CBO}}. \quad (2.9.)$$

Iz izraza (2.9.) može se zaključiti kako se istosmjerni faktor strujnog pojačanja u spoju zajedničke baze dobije i mjerenjem struje kolektora i struje baze jer je reverzna struja zasićenja spoja baza-kolektor na sobnoj temperaturi toliko mala da ne utječe na mjerenje [1].

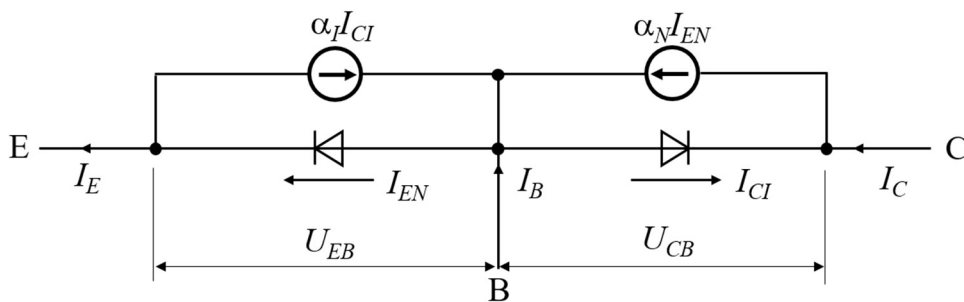
Za definiranje oba faktora strujnog pojačanja korišten je npn-tranzistor, ali također sve to vrijedi za pnp-tranzistor, samo kod njega dolazi do mijenjanja smjera napona i struja. Na slici 2.6. prikazan je pnp-tranzistor koji je također u spoju zajedničkog emitera i čiji su smjerovi napona  $U_{EB}$  i  $U_{BC}$  takvi da se on nalazi u normalnom aktivnom području rada. Pnp-tranzistor se danas manje koristi jer su šupljine manje pokretljivije od elektrona.



Slika 2.6. Shema PNP tranzistora u spoju zajedničkog emitera i u normalnom području rada [5]

## 2.2. Statičke ulazne i izlazne karakteristike bipolarnog spojnog tranzistora

Statičke karakteristike se dobivaju iz Ebers-Mollovih jednadžbi koje se zasnivaju na matematičkom modelu tranzistora koji vrijedi za sve kombinacije prednapona kolektorskog i emitterskog spoja. Ebers-Mollov model tranzistora sadrži četiri parametra (dvije injekcijske komponente normalnog smjera i dvije injekcijske komponente inverznog smjera) koji su mogući za mjeriti, a mogući su i za povezati uz tehnološku izvedbu tranzistora. Također, model je osnova za izradu poboljšanih planarnih tranzistora te za njega postoje tri izvedbe: injekcijski prikaz, transportni prikaz i nelinearni hibridni  $\pi$ -model. Ebers-Mollov model vrijedi kada je injekcija niska, zanemaruje se rekombinacija i generacija nosioca naboja u osiromašenim područjima, otpor neutralnog područja kolektora, baze i emitera, zanemaruju se sekundarni efekti i nema ograničenja na jednodimenzionalnost struje i homogenost baze. Model je reverzibilan, odnosno vrijedi jednakost između PN-spojeva tranzistora [1].



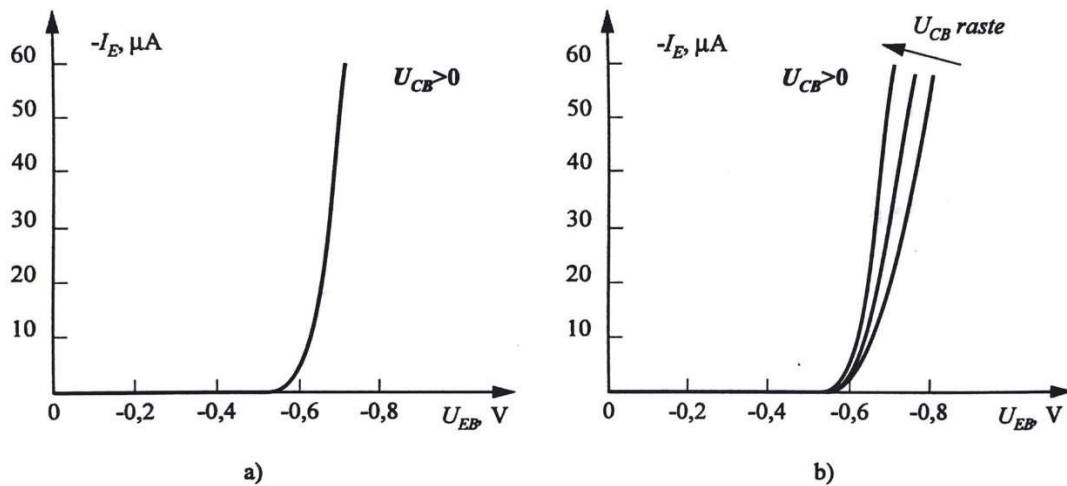
Slika 2.7. Injekcijska verzija Ebers-Mollova modela bipolarnog tranzistora [1]

### 2.2.1. Spoj zajedničke baze

Za opisivanje ulaznih i izlaznih statičkih karakteristika u spoju zajedničke baze promatran je npn-tranzistor (slika 2.4., a) slučaj). Statičke ulazne karakteristike u spoju zajedničke baze ili emitterske karakteristike (slika 2.8.) opisuju ovisnost struje emitera  $I_E$  o naponu  $U_{EB}$  između emitera i baze pri čemu utjecaj na izgled karakteristika ima napon  $U_{CB}$ . Kod idealnog tranzistora sve se ulazne karakteristike spajaju u jednu ako je napon  $U_{CB} > 0$  te ako je nekoliko puta veći od naponskog ekvivalenta temperature  $U_T$ . Ako je napon  $U_{CB} > 0$ , tranzistor je u normalnom aktivnom području, a ako je  $U_{CB} < 0$ , tranzistor je u zasićenju. Ulazne karakteristike se kod realnog tranzistora pomiču ulijevo kako napon  $U_{CB}$  raste. To se događa zbog toga što kada napon  $U_{CB}$  raste, širi se osiromašeno područje kolektorskog spoja i na stranu kolektora i baze. Ako se napon između emitera i baze nije mijenjao, širina osiromašenog područja emitterskog spoja se neće mijenjati. To



će za posljedicu imati pomicanje granice između neutralne baze i osiromašenog područja kolektorskog spoja na stranu baze zbog čega dolazi do smanjenja širine baze. Ta pojava se naziva modulacija širine baze ili Earlyjev efekt prema J. Earlyju koji ju je prvi uočio i analizirao. Ako se izabere takva struktura u kojoj baza u blizini kolektorskog spoja više provodi nosioce naboja nego kolektor, osiromašeno područje kolektorskog spoja bi se više širilo na stranu kolektora. Na taj način bi se smanjio utjecaj Earlyjeva efekta na ulazne karakteristike.

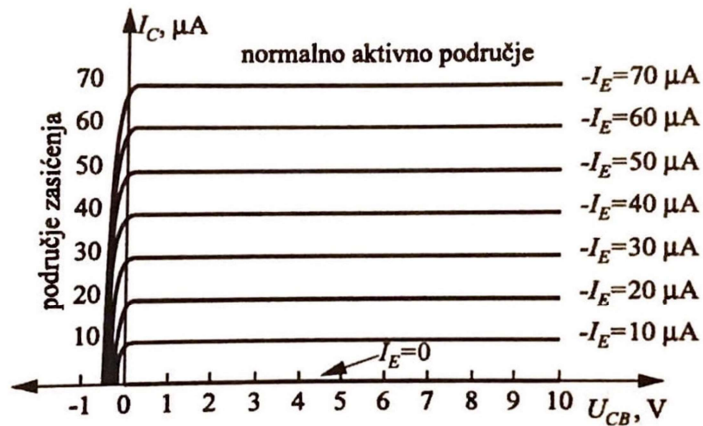


Slika 2.8. Statične ulazne karakteristike u spoju zajedničke baze: a) za idealni tranzistor, b) za realni tranzistor [3]

Statičke izlazne karakteristike u spoju zajedničke baze ili kolektorske karakteristike (slika 2.9.) pokazuju ovisnost izlazne struje kolektora  $I_C$  o izlaznom naponu  $U_{CB}$  pri čemu je ulazna struja emitera  $I_E$  parametar. Najveći dio karakteristika se nalazi u prvom kvadrantu i to dijelu za normalno aktivno područje. U tom području struja kolektora je neovisna o naponu  $U_{CB}$  i ovisna je samo o struji emitera. Kod idealnog tranzistora struja kolektora je konstanta i ne ovisi o naponu između kolektora i baze. U normalnom aktivnom području se tranzistor ponaša kao izvor konstante struje. Iz karakteristika je vidljivo u tom području nema strujno pojačanje, ali budući da postoji razlika između izlaznog i ulaznog napona, postoji naponsko pojačanje. Kod realnog tranzistora postoji ovisnost kolektorske struje o naponu  $U_{CB}$  zbog Earlyjeva efekta [1].

U području zapiranja kolektorski i emitterski spoj su nepropusno polarizirani te izvlače naboj iz baze. Budući da injekcije nosilaca naboja u bazu prema kolektoru nema, struja kolektora je jednaka reverznoj struji zasićenja spoja baza-kolektor, a struja emitera je jednaka nuli. Kada je tranzistor u zapiranju, kroz njega teče struja vrlo malog iznosa te se zbog prisutnosti visoke naponske razine ovo područje koristi u radu tranzistora kao sklopke i to kao otvorena sklopka [1].

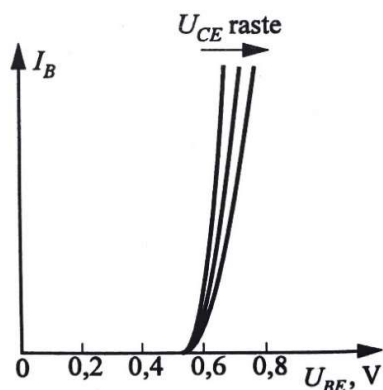
Kod zasićenja PN-spojevi tranzistora su propusno polarizirani te zbog toga oba unose nosioce naboja u bazu. Budući da je napon  $U_{CB}$  negativan, karakteristike se nalaze u drugom kvadrantu. Budući da u tom području teče velika struja kolektora, područje zasićenja se također koristi u radu tranzistora kao sklopke, ali zbog niske naponske razine koristi se kao zatvorena sklopka [1].



Slika 2.9. Statične izlazne karakteristike u spoju zajedničke baze za idealni npn-tranzistor [3]

### 2.2.2. Spoj zajedničkog emitera

Za opisivanje ulaznih i izlaznih statičkih karakteristika u spoju zajedničkog emitera promatran je npn-tranzistor (slika 2.4., b) slučaj). Statičke ulazne karakteristike u spoju zajedničkog emitera (slika 2.10.) pokazuju ovisnost ulazne struje baze  $I_B$  o ulaznom naponu  $U_{BE}$  pri se čemu izlazni napon  $U_{CE}$  promatra kao parametar. Ako je izlazni napon  $U_{CE}$  veći od ulaznog napona  $U_{BE}$ , kod idealnog tranzistora se karakteristike spajaju u jednu. Ako je napon  $U_{CE} > 0$ , tranzistor će se nalaziti u normalnom aktivnom području, a ako vrijedi  $U_{CE} < 0$ , tranzistor će biti u zasićenju. Pri vrlo malim iznosima struje baze i ulaznog napona, karakteristika će se nalaziti u četvrtom kvadrantu. Kod realnog tranzistora ulazne karakteristike se pomiču udesno kako izlazni napon  $U_{CE}$  raste te se tako struja baze smanjuje uz konstantan napon  $U_{BE} > 0$ . Kao i kod spoja zajedničke baze, to je posljedica utjecaja Earlyjeva efekta.

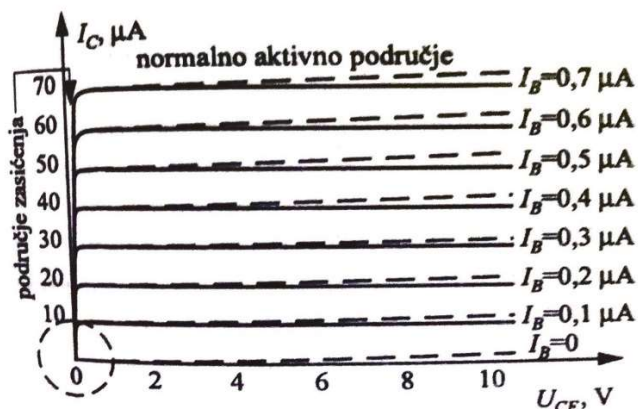


Slika 2.10. Statične ulazne karakteristike u spoju zajedničkog emitera za realni tranzistor [3]

Statičke izlazne karakteristike u spoju zajedničkog emitera (slika 2.11.) prikazuju ovisnost izlazne struje kolektora  $I_C$  o izlaznom naponu  $U_{CE}$  pri čemu je struja baze parametar koji utječe na izgled karakteristika. Za razliku od spoja zajedničke baze, izlazne karakteristike se nalaze u potpunosti u prvom kvadrantu, veći dio karakteristika je u dijelu za normalno aktivno područje. Kod idealnog tranzistora u normalnom aktivnom području struja kolektora je neovisna o izlaznom naponu  $U_{CE}$  te je konstanta. Na karakteristici je to označeno punom linijom. Kod realnog tranzistora u normalnom aktivnom području struja kolektora ipak ovisi o naponu  $U_{CE}$  što je posljedica Earlyjeva efekta te su karakteristike označene isprekidanom linijom. Iz karakteristika se može uočiti kako je omjer izlazne i ulazne struje puno veći u odnosu na spoj zajedničke baze te tranzistor u tom području ima veliko strujno pojačanje. Budući da je u tom području i veliko naponsko pojačanje, spoj zajedničkog emitera omogućava pojačanje snage.

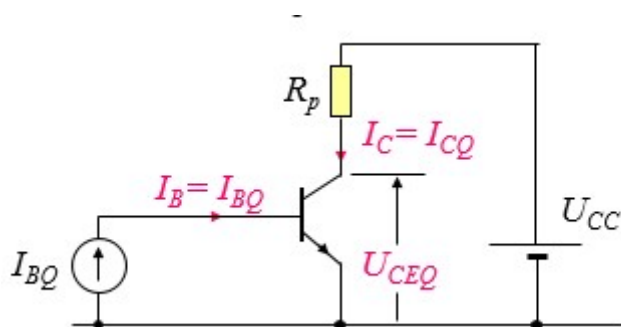
U području zapiranja oba PN-spoja su nepropusno polarizirana te je struja kolektora vrlo malog iznosa koji odgovara reverznoj struji zasićenja spoja baza-kolektor. Budući da je u tom području struja približno jednaka nuli, a imamo određeni napon, to se područje koristi kao otvorena sklopka u režimu rada tranzistora kao sklopke [1].

U području zasićenja PN-spojevi su propusno polarizirani i unose nosioce naboja u bazu. Sve karakteristike prolaze kroz vrijednost struj  $I_C = 0$  pri naponu  $U_{CEzas}$ . Također, u području zasićenja prolazi velika struja kolektora, a izlazni napon je mali pa se to područje koristi kao zatvorena sklopka u režimu rada tranzistora kao sklopke.



Slika 2.11. Statične izlazne karakteristike u spoju zajedničkog emitera [3]

Budući da je u spoju zajedničkog emitera velika razlika između izlazne i ulazne struje, tranzistor se u tom spoju koristi kao strujno pojačalo. Da bi se ostvarilo određeno pojačanje, tranzistor treba dovesti u određenu statičnu radnu točku. Statička radna točka predstavlja skup tri vrijednosti: struje kolektora  $I_C$ , struje baze  $I_B$  i napona  $U_{CE}$  i ona određuje statičke uvjete rada tranzistora. Statička radna točka se nalazi na sjecištu jedne od izlaznih karakteristika i statičkog radnog pravca. Statički radni pravac je određen jednadžbom izlaznog kruga pojačala i ucrtava se na graf izlaznih karakteristika.



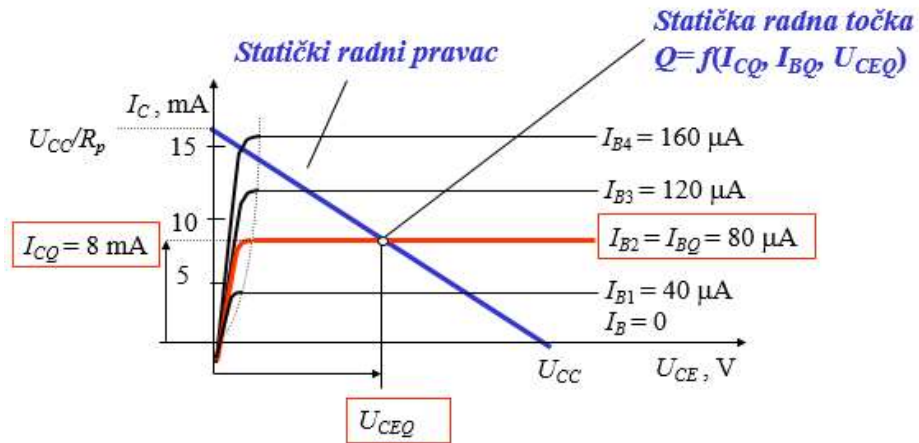
Slika 2.12. Pojačalo u spoju zajedničkog emitera u statičkim uvjetima rada ostvareno s npn-tranzistorom [6]

Ako se primjeni Kirchhoffov zakon za napone na izlazni krug dobije se sljedeća jednadžba:

$$U_{CC} = I_C R_p + U_{CE}, \quad (2.9.)$$

pri čemu je  $U_{CC}$  napon napajanja tranzistora. Statički radni pravac se dobije tako da se u prvom slučaju postavi da je struja  $I_C = 0$ , pa iz toga slijedi da je  $U_{CC} = U_{CE}$ . Tako se dobije prva točka statičkog pravca s koordinatama  $(U_{CC}, 0)$ . U drugom slučaju nam je izlazni napon  $U_{CE} = 0$  pa

vrijedi da je  $I_C = U_{CC}/R_p$ . iz toga se dobije druga točka statičkog radnog pravca s koordinatama  $(0, U_{CC}/R_p)$ . Nakon toga se na izlaznim karakteristikama označe točke i provuče pravac. Kako bi se odredila statička točka, ulazna struja baze mora biti poznata, a ona se izračunava iz ulaznog kruga. Sjecište statičkog radnog pravca i karakteristike pri kojoj je struja baze ona koja je određena u ulaznom krugu predstavlja statičku radnu točku.



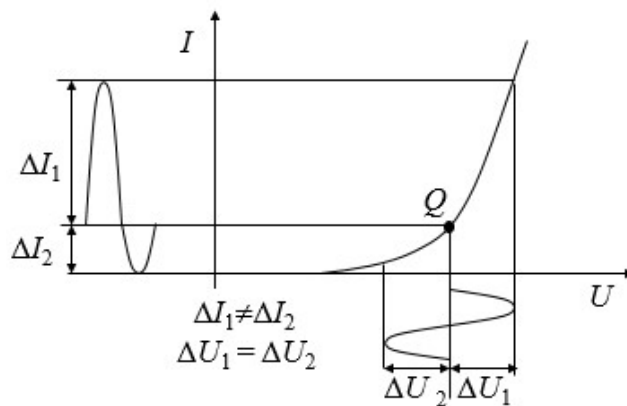
Slika 2.13. Statička radna točka i pravac na statičkim izlaznim karakteristikama u spoju zajedničkog emitera [6]

## 2.3. Dinamička svojstva bipolarnog spojnog tranzistora

### 2.3.1. Linearni režim rada i režim malog signala

U primjeni se tranzistori uobičajeno koriste u dinamičkim uvjetima rada kao pojačala malog izmjeničnog signala ili sklopke u digitalnim i impulsnim sklopkama. U radu su opisani logički sklopovi kod kojih je važno područje zasićenja (područje niske naponske razine) i područje zapiranja (područje visoke naponske razine), odnosno važna su područja u kojima tranzistor radi kao zatvorena i otvorena sklopka. Dosad su u radu objašnjavane samo istosmjerne komponente struja i napona, ali budući da se na tranzistor dovode izmjenični signali, istosmjernim komponentama dodane su i vremenski promjenjive, izmjenične vrijednosti. Zbrojem istosmjerne i izmjenične vrijednosti dobije se ukupna trenutna vrijednost. Istosmjerne vrijednosti određuju statičku radnu točku tranzistora, tj. određuju u kojem se području rada tranzistor nalazi [1].

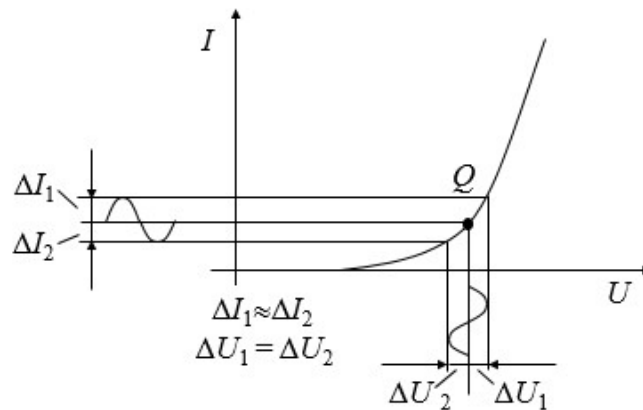
U slučaju da su promjene izmjeničnog signala u okolini radne točke velike što se događa kod pojačala snage, digitalnih i impulsnih sklopova i oscilatora, izražena će biti nelinearna karakteristika tranzistora. Ta se pojava naziva režim velikog signala. Kod režima velikog signala, kao što je vidljivo na slici 2.14., simetrična promjena struje uzrokovat će nesimetričnu promjenu napona [1].



Slika 2.14. Nelinearna karakteristika u režimu velikog signala [5]

Ako se izmjenični signal oko radne točke mijenja tako da su promjene male, tada tranzistor radi u režimu malog signala. Na slici 2.15. je prikazano kako simetrična promjena struje uzrokuje simetričnu promjenu napona te se iz toga može zaključiti kako postoji linearna ovisnost veličina. U režimu malog signala nelinearna karakteristika se u okolini svako radne točke može aproksimirati linearnom funkcijom, stoga se ovaj režim rada naziva još i linearnim. Za izmjenični signal, tranzistor u ovom režimu rada postaje linearni elektronički element. Također, konstante

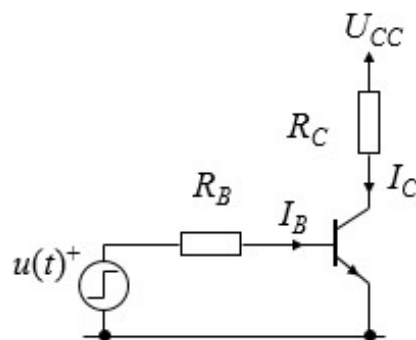
proporcionalnosti između izmjeničnih napona i struja ovise o položaju statičke radne točke, ali i o radnoj frekvenciji [1].



Slika 2.15. Nelinearna karakteristika za mali signal [5]

### 2.3.2. Bipolarni spojni tranzistor kao sklopka

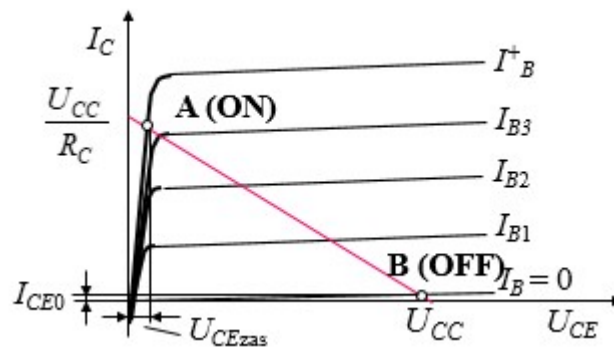
Ranije je spomenuto kako u digitalnim i impulsnim sklopovima tranzistor radi kao sklopka te se kao takav mora nalaziti ili u području zasićenja ili području zapiranja. U području zasićenja kroz tranzistor prolazi velika struja kolektora, a izlazni napon  $U_{CE}$  (za spoj zajedničkog emitera) je mali pa se to promatra kao zatvorena sklopka. U području zapiranja struja kroz kolektor je vrlo mala, a napon između kolektora iz emitera je velik (visoka naponska razina), stoga se to opisuje kao otvorena sklopka.



Slika 2.16. Bipolarni tranzistor kao sklopka u spoju zajedničkog emitera [5]

Na slici 2.17. prikazane su statičke izlazne karakteristike sa statičkim radnim pravcem za otpor  $R_P$  na kolektoru. Na statičkom pravcu označene su dvije točke: točka A u kojoj tranzistor predstavlja zatvorenu sklopku i točku B u kojoj tranzistor predstavlja otvorenu sklopku. Ulaznom strujom baze  $I_B$  upravlja se izlaznom strujom emitera i ona određuje gdje će se nalaziti statička radna točka.

Ako je bazna struja jednaka nuli ili negativna, statička radna točka je u području zapiranja, odnosno u donjoj B točki pravca. Tada je struja kolektora po iznosu zanemariva, a izlazni napon odgovara naponu napajanja  $U_{CC}$ . U drugom slučaju, ako je struja baze velika, radna točka premješta se u gornji dio pravca (točka A) u kojem teče velika kolektorska struja, a pad napona između kolektora i emitera je mali. Daljnjim rastom bazne struje struja kolektora se neće povećati. Uglavnom u sklopovima u kojima se tranzistor koristi kao sklopka, bazna struja se često mijenja od negativne vrijednosti do pozitivne vrijednosti i na takav način stalno prebacuje tranzistor iz zapiranja u zasićenje i obratno [1].



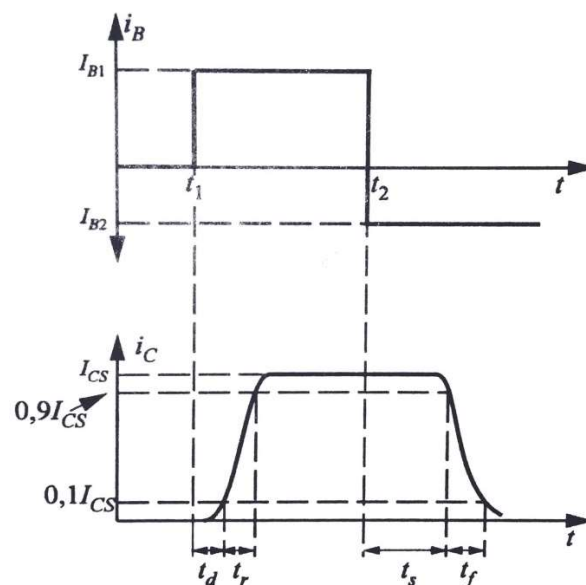
Slika 2.17. Izlazne karakteristike tranzistora u spoju zajedničkog emitera s ucrtanim statičkim radnim pravcem [5]

Postupak prelaska tranzistora iz zasićenja u zapiranje i obratno dijeli se u vremenske intervale poznate kao vremena prekapčanja. Kako bi bio opisan rad tranzistora kao sklopke koriste se četiri karakteristična vremena definirana na slici 2.18. na kojoj su prikazani valni oblik struje baze kao pobude i valni oblik struje kolektora kao odziva. Ako se struja baze definirana slikom 2.18. (gornji graf) dovede na bazu tranzistora, oblik struje kolektora bit će definirana slikom 2.18. (donji graf). Do vremena  $t_1$  u bazi i kolektoru nema manjinskih nosioca naboja pa je struja kolektora  $i_C = 0$ . U trenutku  $t_1$  struja u bazi skokovito raste do vrijednosti  $I_{B1}$  pri čemu je veća od minimalne struje u bazi  $I_{B3}$  i tada tranzistor dolazi u zasićenje. Kako bi se uspostavilo zasićenje važno da se i u bazi i u kolektoru uspostavi određena količina manjinskih nosioca naboja. Iznos struje kolektora u zasićenju je  $I_{CS}$  i da bi se uspostavila ta struja, potrebno je stvoriti nosioce naboja u osiromašenim područjima kolektorskog i emitorskog spoja koji odgovaraju njihovim propusnim polarizacijama. Prije trenutka  $t_1$ , pn-spojevi su bili nepropusno polarizirani. Kada se dovede određeni naboj u osiromašena područja, tranzistor će doći iz zapiranja u donji rub aktivnog područja. Sve dok se taj naboj ne dovede struja kolektora će biti jednaka nuli iako struja baze ima neku vrijednost i vrijeme potrebno da se taj naboj dovede u osiromašena područja naziva se vrijeme zakašnjenja i označava



se s  $t_d$ . To se vrijeme još definira kao vrijeme potrebno da struja kolektora dostigne vrijednost  $0,1 I_{CS}$  i uključuje vrijeme potrebno da naboji prođu kroz bazu [3].

Nakon što tranzistor dođe na rub normalnog aktivnog područja, u bazi počinje rast manjinskih nosioca naboja. Tada struja kolektora raste od vrijednosti  $0,1 I_{CS}$  do  $0,9 I_{CS}$  i vrijeme potrebno da struja kolektora toliko naraste naziva se vrijeme porasta te je označeno s  $t_r$ . Brzo nakon vremena porasta i stvaranja naboja u bazi, tranzistor dolazi u zasićenje i tada struja kolektora zadržava vrijednost  $I_{CS}$ . Tokom tog vremena, u bazi se stvara naboj manjinskih nosioca za određeni iznos veći nego na rubu aktivnog područja te se taj iznos akumulira u kolektoru. U trenutku  $t_2$  struja baze  $I_{B1}$  skokovito pada na negativnu vrijednost  $I_{B2}$  koja će tranzistor ponovno vratiti u područje zapiranja. Prije nego li tranzistor dođe do zapiranja, mora doći u gornji rub normalnog aktivnog područja gdje će naboj u bazi biti jednak nuli. Pri tome struja kolektora zadržava vrijednost  $I_{CS}$ . Vrijeme u kojem kolektor zadržava konstantu vrijednost struje naziva se vrijeme zadržavanja i označava se s  $t_s$ . To vrijeme je približno jednako vremenu da struja kolektora padne s vrijednosti  $I_{CS}$  na  $0,9 I_{CS}$ . Kada tranzistor dođe na gornji rub aktivnog područja, struja kolektora opada jer naboj u bazi nestaje. Vrijeme potrebno da se naboj u bazi izgubi i da se tranzistor dovede do zapiranja naziva se vrijeme opadanja i označava se s  $t_f$ . Također je to vrijeme definirano kao vrijeme potrebno da struja kolektora padne s vrijednosti  $0,9 I_{CS}$  na  $0,1 I_{CS}$ . U radu sa sklopovima obično se ova četiri karakteristična vremena svode na dva: vrijeme uključivanja koje je jednako zbroju vremena zakašnjenja i vremena porasta i vrijeme isključivanja koje je jednako zbroju vremena zadržavanja i vremena opadanja [3].



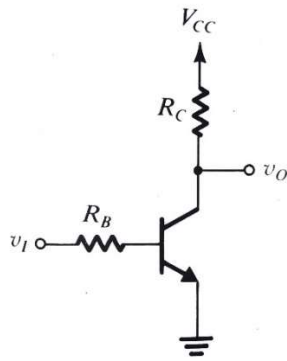
Slika 2.18. Valni oblik struje baze kao pobude i valni oblik struje kolektora kao odziva [3]

### 3. ARHITEKTURE LOGIČKIH SKLOPOVA TEMELJENE NA BIPOLARNIM SPOJNIM TRANZISTORIMA

Prvi jednostavni digitalni sklopovi temeljili su se na bipolarnim spojnim tranzistorima. Prve obitelji integriranih digitalnih bipolarnih sklopova bile su otporno-tranzistorska logika RTL i diodno-tranzistorska logika DTL. Kasnije su te dvije porodice prešle u druge oblike digitalnih sklopova temeljenih na bipolarnim tranzistorima sa znatno većom brzinom rada i višim stupnjem integracije. Iz DTL-a je nastala tranzistorsko-tranzistorska logika TTL koja se i danas zbog stalnih poboljšanja upotrebljava u nekim integriranih sklopovima. Također je razvijena i emitterski vezana logika ECL čiji sklopovi imaju veliku brzinu zbog toga što njezini tranzistori ne dolaze u zasićenje. Iz RTL-a se razvila injekcijsko-integrirana logika I<sup>2</sup>L koja je neko vrijeme išla u korak sa CMOS tehnologijom u sklopovima vrlo visokog stupnja integracije (VLSI) [7].

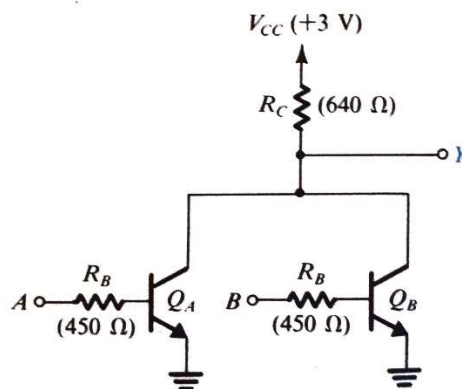
#### 3.1. Otporno-tranzistorska logika (RTL tehnologija)

Otporno-tranzistorska logika je tehnologija digitalnih sklopova koji sadrže otpornike koji predstavljaju ulaznu mrežu i bipolarne spojne tranzistore kao sklopne uređaje. RTL tehnologija je najranija vrsta digitalnih sklopova ostvarenih preko tranzistora. Najjednostavniji RTL logički sklop je inverter ili prekidač ostvaren s jednim bipolarnim tranzistorom (slika 3.1.) i on predstavlja logičku negaciju. Inverter se sastoji od otpora na bazi, bipolarnog tranzistora i otpora na kolektoru te je tranzistor u spoju zajedničkog emitera. Ulazni otpor  $R_B$  je takvog iznosa kako bi nastala mala struja baze i kako bi zaštitio tranzistor. Uloga otpora na kolektoru  $R_C$  je da pretvori struju kolektora u napon i kako bi također zaštitio tranzistor. Inverter radi na način da ako se dovede niska naponska razina ili logička nula (oko 0,7 V) koja je označena s  $v_1$ , struja baze će približno biti nula te će tako i struja kolektora biti jednaka nuli i tranzistor neće provesti struju i otići će u zapiranje. Tada će napon  $v_0$  na izlazu biti jednak naponu napajanja  $V_{CC}$ , odnosno na izlazu će se pojaviti visoka naponska razina ili logička jedinica. Ako se na ulaz dovede logička jedinica (napon napajanja), tranzistor će provesti i otići u zasićenje te će napon  $v_0$  biti jednak malom izlaznom naponu  $U_{CE}$  (od 0,1 do 0,2 V), odnosno na izlazu se pojavljuje logička nula.



Slika 3.1. Osnovni inverter s bipolarnim spojnim tranzistorom [8]

Na slici 3.2. prikazana je shema NILI logičkih vrata s dva bipolarna tranzistora. Kod NILI vrata, izlaz će biti logička jedinica samo u slučaju kada su oba ulaza logička nula. Sklop je sastavljen od dva paralelno spojena invertora. Postoje četiri kombinacije ulaza i izlaza kod dvoulaznih NILI vrata. Prva je da ako se na ulaz A i ulaz B dovede logička nula, na izlazu će biti logička jedinica jer će napon na izlazu Y odgovarati naponu napajanja. Druga je da ako se na ulaz A dovede logička jedinica, a na B logičku nulu, na izlazu ima Y logičku nulu koja odgovara naponu zasićenja  $U_{CEzas}$  tranzistora  $Q_A$ . U trećoj kombinaciji ulaz A je logička nula, a ulaz B logička jedinica i na izlazu Y je logička nula koja odgovara naponu zasićenja  $U_{CEzas}$  tranzistora  $Q_B$ . U četvrtoj kombinaciji oba ulaza su logičke jedinice, a na izlazu je logička nula koja odgovara naponu zasićenja i jednog i drugog tranzistora.



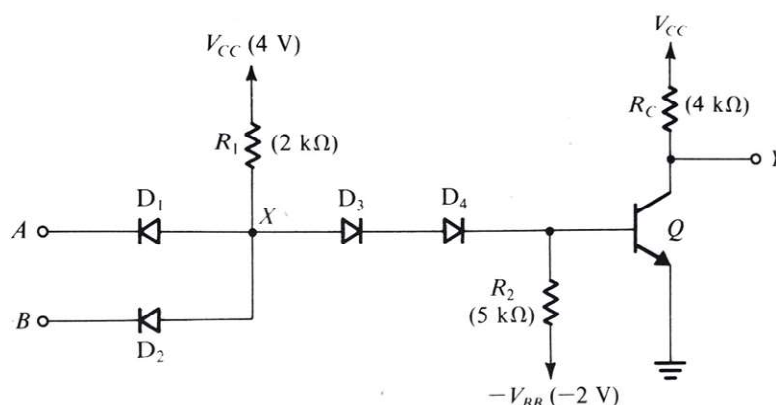
Slika 3.2. Dvoulazna RTL NILI vrata [8]

Prednost RTL tehnologije je ta što koristi što je mogući manji broj tranzistora. Razlog tomu je bila cijena tranzistora koja je bila visoka prije dolaska integriranih sklopova. Nedostatak RTL

tehnologije zasniva se na velikom gubitku snage kada je tranzistor uklopljen zbog struje koja teče u kolektoru i u otpornicima u bazi. Drugi nedostatak je ograničeni broj ulaza koji se u većini spojeva svodi na tri ulaza jer do tog broja postoji značajna otpornost na šum.

### 3.2. Diodno-tranzistorska logika (DTL tehnologija)

Diodno-tranzistorska logika ili DTL je vrsta digitalnih sklopova iz koje je nastala tranzistorsko-tranzistorska logika ili TTL. Naziv je dobila zbog toga što logičke funkcije izvodi mreža dioda, a tranzistor obavlja funkciju pojačavanja. Na slici 3.3. prikazan je DTL sklop za NI logička vrata. Kod NI logičkih vrata, izlaz će biti logička nula samo u slučaju kada su oba ulaza logička jedinica. Sklop se sastoji od tri razine: prve ulazne razine s diodama  $D_1$ ,  $D_2$ , i otporom  $R_1$  koji obavljaju logičku funkciju I sklopa (kombinacije obratne od NI vrata), razine upravljanja strujom iz ulaza s diodama  $D_3$ ,  $D_4$  i otporom  $R_2$  te izlazne razine koja je zapravo pojačalo u spoju zajedničkog emitera. Ako su oba ulaza A i B pod visokom naponskom razinom ili logičkom jedinicom (u ovom slučaju najmanje 1.4V), diode  $D_1$  i  $D_2$  neće provoditi jer su nepropusno polarizirane. U tom slučaju će sva struja kroz otpor  $R_1$  biti preusmjerena u bazu tranzistora preko dioda  $D_3$  i  $D_4$ . Tada će tranzistor provesti i na izlazu Y će biti napon zasićenja  $U_{CEzas}$  koji odgovara logičkoj nuli. U slučaju da su obje ulazne diode ili jedna pod niskom naponskom razinom ili logičkom nulom, tada će barem jedna od ulaznih dioda provoditi i povući napon na anodama koji maksimalno može biti jednak 1.2 V. Tada diode  $D_3$ ,  $D_4$  i otpor  $R_4$  služe kao djelitelj napona nakon kojih će napon na bazi imati malu negativnu vrijednost te zbog toga tranzistor neće provesti struju. Na taj način izlazna struja kolektora će biti približna nuli i napon na izlazu odgovarat će naponu napajanja  $V_{CC}$ . U drugoj starijoj inačici sklopa, diode  $D_3$  i  $D_4$  su zamijenjene jednim otporom [8].



Slika 3.3. Dvoulazna DTL NI vrata [8]

Nedostatak DTL-a je što ima relativno veliko kašnjenje širenja. U trenutku kada tranzistor pređe u zasićenje pod utjecajem svih ulaza koji su pod visokom naponskom razinom, nosioci naboja se pohranjuju u područje baze. Kada tranzistor napusti zasićenje, taj se preostali naboj mora ukloniti i to se postiže stavljanjem kapaciteta preko središnjih dioda  $D_3$  ili  $D_4$  ili u starijoj inačici preko otpora  $R_3$ . Prednost nad RTL tehnologijom je ta što može osigurati veći broj ulaza, a za dodatni izlaz, potreban je samo jedan tranzistor i jedna dioda.

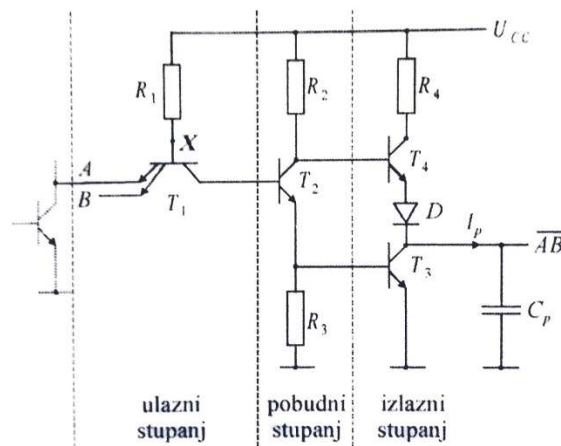
### 3.3. Tranzistorsko-tranzistorska logika (TTL tehnologija)

Tranzistorsko-tranzistorska logika TTL je obitelj logičkih sklopova koja je nastala iz diodno-tranzistorske logike ili DTL-a. Kod TTL-a tranzistori obavljaju i logičku funkciju i funkciju pojačavanja za razliku od ranijih tehnologija (RTL-a i DTL-a). Na slici 3.4. prikazan je standardni TTL dvoulazni NI sklop koji se sastoji od tri razine: ulaznog stupnja, pobudnog stupnja i izlaznog stupnja. Ulazni stupanj sklopa se sastoji od višeemitskog tranzistora  $T_1$  koji mijenja logičke diode  $D_1$  i  $D_2$  te diode  $D_3$  i  $D_4$  za pomicanje naponske razine u DTL sklopu (slika 3.3.). Također, tranzistor  $T_1$  služi za brzo izbijanje naboja iz baze tranzistora  $T_2$  u pobudnom stupnju. U pobudnom stupnju imamo tranzistor  $T_2$  i otpore  $R_2$  i  $R_3$  koji služe kao obrtač faze te je njihova svrha da generiraju komplementarne signale koji bi pobudili baze tranzistora u izlaznom stupnju. Izlazni stupanj predstavlja tranzistorsku sklopku u prijašnjem DTL sklopu, a sastoji se od dva tranzistora koja funkcioniraju kao komplementarni par što znači da jedan puni, a drugi prazni kapacitet  $C_p$ . Vremena uključivanja i isključivanja imaju isti red veličine. U izlaznom stupnju imamo tranzistor  $T_3$  koji je u spoju zajedničkog emitera i tranzistor  $T_4$  koji je spojen kao emittersko sljedilo. Otpor  $R_C$  u DTL sklopu zamjenjuje tranzistor  $T_4$ , dioda  $D$  i otpor  $R_4$  na kolektoru [7].

U slučaju da je barem jedan od ulaza  $A$  ili  $B$  pod logičkom nulom (oko 0,2 V), kroz tranzistor  $T_1$  i emiter  $A$  teče struja pa je napon na točki  $X$  približno jednak 1 V (napon zasićenja prvog tranzistora je 0,8 V). S tim se naponom ne može osigurati propusna polarizacija serije kolektorskog spoja tranzistora  $T_1$  i emitterskog spoja tranzistora  $T_2$ . Kolektorska struja tranzistora  $T_1$  je približno nuli i budući da je struja baze veća nego struja kolektora on je u zasićenju s naponom približno jednakom 0,1 V. Tada je napon emitterskog spoja  $T_2$  jednak 0,3 V (zbroy napona zasićenja  $T_1$  i emitera  $A$ ). Budući da su  $T_2$  i  $T_3$  u Darlingtonovom spoju, tranzistor  $T_3$  je području zapiranja. Otpor  $R_4$  omogućuje propusnu polarizaciju tranzistoru  $T_4$ , stoga se on ovisno o struji  $I_p$  nalazi u zasićenju ili aktivnom području. Ako izlaz sklopa nije opterećen strujom koja ide prema masi, kroz sklop teče zanemariva struja, a izlazni napon jednak je naponu logičke jedinice (oko 3,9 V). U slučaju da se izlaz optereti, struja  $I_p$  će rasti i pri određenoj vrijednosti tranzistor  $T_4$  će završiti u

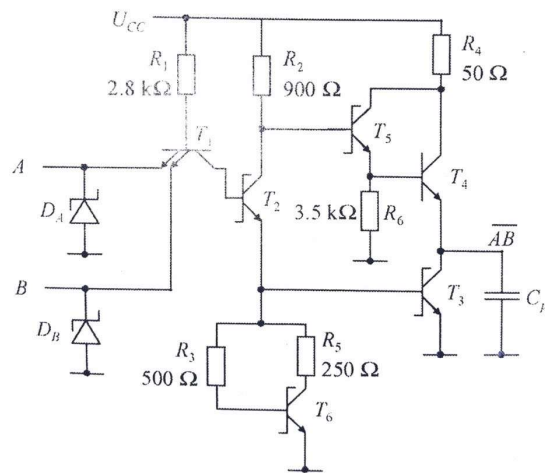
zasićenju. Tada će izlazni napon biti određen naponom na otporu  $R_4$  koji će ograničiti struju tranzistora  $T_4$  kada je on slučajno spojen na masu ili kada se tranzistor  $T_4$  uključuje dok je tranzistor  $T_3$  u zasićenju [7].

Ako su svi ulazi, odnosno emiteri tranzistora  $T_1$  logička jedinica (napon napajanja oko 5 V), njegovi emitterski spojevi su nepropusno polarizirani, a kroz kolektorski spoj prolazi struja preko emitterskih spojeva tranzistora  $T_2$  i  $T_3$ . Struja kolektora  $T_1$  odlazi u bazu  $T_2$  i ima dovoljni iznos da  $T_2$  ode u zasićenje. Većina te struje odlazi i u  $T_3$  koji također završava u zasićenju. Ako tranzistor  $T_3$  provodi, tranzistor  $T_4$  ne smije provoditi. Napon baze na  $T_4$  jednak je naponu zasićenja  $U_{CEzas}$   $T_2$  i naponu zasićenja  $U_{BEzas}$   $T_3$  koji ima iznos oko 1 V. Dioda  $D$  osigurava da  $T_4$  ne vodi i tada je napon na izlazu jednak naponu zasićenja  $U_{CEzas}$  tranzistora  $T_3$  koji je iznosa od 0,1 do 0,2 V što se smatra logičkom nulom [7].



Slika 3.4. Standardni dvoulazni NI sklop TTL obitelji [7]

Ova temeljna verzija TTL sklopa dobila je razna poboljšanja u smislu povećanje brzine ili smanjena potrošnje, odnosno korištenja male snage. Važan napredak je postignut razvitkom Schottkyjevih TTL sklopova male potrošnje. Na slici 3.5. je prikazan Schottkyjev TTL dvoulazni NI sklop kod kojeg su svim tranzistori osim tranzistora  $T_4$  zamijenjeni Schottkyjevim tranzistorima koji ima ugrađenu diodu paralelno kolektorskom spoju i omogućava tranzistoru da se spriječi ili ograniči njegov odlazak u zasićenje. Također je vrijednost otpornika smanjena na pola kako bi se smanjilo kašnjenje sklopa [7].



Slika 3.5. Schottkyjev TTL dvoulazni NI sklop (serija 74S) [7]

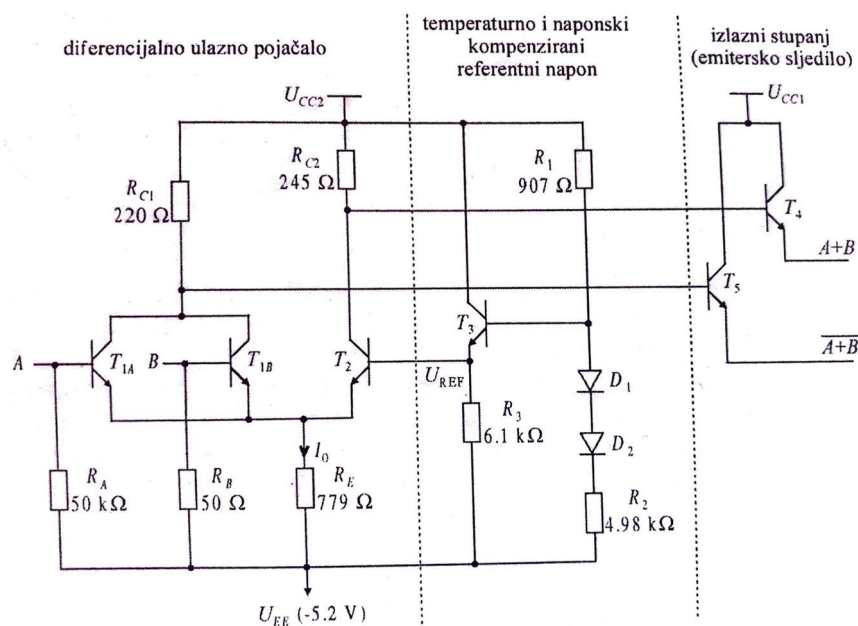
### 3.4. Emitterski vezana logika (ECL tehnologija)

Emitterski vezana logika ili ECL je obitelj digitalnih sklopova koji kao osnovni element koriste strujnu sklopku, odnosno diferencijalno pojačalo kako tranzistori ne bi došli u zasićenje i tako se manjinski nosioci naboja ne bi nakupljali u njihovim baza i kolektorima. Zbog toga vremena prebacivanja iz zasićenja u zapiranje su kraća od onih u sklopovima u kojima tranzistori dolaze u zasićenje. ECL logički sklopovi su najbrži logički sklopovi temeljeni na bipolarnim tranzistorima. U usporedbi s TTL sklopovima kod kojih tranzistori dolaze u zasićenje, ECL sklopovi su brži, ali im snaga više dissipira [9].

Na slici 3.6. prikazan je osnovni ECL NILI i ILI sklop koji sadrži tri razine: strujne sklopke ili diferencijalno pojačala, temperaturno kompenziranog sklopa za generiranje referentnog napona  $U_{REF}$  te izlaznog stupnja sklopa koji se sastoji od dva emitterska sljedila. Strujna sklopka ili diferencijalno pojačalo sadrži tranzistor  $T_2$  koji na svojoj bazi ima spojen referentni napon  $U_{REF}$  i najmanje dva paralelno spojena tranzistora ( $T_{1A}$  i  $T_{1B}$ ) kojima se na bazu dovode logički signali A i B. Svi emiteri tranzistora u diferencijalnom pojačalu spojeni su u jednu točku u kojoj se nalazi izvor konstante struje  $I_0$  stvoren preko otpora  $R_E$  koji je spojen na napon  $U_{EE}$  iznosa  $-5,2$  V, a kolektori tranzistora su spojeni na napon napajanja  $U_{CC2}$  preko otpora  $R_{C1}$  i  $R_{C2}$ . Ulazni tranzistori  $T_{1A}$  i  $T_{1B}$  imaju baze spojene na  $U_{EE}$  preko otpornika  $R_A$  i  $R_B$  što omogućuje ulazima da ostanu nespojeni ili u zraku. Temperaturno kompenzirani sklop za generiranje referentnog napona sastoji se od dioda  $D_1$  i  $D_2$ , tranzistora  $T_3$  i otpora  $R_1$ ,  $R_2$  i  $R_3$ . Generira napon  $U_{REF} = -1,32$  V koji odgovara srednjoj vrijednosti napona logičkih stanja na izlazu sklopa. Taj referentni napon se dobije ako se primjeni Kirchhoffov zakon za napone na petlju u kojoj se nalaze diode  $D_1$  i  $D_2$ , otpori  $R_2$  i  $R_3$  i

napon  $U_{EE}$ . Temperaturna promjena napona između baze i emitera na  $T_3$  djelomično je kompenzirana promjenom temperature napona na diodama spojenim u seriju i s time je također postignuta kompenzacija referentnog napona. U izlaznom stupnju imamo tranzistore  $T_4$  i  $T_5$  koji su emiserska sljedila. Svrha emiserskih sljedila je pomaknuti naponske razine izlaznih signala diferencijalnog pojačala za iznos napona između baze i emitera tako da su izlazne naponske razine kompatibilne ulaznim naponskim razinama i centrirane su oko referentnog napona ( $U_{IZL(0)} = -1,75\text{ V}$  i  $U_{IZL(1)} = 0,75\text{ V}$ ). Druga zadaća emiserskih sljedila je da osiguraju mali izlazni otpor kako bi velika struja na izlazu opteretila kapacitet  $C_P$ . Kako bi se očuvali od te velike struje, kolektori su spojeni na zasebnu masu (napajanje  $U_{CC1}$ ). Prva dva stupnja se napajaju iz  $U_{CC2}$  i ne stvaraju strujne impulse na liniji gdje je napajanje [7].

Kod ECL sklopa, izlazi su komplementarni i u isto vrijeme može se dobiti funkcija NILI i ILI. Ako su svi ulazi pod logičkom nulom (oko  $-1,72\text{ V}$ ), tranzistori  $T_{1A}$  i  $T_{1B}$  su u području zapiranja i struja  $I_0$  teče samo kroz  $T_2$ . Napon na otporu  $R_{C2}$  je velik i logička nula se pojavljuje na bazi  $T_4$  što se prenosi i na izlaz ILI. Ako je barem jedan od tranzistora  $T_{1A}$  i  $T_{1B}$  logička jedinica (oko  $-0,92\text{ V}$ ), taj će tranzistor provoditi,  $T_2$  će biti u zapiranju pa na otporu  $R_{C2}$  neće biti pada napona te će izlaz ILI biti pod logičkom jedinicom, a izlaz NILI pod logičkom nulom. Prednosti ECL sklopova su malo kašnjenje i stalna disipacija snage neovisna o brzini rada. Nedostatci ECL-a su mali razmak između logičkih razina i veća disipacija snage na tranzistorima koji nisu u području zasićenja [7].

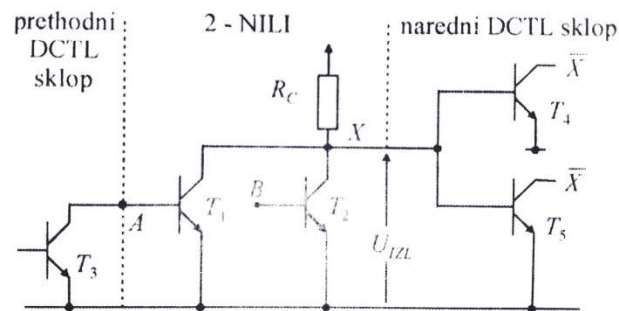


Slika 3.6. Osnovni ECL NILI i ILI sklop (serija 10k) [7]



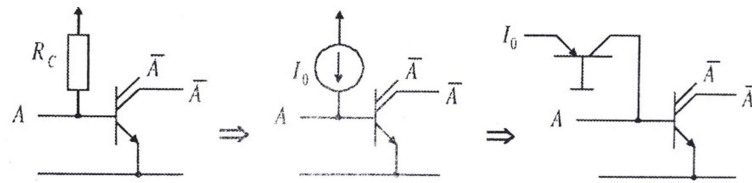
### 3.5. Integrirana injekcijska logika (I<sup>2</sup>L tehnologija)

Integrirana injekcijska logika je vrsta digitalnih sklopova koji sadrže višekolektorske bipolarnе tranzistore. Tehnologija se razvila iz RTL tehnologije. Temeljni I<sup>2</sup>L sklop nastaje iz varijante RTL tehnologije zvane izravno vezana tranzistorska logika ili DCTL. Na slici 3.7. prikazan je DCTL NILI sklop koji sadrži dvije tranzistorske sklopke T<sub>1</sub> i T<sub>2</sub> bez otpora na bazi i sa zajedničkim otporom R<sub>C</sub> na kolektoru. Ulaz A je pobuđen istim sklopom, a na izlaznom stupnju kao teret su dva istovrsna paralelno spojena DCTL sklopa (tranzistori T<sub>4</sub> i T<sub>5</sub>). Ako su ulazi A i B logička nula, T<sub>1</sub> i T<sub>2</sub> ne vode i struja preko otpora R<sub>C</sub> ulazi u baze tranzistora T<sub>4</sub> i T<sub>5</sub>. Izlaz sklopa je logička jedinica koja odgovara naponu između baze i emitera iznosa 0,7 V. Ako je barem jedan od ulaza logička jedinica, tranzistor T<sub>1</sub> ili T<sub>2</sub> je propusno polariziran i odlazi u zasićenje zbog velike struje baze te je izlaz DCTL sklopa jednak naponu zasićenja U<sub>CEzas</sub> = 0,2 V [7].



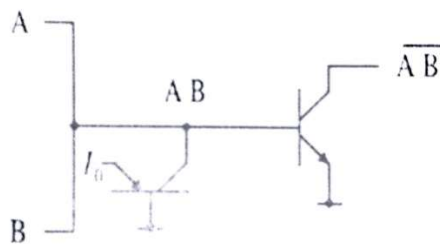
Slika 3.7. Temeljni DCTL dvoulazni NILI sklop [7]

Naponski razmak između logičkih stanja je mali i iznosi od 0,5 do 0,6 V. Struja kroz otpornik R<sub>C</sub> gotovo je jednaka za oba logička stanja pa se promjena stanja izlaza DCTL sklopa zapravo sastoji u preraspodjeli struje kolektora bazama sklopa za opterećenje (izlaznog stupnja). Zapravo je najveći problem nejednolika raspodjela struje u baze što dovodi do pogrešnog rada sklopa. Budući da tranzistori T<sub>4</sub> i T<sub>5</sub> imaju zajedničko spojene emitere i baze, rješenje problema se nalazi u njihovom stapanju u jedan višekolektorski tranzistor (slika 3.8.). Otpor R<sub>C</sub> se zamjenjuje strujnim izvorom koji se naziva injektor. Injektor je realiziran pnp-tranzistorom u spoju zajedničke baze kod kojeg je baza spojena na masu, a emiter je spojen na pozitivan pol napajanja preko vanjskog otpora R. Otporom je upravljana struja I<sub>0</sub>. Injektor može biti zajednički za više osnovnih ćelija pa se može spojiti u jedan višekolektorski pnp-tranzistor [7].



Slika 3.8. Formiranje I<sup>2</sup>L ćelije iz DCTL sklopa [7]

Kako su kolektori I<sup>2</sup>L ćelije neopterećeni, temeljna NILI funkcija se može dobiti spajanjem više I<sup>2</sup>L ćelija. Slično se oblikuju i drugi složeniji logički sklopovi. Osnovni sklop I<sup>2</sup>L obitelji je NI sklop (slika 3.9.) koji se više koristi [7].



Slika 3.9. Osnovni I<sup>2</sup>L dvoulazni NI sklop [7]

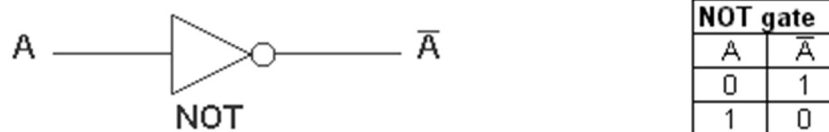
Prednosti I<sup>2</sup>L tehnologije su manja površina, manja potrošnja snage zbog nepostojanja otpora, mali otpor na kolektoru zbog manje površine tranzistora i mali napon zasićenja tranzistora. Zbog toga, I<sup>2</sup>L tehnologija je prikladna za digitalne sklopove vrlo visokog stupnja integracije [7].

## 4. REZULTATI SIMULACIJE

U ovom poglavlju obrađeni su rezultati provedenih simulacija osnovnih logičkih sklopova izvedenih preko RTL tehnologije. Za simulaciju je odabrana RTL tehnologija jer je najjednostavnija za izvođenje, ali ima veće rasipanje snage i ograničen je broj ulaza. Budući da će u simulaciji najveći broj ulaza biti dva, za izvođenje sklopova prigodna je RTL tehnologija. Za svaki logički sklop opisana je njihova funkcija (kombinacije ulaza i izlaza), zatim je prikazana shema sklopa i karakteristike sklopa i na kraju rezultati provedene simulacije kako bi se potvrdila njihova funkcija.

### 4.1. Simulacija NOT logičkog sklopa

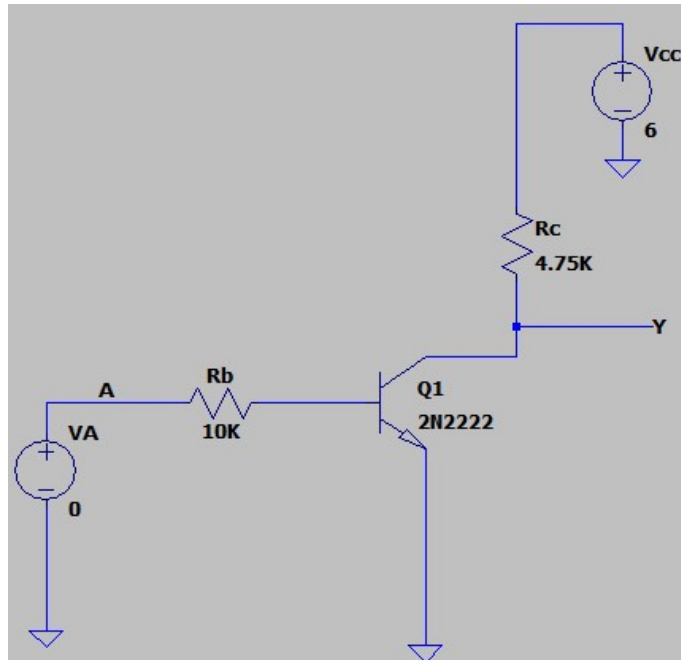
NOT vrata ili inverter je logički sklop koji ima jedan ulaz i jedan izlaz. Na slici 4.1. prikazan je simbol i tablica istinitosti za NOT logički sklop koja prikazuje sve kombinacije ulaza i izlaza. Ako je na ulazu NOT sklopa visoka naponska razina ili logička jedinica na izlazu imamo nisku naponsku razinu ili logičku nulu i obratno.



Slika 4.1. Simbol i tablica istinitosti NOT logičkog sklopa [10]

Na slici 4.2. prikaza je shema NOT logičkog sklopa izvedena preko RTL tehnologije. Na bazu tranzistora spojen je izvor napona koji predstavlja ulaz i u seriji s njim se nalazi otpor iznosa 10 k $\Omega$ . Visoka naponska razina na ulazu je 6 V, a niska razina je 0 V. Na kolektoru je spojeno napajanje  $V_{CC}$  iznosa 6 V i otpor od 4,75 k $\Omega$ . U simulacijama je korišten npn-tranzistor modela 2N222 koji ima sljedeće karakteristike:

- Reverzna struja zasićenja  $I_S = 10^{-14}$  A
- Faktor strujnog pojačanja  $\beta = 200$
- Maksimalni napon između emitera i kolektora  $U_{CE0} = 30$  V
- Maksimalna struja kolektora  $I_C = 0.8$  A



Slika 4.2. Shema RTL NOT logičkog sklopa izrađena u LTspice simulacijskom programu

Na slici 4.3. prikazani su rezultati simulacije za obje kombinacije ulaza i izlaza. U prvom slučaju s lijeve strane slike, na ulazu je bila niska naponska razina ili logička nula (0 V), a na izlazu je napon napajanja od 6 V. S desne strane slike na ulazu je logička jedinica (6V), a na izlazu je mali napon između kolektora i emitera iznosa 20,77 mV. Ulaz je označen slovom A, a izlaz slovom Y.

```

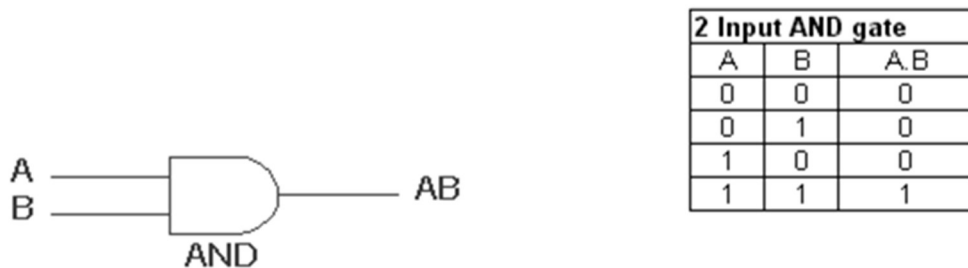
--- Operating Point ---
V(a) :          0          voltage V(a) :          6          voltage
V(n001) :       6          voltage V(n001) :       6          voltage
V(n002) : 6.00333e-008    voltage V(n002) : 0.692028    voltage
V(y) :          6          voltage V(y) : 0.0207744    voltage

```

Slika 4.3. Rezultati simulacije za RTL NOT logički sklop

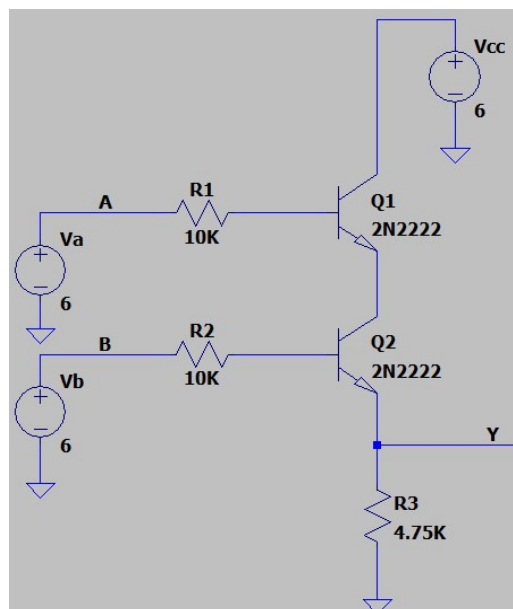
## 4.2. Simulacija AND logičkog sklopa

AND ili I logička vrata je logički sklop kod kojega je izlaz logička jedinica samo u slučaju kada su oba ulaza logičke jedinice. Na slici 4.4. prikazan je simbol i tablica istinitosti AND sklopa. U simulaciji je prikazan dvoulazni RTL AND logički sklop.



Slika 4.4. Simbol i tablica istinitosti dvoulaznog AND logičkog sklopa [10]

Na slici 4.5. prikazana je shema dvoulaznog RTL AND sklopa. Sadrži dva tranzistora tipa 2N2222, otpor na emiteru drugog tranzistora od 4,75 k $\Omega$  i na svakom ulazu je naponski izvor od 6 V u seriji s otporom od 10 k $\Omega$ . Izlaz je na emiteru drugog tranzistora i označen je slovom Y dok su ulazi označeni slovom A i B.



Slika 4.5. Shema dvoulaznog RTL AND logičkog sklopa izrađena u LTspice simulacijskom programu

Rezultati simulacije za sve četiri kombinacije ulaza i izlaza nalaze se na slici 4.6. U gornjem lijevom uglu slike prikazani su rezultati kada su oba ulaza logičke nule ( $V(a) = 0$  V i  $V(b) = 0$  V).

Na izlazu se pojavljuje napon  $V(y)$  koji ima vrlo malu vrijednost i on odgovara logičkoj nuli. U gornjem desnom uglu slike prikazani su rezultati simulacije kada je na ulaz A dovedena logička jedinica, a na ulaz B logička nula. Izlaz je tada logična nula jer je napon  $V(y)$  vrlo male vrijednosti. U donjem lijevom uglu su rezultati za kombinaciju kada je ulaz A logička nula, a ulaz B logička jedinica. Na izlazu je napon od 1,72 V koji se može smatrati logičkom nulom. U donjem desnom uglu prikazani su rezultati simulacije kada su oba ulaza logičke jedinice. Tada je napon na izlazu jednak 5,2 V koji odgovara naponu na otporu  $R_3$  i približan je ulaznom naponu od 6 V.

```

--- Operating Point ---

V(a) :      0          voltage V(a) :      6          voltage
V(b) :      0          voltage V(b) :      0          voltage
V(n001) :    6          voltage V(n001) :    6          voltage
V(n002) :  6.00704e-008 voltage V(n002) :    6          voltage
V(n004) :  4.1445e-011 voltage V(n004) :  5.83879e-008 voltage
V(n003) :  0.00370018 voltage V(n003) :  5.83546          voltage
V(y) :      6.33179e-012 voltage V(y) :      5.02722e-011 voltage

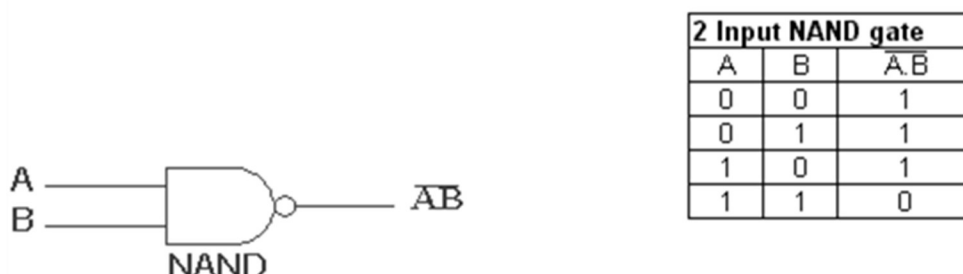
V(a) :      0          voltage V(a) :      6          voltage
V(b) :      6          voltage V(b) :      6          voltage
V(n001) :    6          voltage V(n001) :    6          voltage
V(n002) :  7.72809e-008 voltage V(n002) :  5.94619          voltage
V(n004) :  2.38502          voltage V(n004) :  5.85115          voltage
V(n003) :  1.7247          voltage V(n003) :  5.2889          voltage
V(y) :      1.71712          voltage V(y) :      5.19261          voltage

```

Slika 4.6. Rezultati simulacije za dvoulazni RTL AND logički sklop

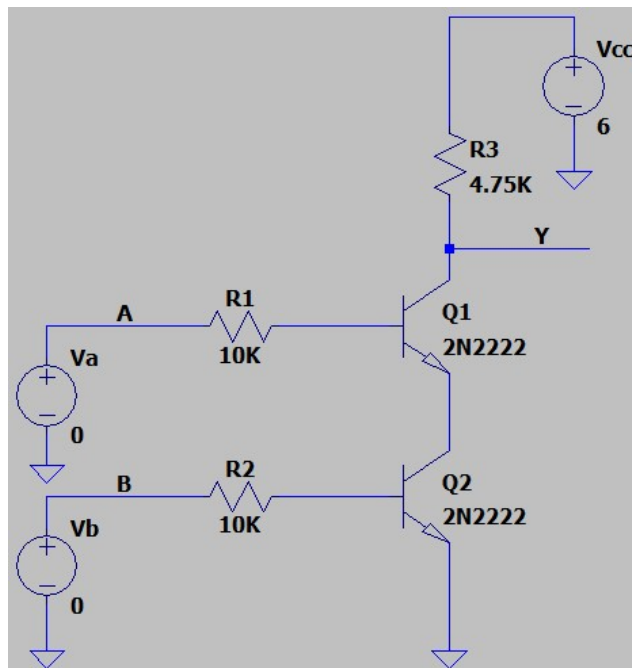
### 4.3. Simulacija NAND logičkog sklopa

NAND ili NI logička vrata je logički sklop kod kojega se na izlazu pojavljuje logička nula samo u slučaju kada su na ulazu logičke jedinice. Prema tome, NAND sklop je invertirani AND sklop. Na slici 4.7. prikazan je simbol i tablica istinitosti za NAND vrata. U simulaciji je prikazan dvoulazni RTL NAND sklop.



Slika 4.7. Simbol i tablica istinitosti dvoulaznog NAND logičkog sklopa [10]

Na slici 4.8. prikazana je shema dvoulaznog RTL NAND logičkog sklopa koji je sličan AND sklopu iz prijašnjeg poglavlja, a razlika je u smještaju izlaza i otpora. Otpor od 4,75 kΩ se nalazi na kolektoru, a izlaz je ispod njega tako da je emiter uzemljen.



Slika 4.8. Shema dvoulaznog RTL NAND logičkog sklopa izrađena u LTspice simulacijskom programu

Rezultati simulacije za sve kombinacije ulaza i izlaza NAND sklopa prikazane su na slici 4.9. Kao što je navedeno na početku poglavlja, na izlazu se pojavljuje logička nula samo u slučaju kada su oba ulaza logičke jedinice. U tom slučaju ulazi A i B su pod naponom od 6 V dok se na izlazu pojavljuje pad napona od 45,72 mV što odgovara stanju logičke nule.

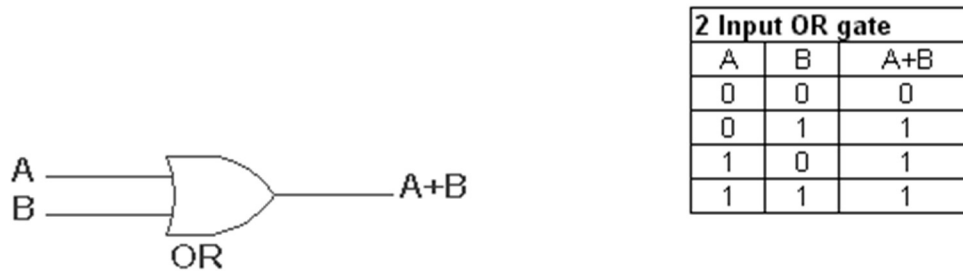
--- Operating Point ---

V(y) :	6	voltage	V(y) :	6	voltage
V(n002) :	6.00704e-008	voltage	V(n002) :	6	voltage
V(n003) :	0.00370032	voltage	V(n003) :	5.83576	voltage
V(n004) :	4.14465e-011	voltage	V(n004) :	5.83909e-008	voltage
V(b) :	0	voltage	V(b) :	0	voltage
V(a) :	0	voltage	V(a) :	6	voltage
V(n001) :	6	voltage	V(n001) :	6	voltage
V(y) :	6	voltage	V(y) :	0.0457271	voltage
V(n002) :	6.01098e-008	voltage	V(n002) :	0.716837	voltage
V(n003) :	0.00763565	voltage	V(n003) :	0.0249516	voltage
V(n004) :	0.679654	voltage	V(n004) :	0.695893	voltage
V(b) :	6	voltage	V(b) :	6	voltage
V(a) :	0	voltage	V(a) :	6	voltage
V(n001) :	6	voltage	V(n001) :	6	voltage

Slika 4.9. Rezultati simulacije za dvoulazni RTL NAND logički sklop

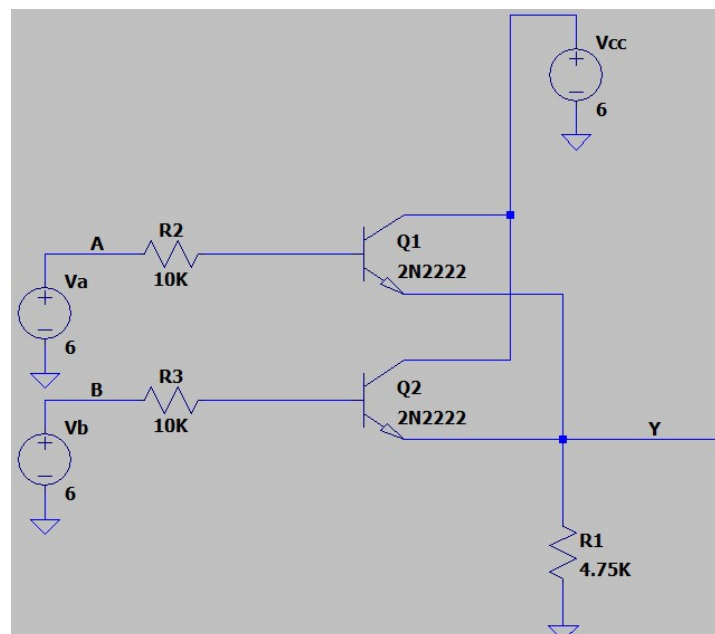
#### 4.4. Simulacija OR logičkog sklopa

OR (ILI) logička vrata je logički sklop kod kojega se na izlazu pojavljuje logička nula samo u slučaju kada su na oba ulaza logičke nule. Za ostale kombinacije ulaza, na izlazu se pojavljuje logička jedinica. Na slici 4.10. prikazan je simbol i tablica istinitosti dvoulaznih OR logičkih vrata. U simulaciji je prikazan dvoulazni RTL OR sklop.



Slika 4.10. Simbol i tablica istinitosti dvoulaznog OR logičkog sklopa [10]

Na slici 4.11. prikazana je shema dvoulaznog RTL OR logičkog sklopa koji također sadrži dva tranzistora modela 2N2222, na bazama tranzistora su spojeni naponski izvor od 6 V i otpor od 10 k $\Omega$  te je na emiteru drugog tranzistora izlaz i otpor od 4,75 k $\Omega$ . Kolektori oba tranzistora su spojeni na napajanje od 6 V neovisno o drugom tranzistoru i tako se postiže funkcija OR sklopa jer ako se na barem jednom ulazu pojavi logička jedinica (6 V), taj će tranzistor provesti i na izlazu će također biti logička jedinica.



Slika 4.11. Shema dvoulaznog RTL OR logičkog sklopa izrađena u LTspice simulacijskom programu



Rezultati simulacije za sve kombinacije ulaza i izlaza OR sklopa prikazani su na slici 4.12. Može se potvrditi ranije napisano da će se na izlazu pojaviti napon približan nuli, odnosno logička nula kada su na oba ulaza logička nule (gornji lijevi ugao slike). U ostalim slučajevima, na izlazu se pojavljuje logička jedinica, odnosno napon napajanja manji za izlazni napon tranzistora.

```

--- Operating Point ---
V(b) :      0      voltage V(b) :      0      voltage
V(a) :      0      voltage V(a) :      6      voltage
V(n001) :    6      voltage V(n001) :    6      voltage
V(n002) :  6.00333e-008 voltage V(n002) :  5.94446   voltage
V(y) :      1.00701e-010 voltage V(y) :      5.28634   voltage
V(n003) :    6.00333e-008 voltage V(n003) :  1.12897e-007 voltage

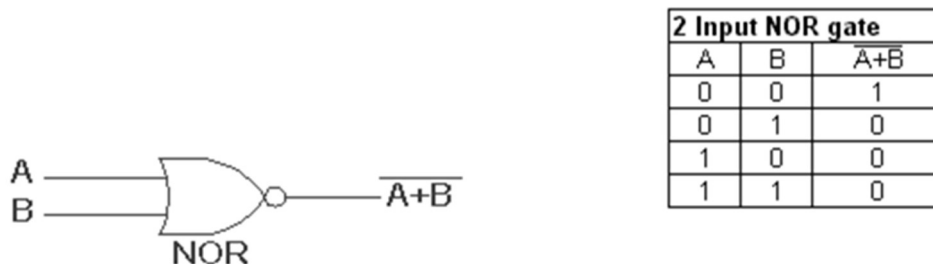
V(b) :      6      voltage V(b) :      6      voltage
V(a) :      0      voltage V(a) :      6      voltage
V(n001) :    6      voltage V(n001) :    6      voltage
V(n002) :  1.12897e-007 voltage V(n002) :  5.97203   voltage
V(y) :      5.28634   voltage V(y) :      5.3318   voltage
V(n003) :    5.94446   voltage V(n003) :  5.97203   voltage

```

Slika 4.12. Rezultati simulacije za dvoulazni RTL OR logički sklop

#### 4.5. Simulacija NOR logičkog sklopa

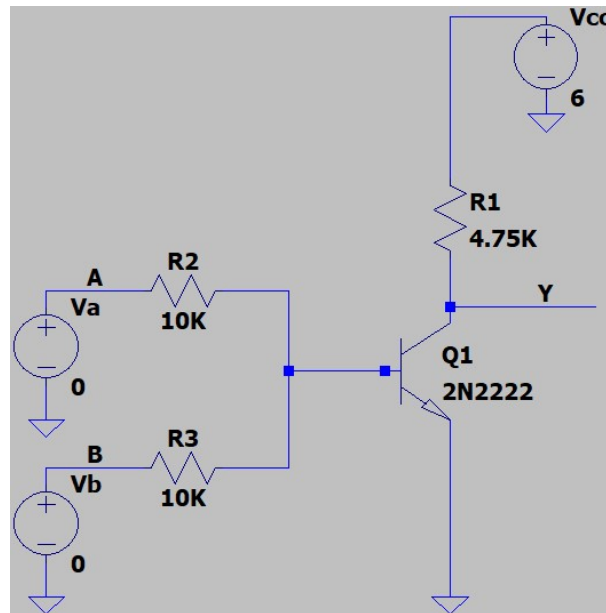
NOR (NILI) logička vrata je logički sklop kod kojega se na izlazu pojavljuje logička jedinica samo u slučaju kada su na oba ulaza logičke nule. Zapravo, to je invertirani OR sklop. Na slici 4.13. nalazi se simbol i tablica istinitosti za dvoulazni NOR sklop. U simulaciji je prikazan dvoulazni RTL NOR sklop.



Slika 4.13. Simbol i tablica istinitosti dvoulaznog NOR logičkog sklopa [10]

Na slici 4.14. prikazana je shema dvoulaznog RTL NOR sklopa koji sadrži jedan tranzistor modela 2N222, na bazi su joj paralelno spojena dva naponska izvora od 6 V s izvorom od 10 kΩ u seriji. Emiter tranzistora je uzemljen, a na kolektoru je spojen otpor od 4,75 kΩ i napajanje od 6 V. Na izlazu će se pojaviti logička nula koja odgovara izlaznom naponu tranzistora (naponu zasićenja) ako barem jedan od ulaza bude pod visokom naponskom razinom od 6 V. U slučaju da su oba

ulaza logičke nule, na izlazu će se pojaviti napon jednak naponu napajanja jer će struja kolektora biti zanemariva.



Slika 4.14. Shema dvoulaznog RTL NOR logičkog sklopa izrađena u LTspice simulacijskom programu

Rezultati simulacije za sve kombinacije ulaza i izlaza NOR sklopa nalaze se na slici 4.15. Kao što je ranije navedeno, na izlazu će se pojaviti logička jedinica samo u slučaju kada su na ulazima logičke nule. (gornji lijevi ugao slike). U ostalim slučajevima, napon na izlazu sklopa će odgovarati izlaznom naponu tranzistora koji je u simulaciji reda vrijednosti 20 mV (stanje logičke nule).

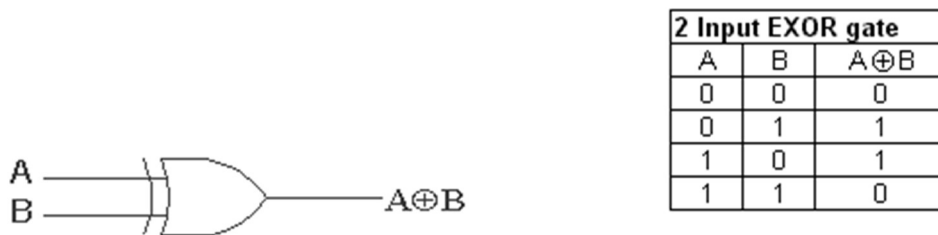
--- Operating Point ---

V(a) :	0	voltage	V(a) :	6	voltage
V(b) :	0	voltage	V(b) :	0	voltage
V(n001) :	6	voltage	V(n001) :	6	voltage
V(y) :	6	voltage	V(y) :	0.0221939	voltage
V(n002) :	3.00167e-008	voltage	V(n002) :	0.689135	voltage
V(a) :	0	voltage	V(a) :	6	voltage
V(b) :	6	voltage	V(b) :	6	voltage
V(n001) :	6	voltage	V(n001) :	6	voltage
V(y) :	0.0221939	voltage	V(y) :	0.0154508	voltage
V(n002) :	0.689135	voltage	V(n002) :	0.709972	voltage

Slika 4.15. Rezultati simulacije za dvoulazni RTL NOR logički sklop

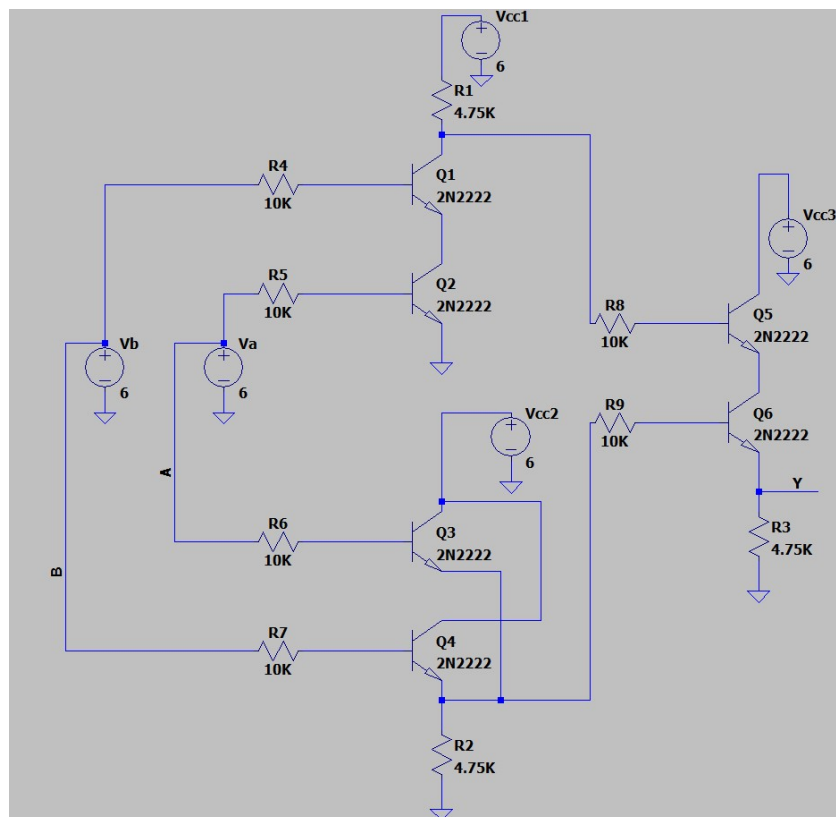
## 4.6. Simulacija XOR logičkog sklopa

XOR (isključivo ILI) logička vrata je logički sklop kod kojega je izlaz logička nula ako su oba ulaza logičke nule ili logičke jedinice. U drugom slučaju izlaz je logička jedinica ako je jedan od ulaza logička jedinica, a drugi logička nula. Na slici 4.16. prikazana je tablica istinitosti i simbol za dvoulazni XOR sklop.



Slika 4.16. Simbol i tablica istinitosti dvoulaznog XOR logičkog sklopa [10]

Na slici 4.17. prikazana je shema dvoulaznog RTL XOR logičkog sklopa. Sklop je sastavljen od NAND, OR i AND sklopa. Izlazi iz NAND i OR sklopa su ulazi izlaznom AND sklopu, a NAND i OR su ulazni sklopovi, odnosno na njih su spojeni ulazni naponski izvori.



Slika 4.17. Shema dvoulaznog RTL XOR logičkog sklopa izrađena u LTspice simulacijskom programu

Rezultati simulacije za sve kombinacije ulaza i izlaza nalaze se na slici 4.18. Kada su oba ulaza logičke nule (gornji lijevi ugao), na izlazu se napon približan nuli što odgovara logičkoj nuli. Kada je jedan od ulaza logička jedinica, a drugi logička nula, na izlazu se dobije napon od 4,58 V koji se može smatrati logičkom jedinicom. U slučaju kada su oba ulaza logičke jedinice (donji desni ugao), na izlazu se dobije napon približan 1,5 V kojeg se može smatrati logičkom nulom.

```

--- Operating Point ---
V(y) :          5.02727e-011  voltage  V(y) :          4.58347      voltage
V(n001) :        6           voltage  V(n001) :        6           voltage
V(b) :          0           voltage  V(b) :          0           voltage
V(a) :          0           voltage  V(a) :          6           voltage

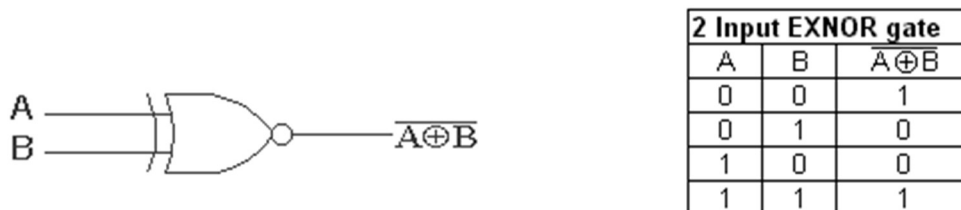
V(y) :          4.58347      voltage  V(y) :          1.49864      voltage
V(n001) :        6           voltage  V(n001) :        6           voltage
V(b) :          6           voltage  V(b) :          6           voltage
V(a) :          0           voltage  V(a) :          6           voltage

```

Slika 4.18. Rezultati simulacije za dvoulazni RTL XOR logički sklop

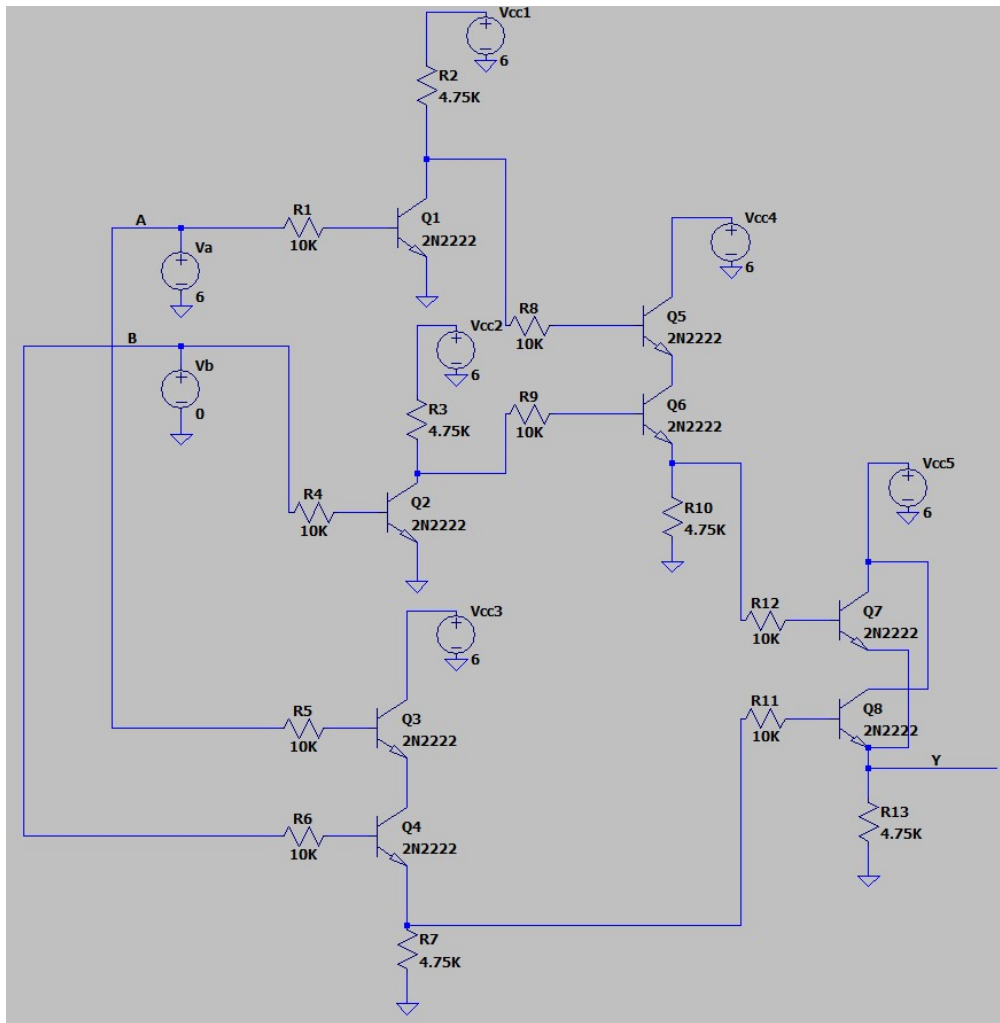
## 4.7. Simulacija XNOR logičkog sklopa

XNOR (isključivo NILI) logička vrata je logički sklop kod kojega je izlaz logička jedinica kada su oba ulaza logičke nule ili logičke jedinice. Izlaz je logička nula ako je jedan od ulaza logička jedinica, a drugi logička nula. Prema tome, XNOR je invertirani XOR. Na slici 4.19. prikazan je simbol i tablica istinitosti dvoulaznog XNOR sklopa koji se promatra u simulaciji.



Slika 4.19. Simbol i tablica istinitosti dvoulaznog XNOR logičkog sklopa [10]

Na slici 4.20. prikazana je shema dvoulaznog RTL XNOR sklopa koji sadrži dva NOT sklopa, dva AND sklopa i jedan OR sklop. Na gornjoj strani sklopa, ulazi se invertiraju u NOT sklopovima i šalju se na ulaz jednog AND sklopa. Na donjoj strani sklopa ulazi su spojeni na drugi AND sklop. Izlazi iz AND sklopova idu na ulaze izlaznog OR sklopa na kojem se nalazi izlaz čitavog sklopa.



Slika 4.20. Shema dvoulaznog RTL XNOR logičkog sklopa izrađena u LTspice simulacijskom programu

Na slici 4.21. prikazani su rezultati simulacije za sve kombinacije ulaza i izlaza XNOR sklopa. Na izlazu će se logička jedinica u slučaju kada su oba izlaza logičke jedinice ili logičke nule. Taj napon na izlazu je približno jednak 4,5 V, pa se može smatrati logičkom jedinicom. U ostala dva slučaja kada je jedan ulaz logička jedinica, a drugi logička nula, na izlazu će se u jednom slučaju pojaviti napon od 0,7 V, a u drugom slučaju napon 1,1 V što se može smatrati logičkom nulom.

--- Operating Point ---

V(a) :	0	voltage	V(a) :	6	voltage
V(b) :	0	voltage	V(b) :	0	voltage
V(y) :	4.45939	voltage	V(y) :	0.687586	voltage
V(a) :	0	voltage	V(a) :	6	voltage
V(b) :	6	voltage	V(b) :	6	voltage
V(y) :	1.08683	voltage	V(y) :	4.49175	voltage

Slika 4.21. Rezultati simulacije za dvoulazni RTL XNOR logički sklop

## 5. ZAKLJUČAK

Osnovni logički sklopovi su temeljne operacijske jedinice svakog jednostavnog ili kompleksnog računala koje promjenama stanja ulaza i izlaza obavljaju logičku operaciju u računalu. Za promjenu stanja u logičkim sklopovima se najčešće koristi tranzistor. U ovom primjeru je korišten bipolarni spojni tranzistor. Opisana su njegova osnovna svojstva poput područja rada i rada u režimu sklopke gdje je pokazano da je tranzistor prikladan za sklopove u kojima se mijenjaju naponska stanja jer se kod bipolarnog tranzistora promjenom male ulazne struje baze omogućava brzi prelazak iz područja zapiranja u područje zasićenja (iz otvorene sklopke u zatvorenu sklopku). Prikazana su svojstva temeljnih arhitektura logičkih sklopovima u izvedbi s bipolarnim tranzistorima gdje je navedeno da je ECL najbrža tehnologija s bipolarnim tranzistorima jer njezini tranzistori ne dolaze u zasićenje, ali ima veću disipaciju snage na tim tranzistorima. RTL je prva i najjednostavnija tehnologija, ali ima najveću disipaciju snage. Zbog svoje jednostavnosti, upotrijebljena je za izvođenje osnovnih logičkih sklopova u okviru ovog rada. Nesavršenost tehnologije bila je vidljiva u naponima na izlazu. U nekim slučajevima napon logičke jedinice nije iznosio 6 V kao što je bio na ulazu i napon logičke nule nije uvijek iznosio 0 V. Struja kolektora je uvijek približna nuli, i zbog toga na kolektorskom ili emitterskom otporu uvijek bude vrlo mali pad napona. Na primjeru invertera može se reći da na izlazu neće nikad biti napon od 6 V jer i ako tranzistor ostane u zapiranju, struja kolektora ima toliki iznos da uzrokuje određeni pad napona na kolektorskom otporu. Slično se događa i na primjeru AND sklopa gdje se u slučaju obje logičke nule na ulazima pojavljuje jako mala kolektorska struja u izlaznom krugu koja stvara mali pad napona na emitterskom otporu te zbog toga napon logičke nule nije sasvim jednak nuli. Na istom primjeru može se promotriti slučaj kada se na ulazima pojave logičke jedinice. Tada napon na izlazu neće biti jednak 6 V jer je taj napon umanjen za iznose izlaznih napona na tranzistorima. Unatoč nesavršenostima, očekivane promjene stanja su izvedene čime je potvrđena uspješnost simulacije.

## LITERATURA

- [1] Švedek, T., Poluvodičke komponente i osnovni sklopovi, Sveučilište Josipa Jurja Strossmayera, Graphis, Zagreb, 2001.
- [2] [https://www.fpz.unizg.hr/hgold/ES/AE/pog\\_1/pog141.htm](https://www.fpz.unizg.hr/hgold/ES/AE/pog_1/pog141.htm) pristup: 23.5.2021.
- [3] Biljanović, P., Poluvodički elektronički elementi, Školska knjiga, Zagreb, 1996.
- [4] [https://www.tutorialspoint.com/amplifiers/amplifiers\\_quick\\_guide.htm](https://www.tutorialspoint.com/amplifiers/amplifiers_quick_guide.htm) pristup: 24.5.2021.
- [5] Švedek, T., Predavanja s Loomena za kolegij Elektronika 1
- [6] Švedek, T., Predavanja s Loomena za kolegij Elektronika 2
- [7] Švedek, T., Osnove mikroelektronike, Sveučilište Josipa Jurja Strossmayera, Elektrotehnički fakultet Osijek, Osijek, 2002.
- [8] Sedra A.S., Smith K.C., Microelectronic Circuits, Third Edition, Saunders College Publishing, Orlando, Florida, 1991.
- [9] Biljanović, P., Mikroelektronika, Integrirani elektronički sklopovi, Školska knjiga, Zagreb, 1990.
- [10] <http://www.ee.surrey.ac.uk/Projects/CAL/digital-logic/gatesfunc/index.html#notgate> pristup: 11.7.2021.

## SAŽETAK

Zadatak ovog rada bio je objasniti osnovna svojstva bipolarnih spojnih tranzistora, napisati pregled arhitektura logičkih sklopova temeljenih na bipolarnim spojnim tranzistorima i izraditi simulacijske modele osnovnih logičkih sklopova u izvedbi s bipolarnim tranzistorima. U drugom poglavlju su objašnjena osnovna svojstva bipolarnih spojnih tranzistora počevši od opće podjele tranzistora, principa i područja rada tranzistora, načina spajanja i faktora strujnog pojačanja. Zatim su opisane ulazne i izlazne statičke karakteristike i dinamička svojstva poput režima rada tranzistora kao sklopke. U trećem poglavlju opisane su postojeće arhitekture logičkih sklopova temeljenih na bipolarnim spojnim tranzistorima. Nakon toga, objašnjeni su rezultati provedenih simulacija osnovnih logičkih sklopova izvedenih preko RTL tehnologije koja je odabrana za simulaciju zbog jednostavnosti izvođenja. Rezultati simulacije potvrdili su funkcionalnost izrađenih logičkih sklopova.

Ključne riječi: bipolarni spojni tranzistori, statičke karakteristike, dinamička svojstva, arhitekture logičkih sklopova, rezultati simulacije

## ABSTRACT

The assignment of this paper was to describe the basic properties of bipolar junction transistors, to write review on bipolar junction transistor based logic circuit architectures and to create simulation models of basic logic circuits. In the second chapter, the basic principles of bipolar junction transistors are described starting with the general classification of transistors, the working principle and operational regions of transistor, the operational modes and the current gain ratios. Afterwards, input and output characteristics and dynamic properties of transistor's switch working mode are described. In the third chapter, present logic circuit families based on bipolar junction transistors are described. After that, the results of performed simulations of basic logic circuits performed via RTL technology, which was selected due to simplicity of implementation, are explained. The simulation results confirmed the correct functionality of the implemented circuits.

Keywords: bipolar junction transistors, static characteristics, dynamic properties, logic circuit architecture, simulation results



## **ŽIVOTOPIS**

Luka Tadić rođen je 7.8.1999. godine u Novoj Gradiški. Osnovnu školu završio je u Cerniku kraj Nove Gradiške i 2014. upisuje Opću gimnaziju u Novoj Gradiški. 2018. godine završava srednju školu i polaže državnu maturu nakon čega upisuje preddiplomski studij elektrotehnike i informacijskih tehnologija na Fakultetu elektrotehnike, računarstva i informacijskih tehnologija u Osijeku. Nakon završene prve godine, odlučuje se za izborni blok Komunikacije i informatika.